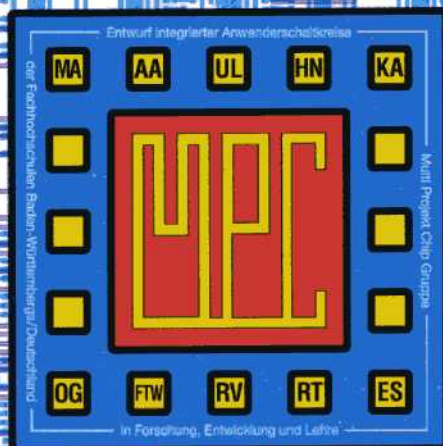


MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Januar 1995

Aalen



MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Januar 1995

Aalen

Herausgeber: Fachhochschule Ulm

© 1995 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Inhaltsverzeichnis

- | | |
|---|----------|
| 1. Digitale Schaltungssynthese
- Status und greifbare Perspektiven -

W. Rosenstiel, Uni Tübingen | Seite 5 |
| 2. The Design of High-Speed Optoelectronic Receivers
using the Cherry-Hooper principle

H. Khakzar, FH Esslingen | Seite 33 |
| 3. Entwurf analoger IC am Beispiel eines Operationsverstärkers

H. Clauss, FH Heilbronn | Seite 39 |
| 4. Entwicklung eines Breitband-Impedanzwandlers in
BiCMOS-Technologie

M. Wöhrle, G. Forster, FH Ulm | Seite 51 |
| 5. Entwurf eines Schnittstellentesters

G. Ehmman, G. Busch, B. Kohlhammer, FH Aalen | Seite 63 |
| 6. Optimierung der Eigenschaften von Schaltungen mit Hilfe der
Monte-Carlo-Analyse

H. Kreutzer, FH Reutlingen | Seite 71 |
| 7. Testchip "Ringostar" Design und Analyse

T. Gneiting, O. Laub, M. Gündner, FH Esslingen | Seite 83 |
| 8. Standardzellen für 0,5 µm CMOS-Technologie

G. Higelin, FH Furtwangen | Seite 91 |

Gefertigte Bausteine:

- | | |
|--|-----------|
| 9. 12-Bit Analog-Digitalumsetzer mit 16 analogen Eingängen
R. Wolpert, J. Weber, G. Busch, B. Kohlhammer, FH Aalen | Seite 109 |
| 10. Testchip Ringostar
T. Gneiting, O. Laub, M. Gündner, FH Esslingen | Seite 110 |
| 11. Voltage-Controlled Oscillators
A. Bumüller, FH Furtwangen | Seite 112 |
| 12. FHOP-Mikroprozessor-Kernel
D. Jansen, FH Offenburg | Seite 113 |
| 13. Dividierer und Koordinatensummierer als Teile eines
Digitalen Bildprozessors
H. Vogel, U. Jäger, H. Clauss, FH Heilbronn | Seite 114 |
| 14. Zähler-Schaltung und
PIO-Peripherer Input-Output-Baustein
Bender, Ender, W. Ludescher, FH Ravensburg-Weingarten | Seite 116 |
| 15. Mikrocontrollerkern für die Verwendung in integrierten Schaltungen
A. Führer, FH Ulm | Seite 118 |

Digitale Schaltungssynthese - Status und greifbare Perspektiven -

Prof. Dr. W. Rosenstiel
Universität Tübingen, Fakultät für Informatik
Sand 13, 72076 Tübingen

Kurzfassung

Zur Reduzierung der Entwicklungskosten und um die Entwicklungszeiten für immer komplexere, hochintegrierte Schaltungen nicht ansteigen zu lassen, sondern eher noch zu verkürzen, ist die Entwicklung des rechnergestützten Entwurfs von Digitalschaltungen durch einen immer höheren Automatisierungsgrad geprägt. Nachdem Logiksynthese bereits seit einigen Jahren aus dem industriellen Entwicklungsprozeß nicht mehr wegzudenken ist, wird zunehmend auch die übliche grafische Schaltplaneingabe, die verhältnismäßig zeitaufwendig und auch fehleranfällig ist, durch sprachliche Entwurfsbeschreibungen ersetzt. Die zunehmende Verwendung von Sprachen zur Entwurfsbeschreibung geht Hand in Hand mit der Entwicklung neuer Synthesewerkzeuge, die auch mächtigere Sprachkonstrukte direkt in entsprechende Hardware-Implementierungen umsetzen. Während reine Logiksynthese-Werkzeuge auch preislich erschwinglich sind und im Zusammenhang mit programmierbaren Logik-Schaltungen auf PC-basierender Hardware verfügbar sind, erfordern die neuen mächtigeren Synthesewerkzeuge allerdings Workstations und auch wesentlich höhere Investitionen für den Kauf entsprechender Programme. Bereits kommerziell verfügbar sind Produkte, die eine Synthese ausgehend von der Register-Transfer-Ebene durchführen. Zur Entwurfsbeschreibung wird zunehmend die Sprache VHDL eingesetzt. Speziell in USA ist auch die Sprache VERILOG noch sehr verbreitet. Werkzeuge, z. B. von Synopsys, Mentor u.a. übersetzen eine strukturelle VHDL-Registertransfer-Beschreibung automatisch in die entsprechende Logik-Implementierung, die dann von klassischen Logiksynthese-Werkzeugen weiter optimiert und auf die jeweilige Technologie (Gate-Arrays, Standardzellen, FPGAs usw) abgebildet wird.

Auf Prototypen beschränkt sind dagegen noch Werkzeuge, die eine solche VHDL-Registertransfer-Beschreibung automatisch aus einer sogenannten Verhaltensbeschreibung auf der algorithmischen Ebene erzeugen. Diese Umsetzung von Algorithmen in Registertransfer-

Strukturen wird üblicherweise als High-Level-Synthese bezeichnet, und es ist damit zu rechnen, daß auch bald kommerzielle Systeme angeboten werden, die auch diesen Automatisierungsschritt übernehmen werden.

Das Problem bei der High-Level Synthese besteht weniger darin, eine algorithmische Beschreibung auf irgendeine Hardwarestruktur abzubilden, sondern vor allem darin, diese Abbildung unter Berücksichtigung verschiedener Randbedingungen zu optimieren. Diese betreffen üblicherweise Flächen und Verzögerungsvorgaben, die durch die synthetisierte Realisierung nicht überschritten werden dürfen. Dabei kommt insbesondere der Einhaltung sogenannter Zeitbedingungen eine besondere Bedeutung zu. Da Spezial-Hardware im wesentlichen auf Grund von Leistungsanforderungen entwickelt wird und in Verbindung mit vielen anderen Bausteinen zur Realisierung eines Gesamtsystems beiträgt, ist in der Synthese darauf zu achten, daß in der Eingabespezifikation diese Zeitbedingungen formuliert werden können und dann aber auch bei der Umsetzung in eine Schaltung berücksichtigt werden. Die Beschreibung und Einhaltung von Zeitbedingungen wird also zum entscheidenden Faktor, ob und inwieweit High-Level Synthese in der Praxis tatsächlich eingesetzt werden kann. Es gibt nun verschiedene Ansätze, Zeitbedingungen zu formulieren und bei der Synthese zu berücksichtigen. Ich möchte im folgenden diese beiden Ansätze mit Synthesystemen der 1. und 2. Generation umschreiben.

High-Level-Synthesysteme der 1. Generation haben einerseits die Möglichkeit einer verhaltensorientierten Eingabebeschreibung, garantieren andererseits aber die Spezifikation und Einhaltung von Zeitbedingungen im wesentlichen dadurch, daß die Zuordnung von Operationen zu Takten im wesentlichen bereits bei der Eingabespezifikation erfolgt. Synthesysteme dieser 1. Generation haben einerseits bereits ein enormes Optimierungspotential und vereinfachen andererseits die Spezifikation von Schaltungen wesentlich. Das vorhandene Optimierungspotential ist im wesentlichen durch die folgenden Möglichkeiten gekennzeichnet:

- Datenflußanalyse
- Lebenszeitanalyse
- Registerminimierung
- Eliminierung von "totem Code"
- Mehrfachausnutzung von Ressourcen
- Multiplexer-Optimierung

Diese Zuordnung von Operationen zu Taktzyklen wird bei High-Level Synthesystemen der 2. Generation, wie sie hier bezeichnet werden, aufgegeben. Hier beschränkt man die Spezifikation des Timings auf die Teile, bei denen die Einhaltung des Timings durch das Synthesystem wesentlich ist. Dies sind im wesentlichen die Schnittstellensignale. In diesem Zusammenhang wird häufig von sogenannten globalen Zeitbedingungen gesprochen. Mit global ist in diesem Zusammenhang gemeint, daß die Zeitbedingungen sich global auf die Einhaltung von externen Zeitbedingungen und nicht lokal auf einzelne Zuweisungen an interne Variablen beziehen. Zusätzlich zu dem Optimierungspotential, das bereits oben bei der Beschreibung von High-Level-Synthese-Systemen der 1. Generation genannt worden war, haben High-Level-Synthese-Systeme der 2. Generation die Möglichkeit weitergehender globaler Optimierungen, die sich im wesentlichen in die drei Teilschritte und Teilprobleme

- Ablaufplanung (scheduling)
- Allokierung von Ressourcen
- Zuweisung (assignment)

einteilen lassen. Im folgenden wird auf die Systeme Caddy und Callas näher eingegangen, die als Vertreter der Synthesysteme der 2. bzw. der 1. Generation deswegen ausgewählt wurden, weil zum einen der Autor an der Entwicklung dieser Systeme mitgearbeitet hat, und andererseits diese Systeme für praktische Experimente zur Verfügung stehen.

Digitale Schaltungssynthese

- Status und greifbare Perspektiven -

W. Rosenstiel

Universität Tübingen und
Forschungszentrum Informatik (FZI)

W. Rosenstiel

Re.945.1

Gliederung

- Stand der Technik in der High-Level-Synthese
 - im kommerziellen Bereich
 - in der Forschung
- Prinzipien der High-Level-Synthese
 - Allokieren von Ressourcen
 - Ablaufplanung
 - Zuweisung
- Praktische Anwendungen
 - Beispiele
 - Fläche/Zeit-Abschätzungen
- Ausblick
 - Hardware-Software-Codesign

W. Rosenstiel

Some commercial synthesis systems in 1993

Organization	System	Main features
Cadence Design Systems	SYNERGY	Synthesis from VHDL and Verilog. Logic synthesis and optimization. Library binding.
Compass	ASIC SYNTHESIZER	Separate synthesis of data path and control from VHDL, Verilog and graphical inputs. Resource sharing. Logic synthesis and optimization. Library binding.
Dazix/Intergraph	ARCHSYN	Synthesis from VHDL and Verilog. Resource sharing. Logic synthesis and optimization. Library binding.
Exemplar Logic	CORE	Synthesis from VHDL and Verilog. Logic optimization and binding for FPGAs.
Mentor Graphics	AUTOLOGIC	Synthesis from VHDL and M. Logic synthesis and optimization. Library binding.
Synopsys	HDL/Design Compiler	Synthesis from VHDL and Verilog. Resource sharing.
	DESIGNWARE	Logic synthesis and optimization. Library binding
Viewlogic	SILCYSN	Synthesis from VHDL. Resource sharing. Control synthesis
	VIEW SYNTHESIS	for loops. Logic synthesis and optimization. Library binding.

W. Rosenstiel

Re.945.3

High-Level-Synthese für digitale Signalverarbeitung

- SYNOPSIS ⇒ CADIS
- CADENCE ⇒ COMDISCO
- MENTOR ⇒ MISTRAL

W. Rosenstiel

Re.945.4

Organization	System	Input	Scope
AT & T	BRIDGE/CHARM	FDL2	ASO
Carleton University	HAL	Graph models	ASO
CMU	SAW	Verilog, ISPS	ASO
IBM	HIS	VHDL	ASO
IMAG	ASYL	FSM, networks	LSO
IMEC	CATHEDRAL I-IV	Silage	ASO, MG
Philips	PYRAMID, PHIDEO	Silage	ASO, MG
Princeton University	PUBSS	FSM	ASO, LSO
Stanford University	OLYMPUS	HardwareC	ASO, LSO
U. C. Berkeley	SIS	FSM, networks, BDS	LSO
U. C. Berkeley	HYPER, LAGER	Silage	ASO, MG
U. C. Boulder	BOLD	FSM, networks	LSO
U. C. Irvine	VSS	VHDL	ASO
U. Karlsruhe/Siemens	CADDY/CALLAS	DSL, VHDL	ASO
USC	ADAM	SLIDE, DDS	ASO

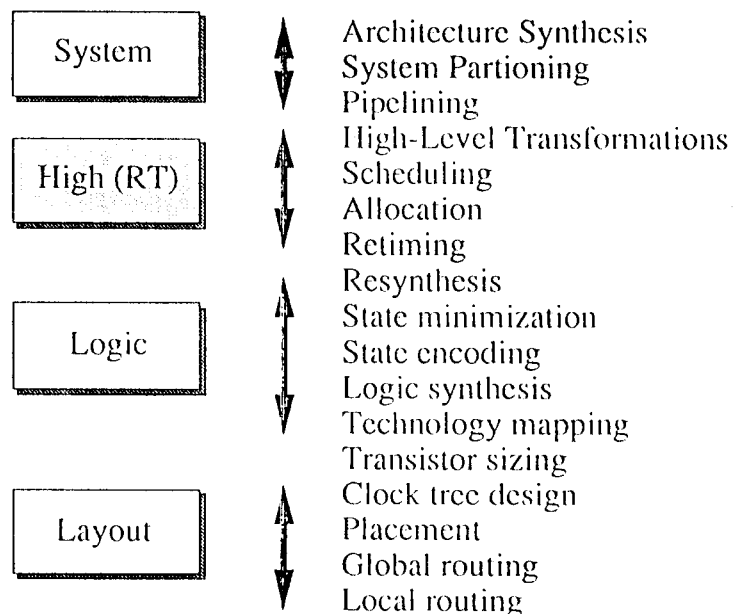
Some research synthesis systems in 1993:

FSM = finite-state-machine specification, ASO = architectural synthesis and optimization,
LSO = logic synthesis, optimization and binding, MG = module generation

W. Rosenstiel

Re.945.5

Synthese



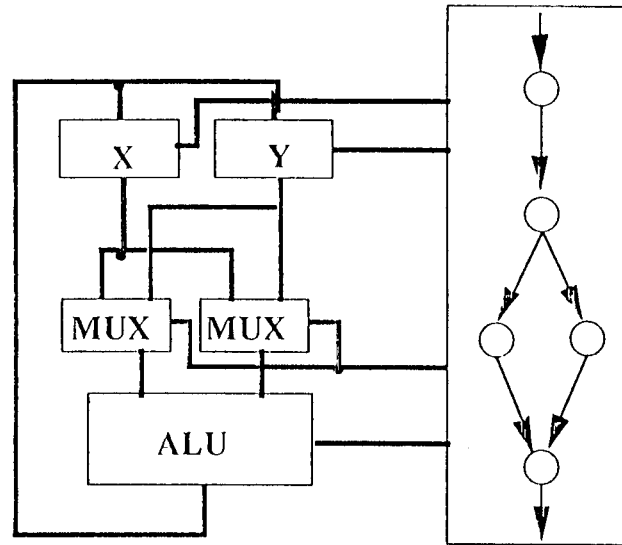
W. Rosenstiel

High-Level Synthese

```

while X < Y
do
  if X < Y
then
  Y := Y - X
else
  X := X + Y
end

```



Datenpfad

Steuerung

W. Rosenstiel

Re.945.7

Beispiel: Numerische Lösung einer Differentialgleichung nach dem Euler-Verfahren

```

diffeq {
  read (x, y, u, dx, a);
  repeat {
    x1 = x + dx;
    u1 = u - (3 * x * u * dx) - (3 * y * dx);
    y1 = y + u * dx;
    c = x1 < a;
    x = x1;
    u = u1;
    y = y1;
  }
  until (c);
  write (y);
}

```

W. Rosenstiel

Ausgangspunkt der Synthese:

⇒ Verhaltensbeschreibung

Definiert:

- Abhängigkeiten zwischen Ein- und Ausgaben
- Datenfluß
- Steuerfluß

W. Rosenstiel

Re.945.8

Beispiel

```

p1 : PROCESS (...)
  VARIABLE x_v, y_v, ... : int8;
BEGIN
  ...
  WHILE (x_v < y_v) LOOP
    t1 := u_v * dx_v;
    t2 := 3 * x_v;
    t3 := 3 * y_v;
    t4 := t1 * t2;
    t5 := dx_v * t3;
    t6 := u_v - t4;
    u_v := t6 - t5;
    y1 := u_v * dx_v;
    y_v := y_v + y1;
    x_v := x_v + dx_v;
  END LOOP
  ...
END PROCESS p1;

```



RT -
Komponenten:

- Komparator
- Multiplizierer
- Subtrahierer
- Addierer
- Register
- Multiplexer

W. Rosenstiel

Synthese:

Verhaltensbeschreibung \Rightarrow RT-Struktur

- legt die zeitliche Abfolge der Operationen fest
 \Rightarrow **Ablaufplanung (scheduling)**
- bestimmt Anzahl und Typen der zu verwendenden Elemente
 \Rightarrow **Allokierung von Ressourcen (allocation)**
- ordnet Operationen, Variablen und Datentransporten entsprechende Elemente zu
 \Rightarrow **Zuordnung (assignment)**

W. Rosenstiel

Re.945.10

Restriktionen

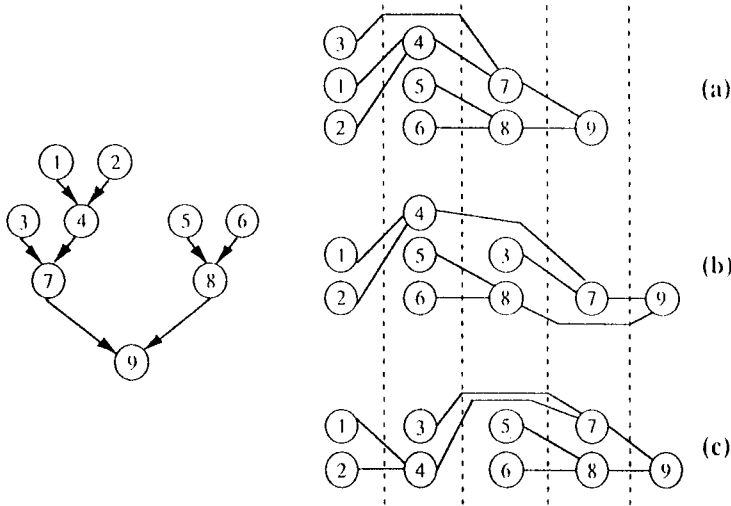
- zu erzielende Rechenleistung
- Zeitbedingungen für Ein-/Ausgangssignale
- maximale Kosten
- technologische und technische Randbedingungen
- Aspekte der Testbarkeit und Zuverlässigkeit der Strukturen
- Verwendung bestimmter Bausteinbibliotheken
- Leistungsverbrauch

W. Rosenstiel

Re.945.11

Ablaufplanung und Ressourcenallokierung

- gegenseitige Abhängigkeiten -

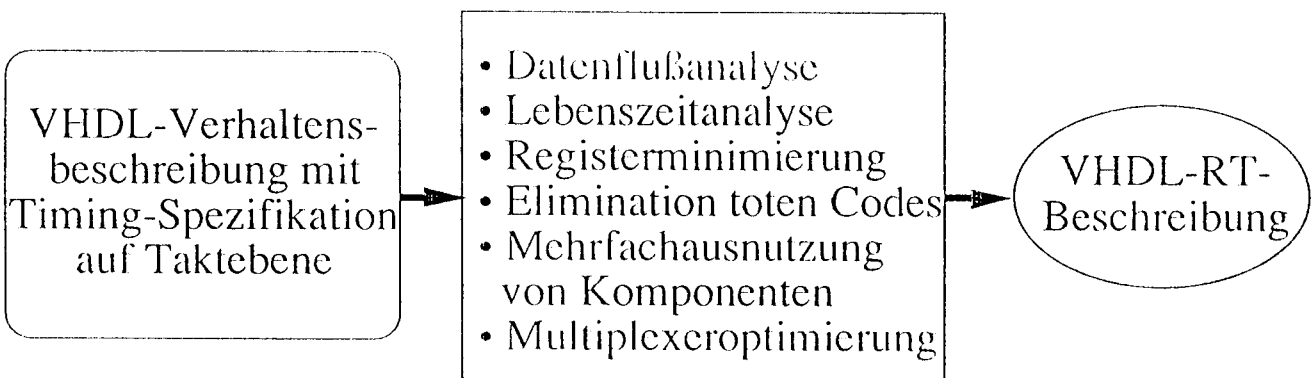


	S	R	O
(a)	4	4	3
(b)	5	3	3
(c)	5	4	2

W. Rosenstiel

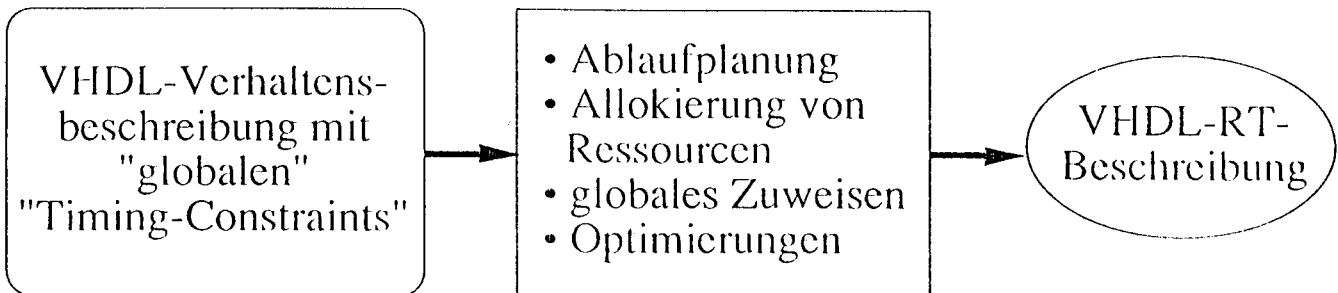
Re.945.14

High-Level-Synthesensystem der 1. Generation (z.B. CALLAS)



W. Rosenstiel

High-Level-Synthesensystem der 2. Generation (z.B. CADDY)



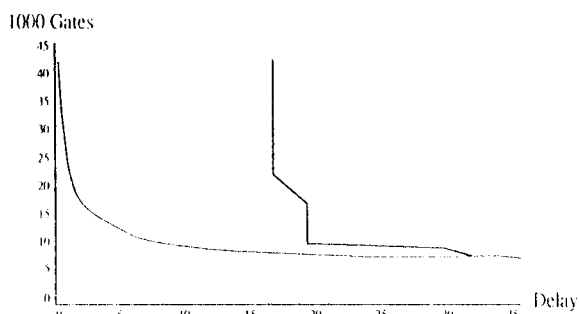
W. Rosenstiel

Re.945.16

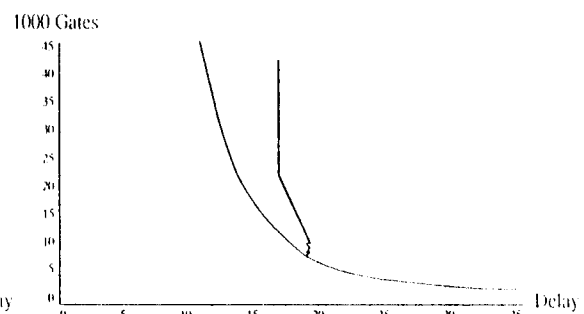
"Design Space Exploration"

Untersuchung verschiedener Optimierungsalternativen der Fläche/Verzögerungs-"trade-offs" in der 2. Generation der High-Level-Synthese-Systeme.

Beispiele:



Flächenoptimierung



Verzögerungsoptimierung

W. Rosenstiel

Re.945.17

Ergebnisse mit CADDY/CALLAS (bzw. VOTAN)

	CAN/BTL	Kohonen-Algorithmus
VHDL-Eingang	380	257
VHDL expandiert	893	keine Expansion
FG-Knoten	816	156
FG-Pfade	430850	20
VHDL-RT	9933	2599
Netzliste	58757	18426
Gatterzahl	6487	4045
opt. Gatterzahl	4876 (2284)	3799

W. Rosenstiel

Re.945.18

Weiteres Beispiel

- **Spezifikation eines Mikrocontrollers**
 - >> 100 Befehle
 - >> 10 Seiten VHDL
- **Vollständige Synthese nach Tagen abgebrochen**
- **Synthese der Steuerung (schwierigster Teil):**
 - 13 h CPU-Zeit auf Sparc 10
 - 4.466 Zellen
 - 2,2 mm² Chipfläche bei 0,8 µm - Prozeß
 - (noch) ohne Optimierung
- **Interessant wäre Wiederholung der Experimente mit dem neuen "behavioral compiler"**

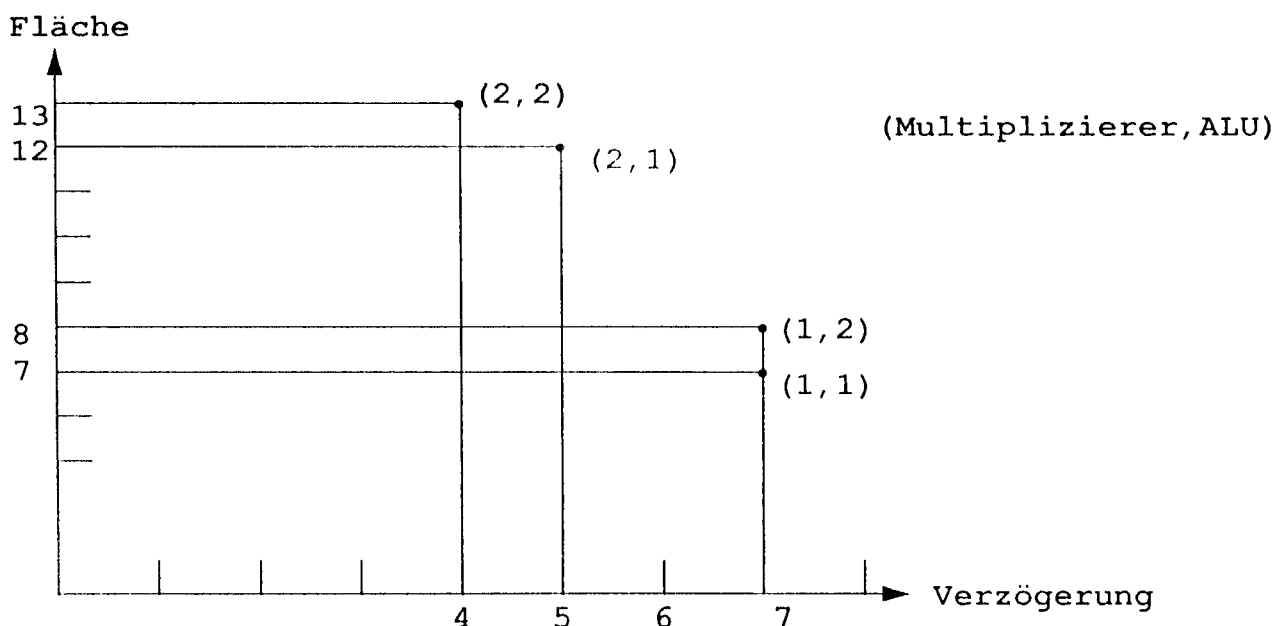
W. Rosenstiel

Beispiele typischer High-Level Syntheseschritte

- Kontrollflußgraph/Datenflußgraph extrahieren
- Entwurfsraumerkundung ("Design Space Exploration")
 - Wiederholung der Schritte:
 - » Ablaufplanung (Scheduling)
 - » Ressourcen-Allokierung
- Verwenden von Pipelining:
 - Struktur-Pipelining
 - Funktions-Pipelining
- Schleifenoptimierung durch "Loop Folding"
- Zuweisen an Bibliothekselemente (Mapping/Binding/Assignment)
- Registerminimierung und Verwendung von Mehrtorspeichern
- Partitionierung (Datenpfad/Steuerung etc.)

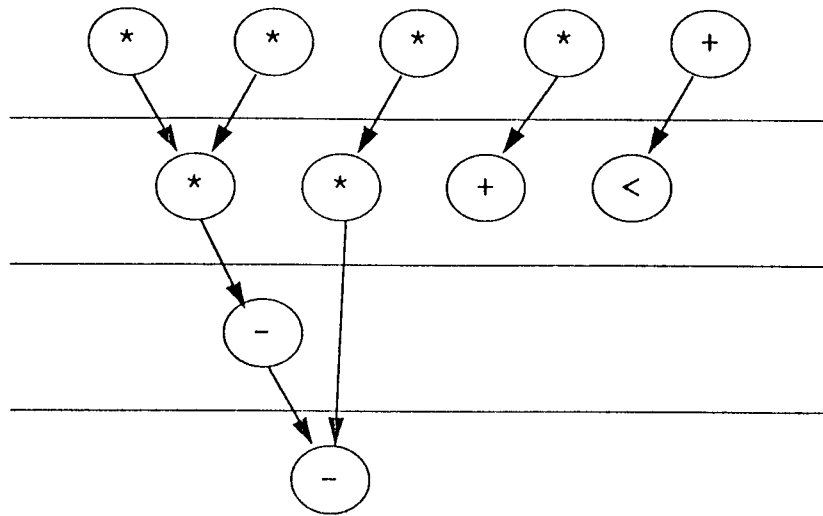
W. Rosenstiel

Darstellungen im "Fläche-Verzögerungs-Raum"



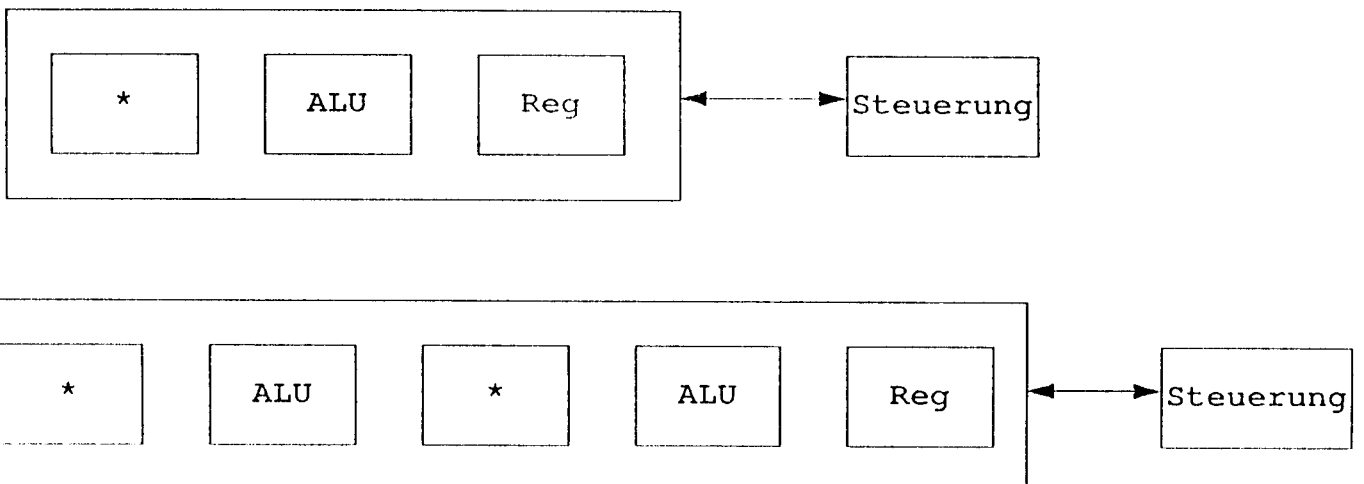
W. Rosenstiel

Kontrollflußgraph



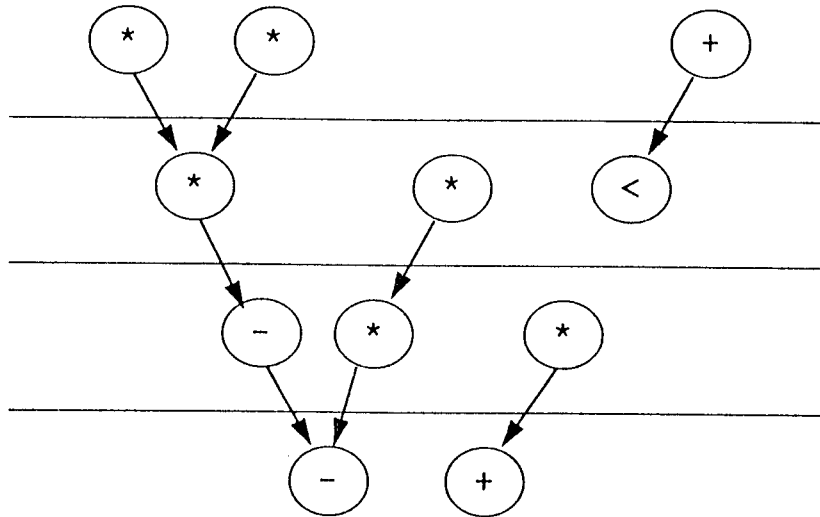
W. Rosenstiel

Verschiedene Implementierungen



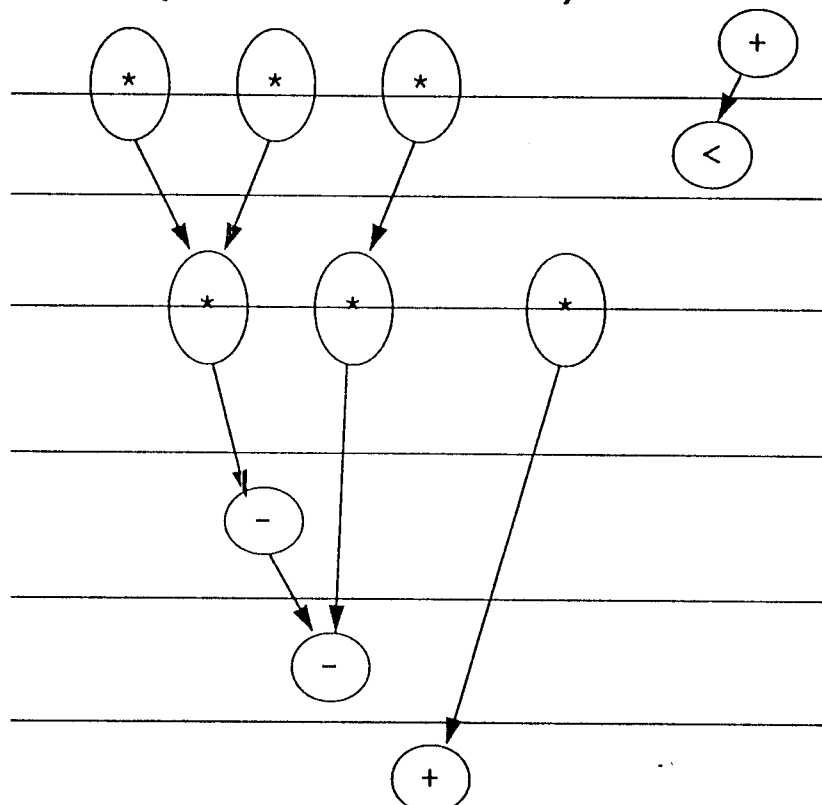
W. Rosenstiel

"Optimaler (einfacher) Schedule (2,2)"



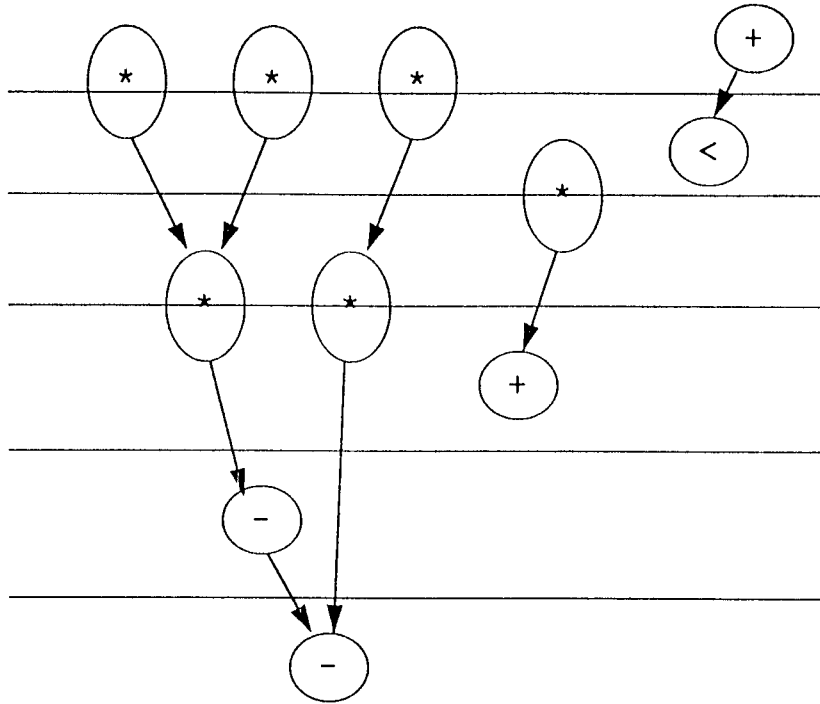
W. Rosenstiel

"Optimaler (realitätsnäherer) Schedule (3,1)"



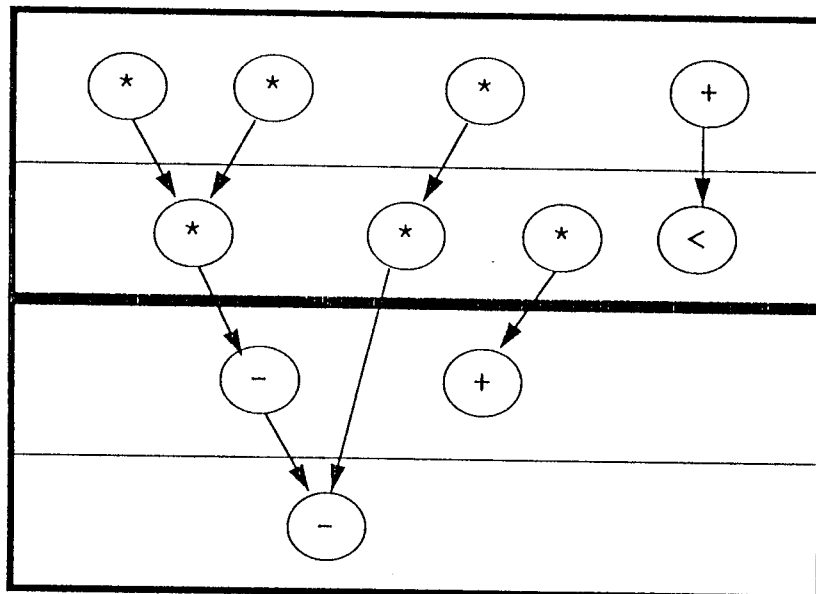
W. Rosenstiel

Struktur-Pipelining



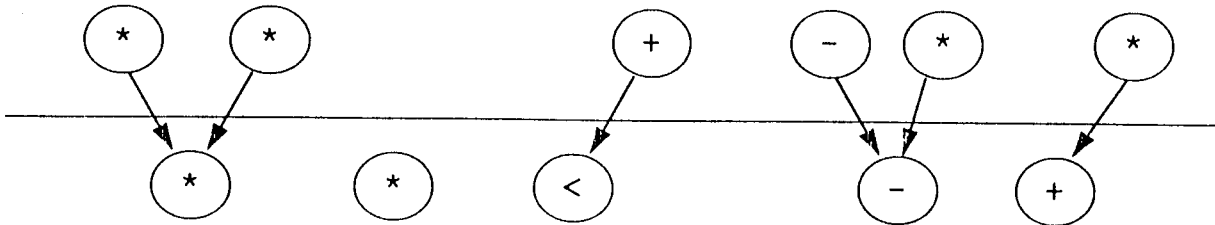
W. Rosenstiel

Funktions-Pipelining (3,3)



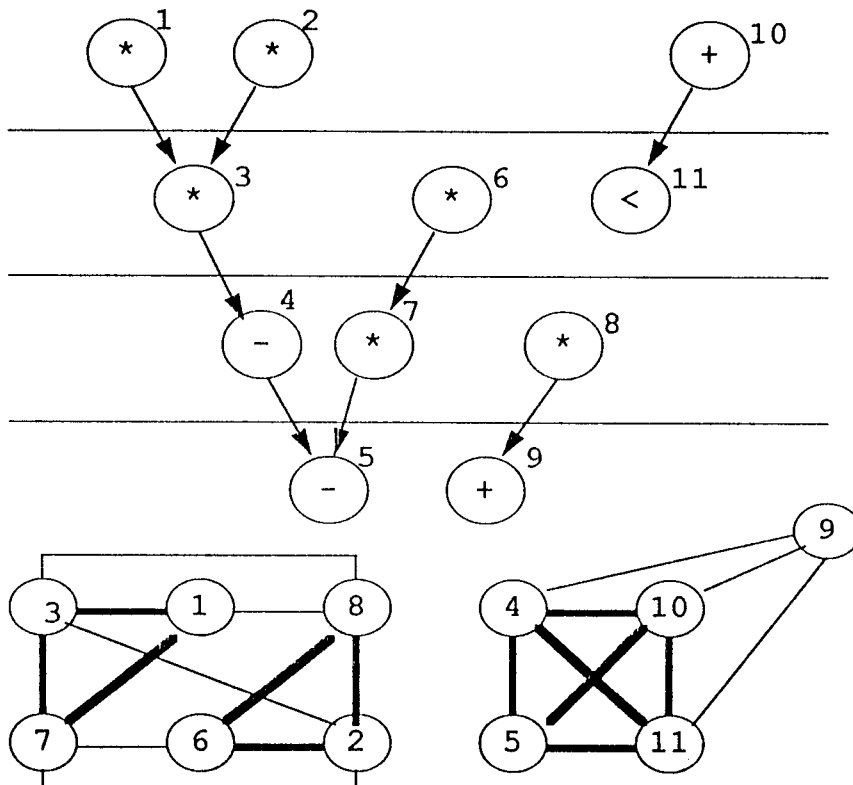
W. Rosenstiel

Loop-Pipelining (4,3)



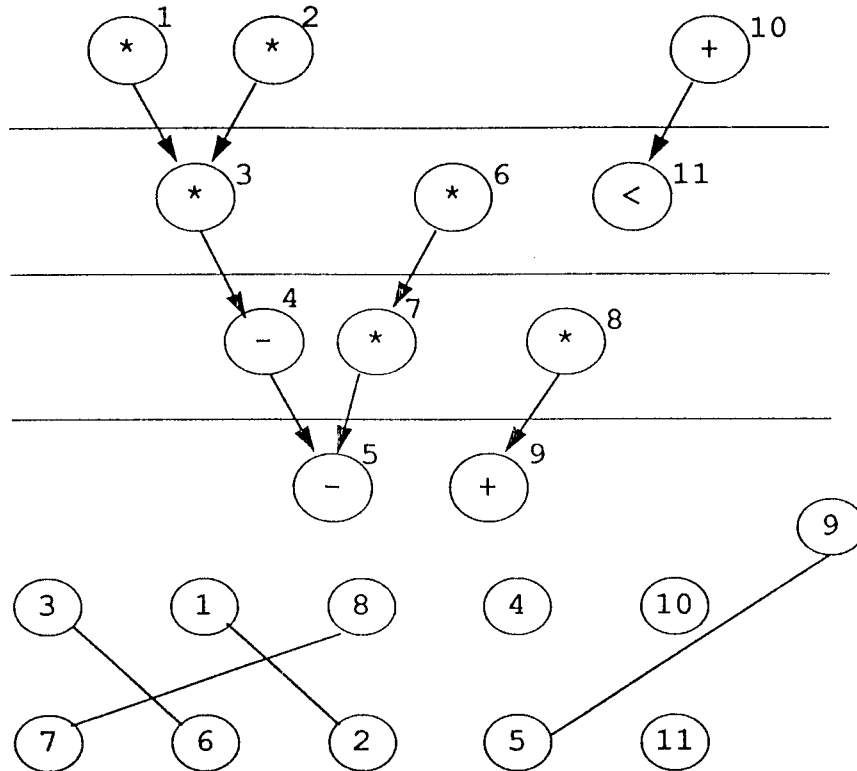
W. Rosenstiel

Kompatibilitätsgraph



W. Rosenstiel

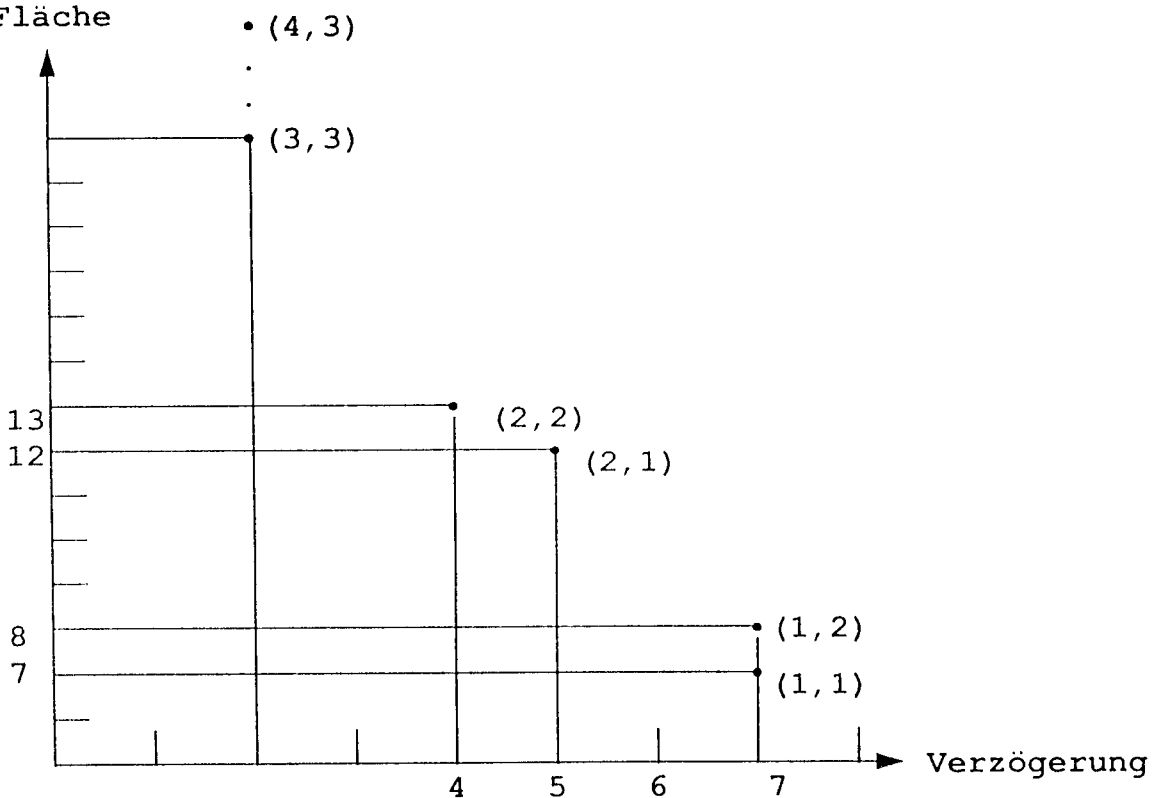
Konfliktgraph



W. Rosenstiel

Mehr Darstellungen im "Fläche-Verzögerungs-Raum"

Fläche



W. Rosenstiel

Neue Features des "behavioral compiler"

- typische "High-Level" Fähigkeiten
 - Scheduling
 - Ressourcenoptimierung
 - Binding (2-Ebenen-Multiplexer Datenpfad)
- automatisches Scheduling für Speicherzugriffe und Synthese der entsprechenden Steuerung
- "Loop-Pipelining"
- Unterstützung der Validierung durch 3 Scheduling-Strategien:
 - "Freies" E/A-Scheduling
 - "Superstate" E/A-Scheduling
 - Festes E/A-Scheduling
- Weitere Details könnte man noch untersuchen...

W. Rosenstiel

25

Anwendungsbeispiele

- Benchmarks incl. WDF, 8251 UART etc.
- Prozessoren
- DSP
- Automobil-Anwendungen
- Medizin-Anwendungen

W. Rosenstiel

VHDL Spezifikation

Spezifikation für High-Level-Synthese

- Ein-Prozess-Spezifikation (algorithmisch)
- Bit_Vektor, ganzzahlige und Array-Variablen
- geschachtelte Kontrollstrukturen (Schleifen, Verzweigungen)
- mehrfache "WAIT"-Statements

Spezifikationsstile

- nur Algorithmen
- Algorithmen und Timing (WYSIWYS)

W. Rosenstiel

Re.945.26

Ergebnisse

Beispiel:

Wellendigitalfilter 5. Ordnung (26 Additionen, 8 Multiplikationen)

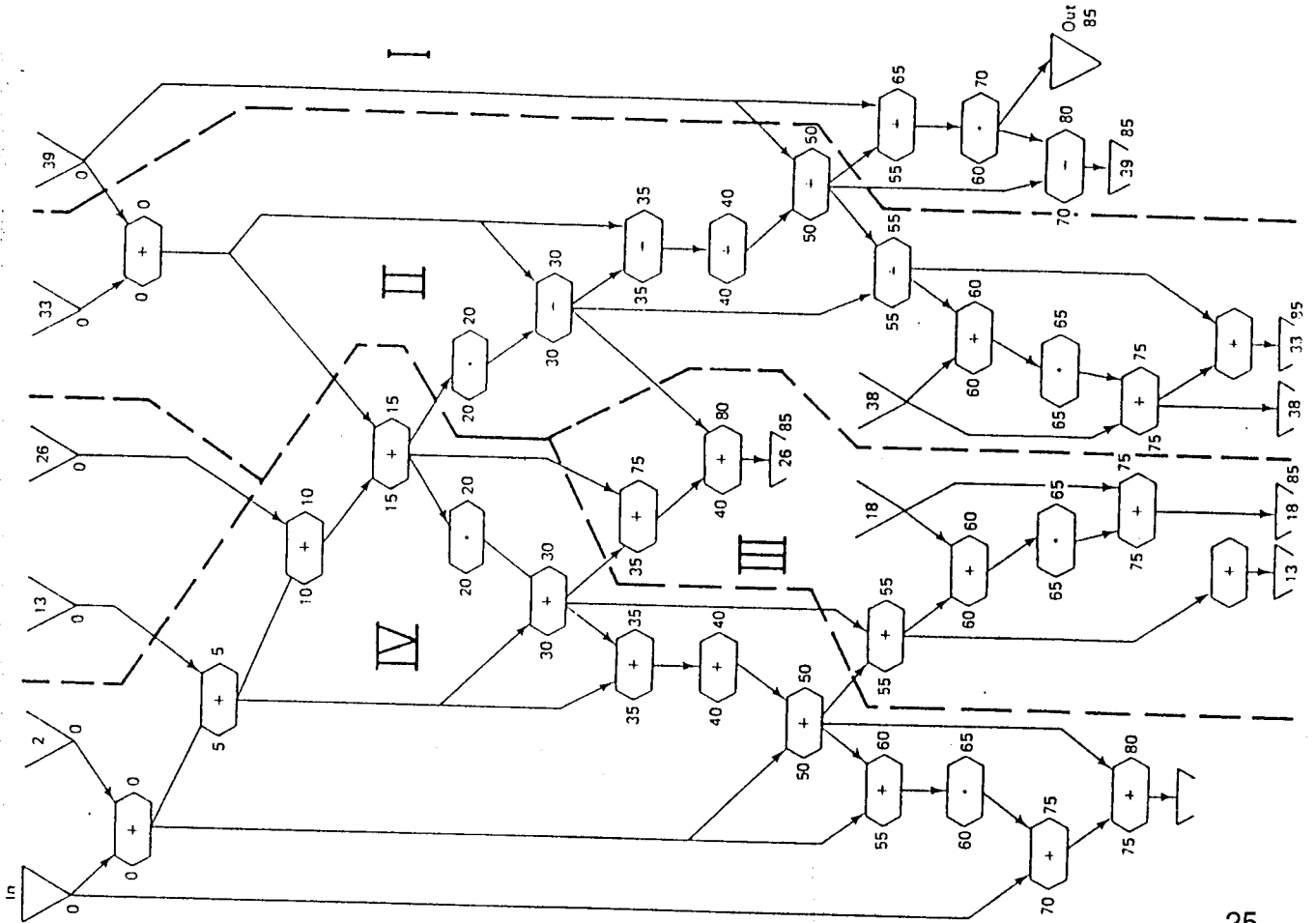
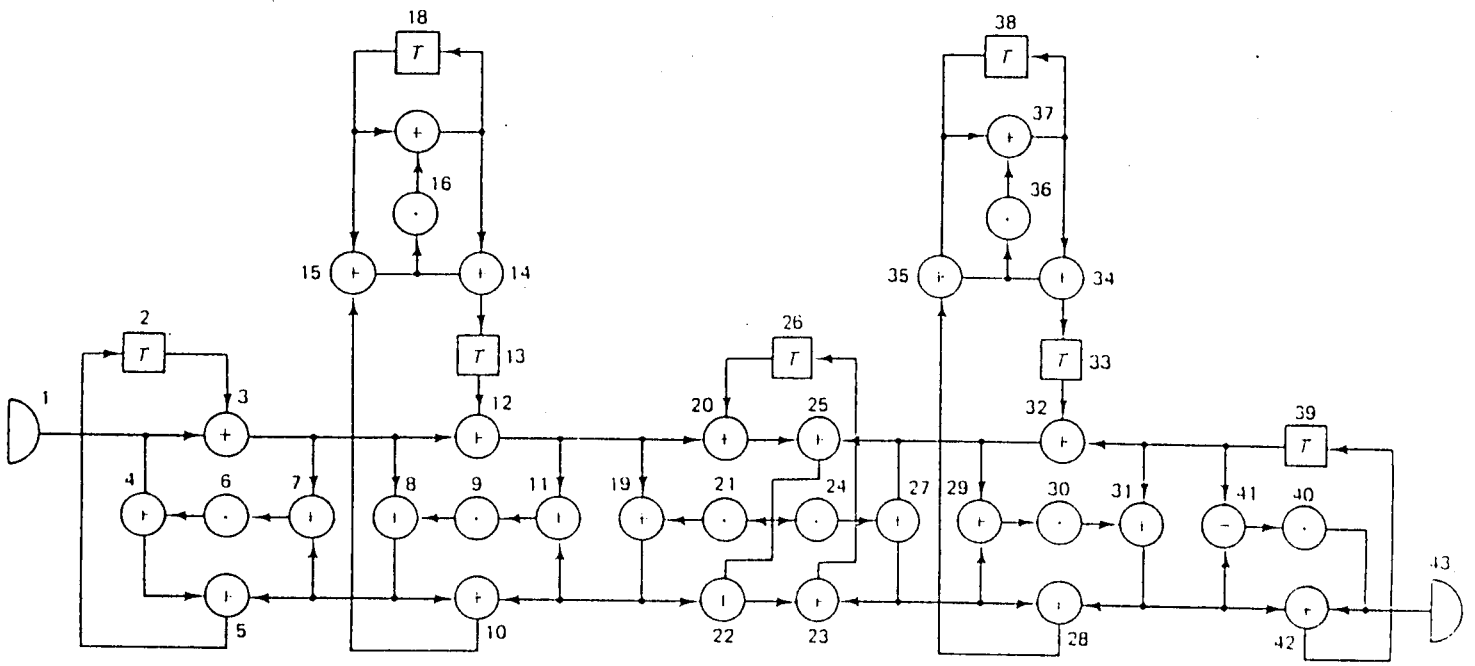
Komponentenbibliothek

- 3 Typen von Addierern ("chaining")
- 4 Typen von Multiplizierern ("chaining", sequentiell, pipelined)
- 4 Typen von ALUs (add, mult) (sequentiell, pipelined)

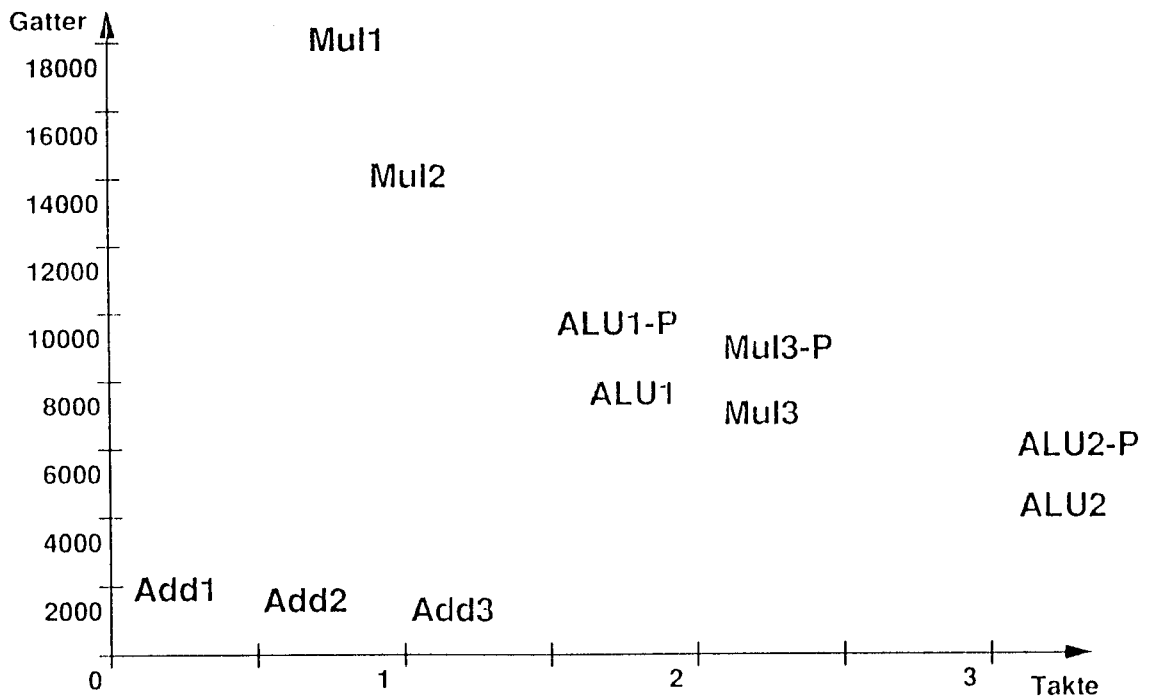
Optimierung der Taktzeiten

- Bei optimalen Taktzeiten ist die Zeit abhängig von den verwendeten Komponenten.
- Teil der "design space exploration"

W. Rosenstiel

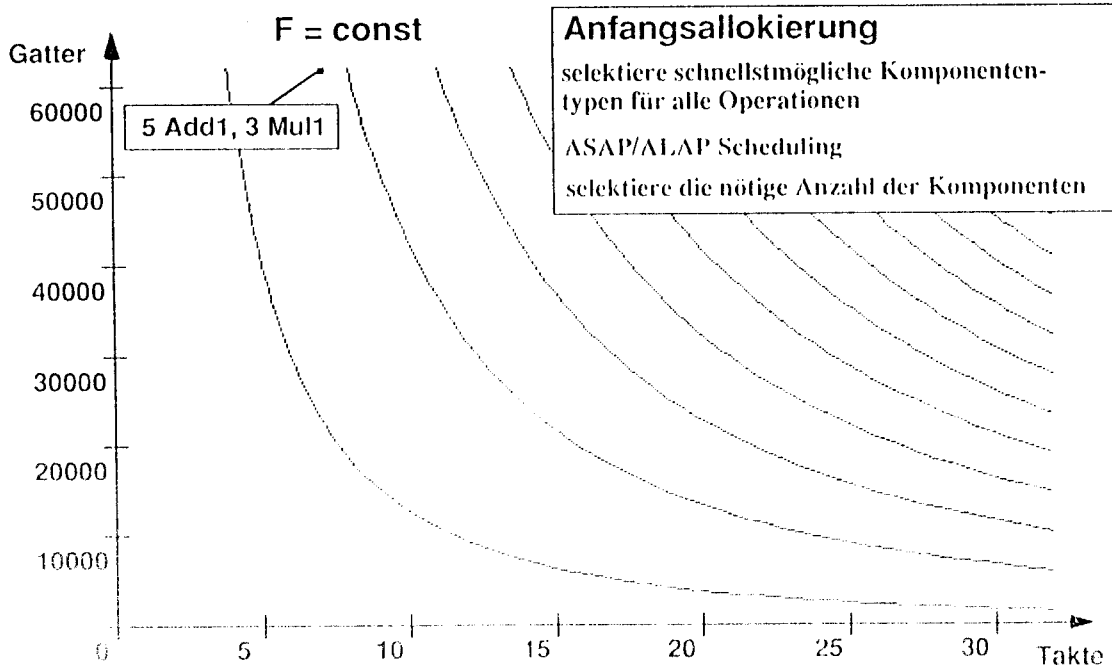


Komponententypen

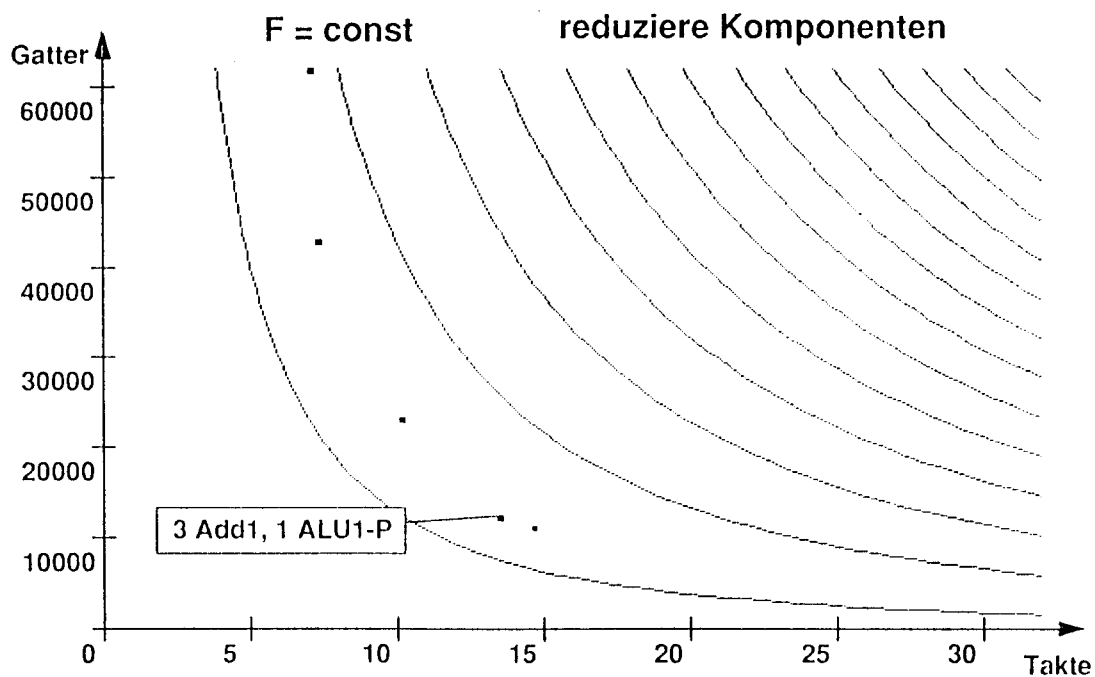


W. Rosenstiel

Re.945.29

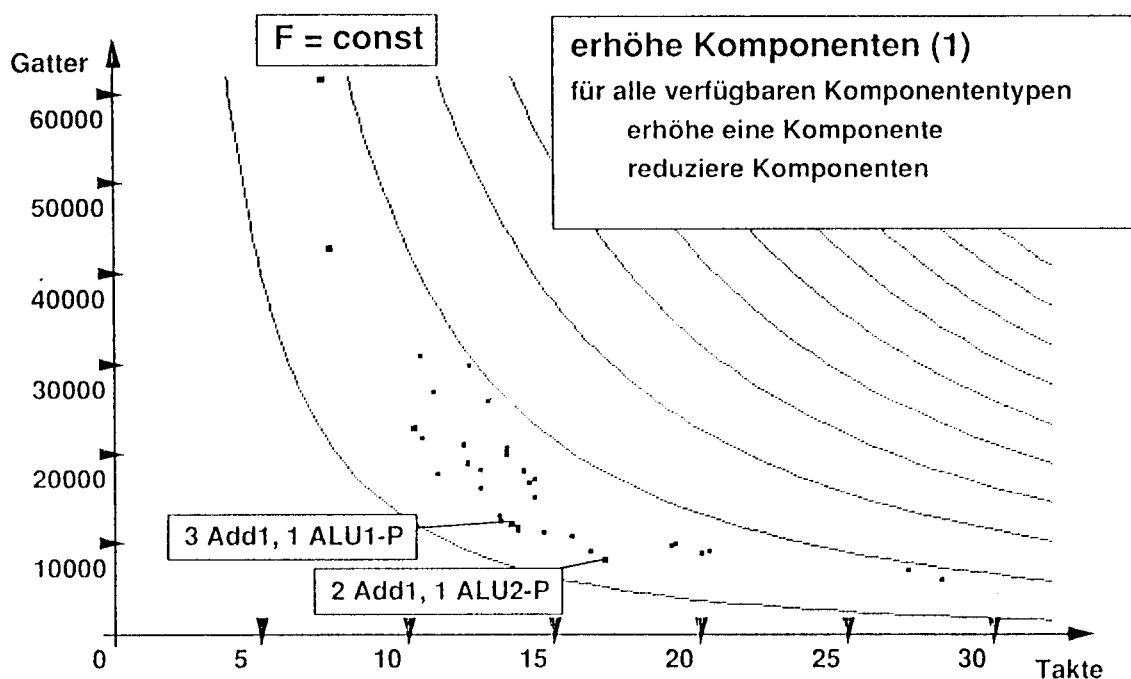


W. Rosenstiel



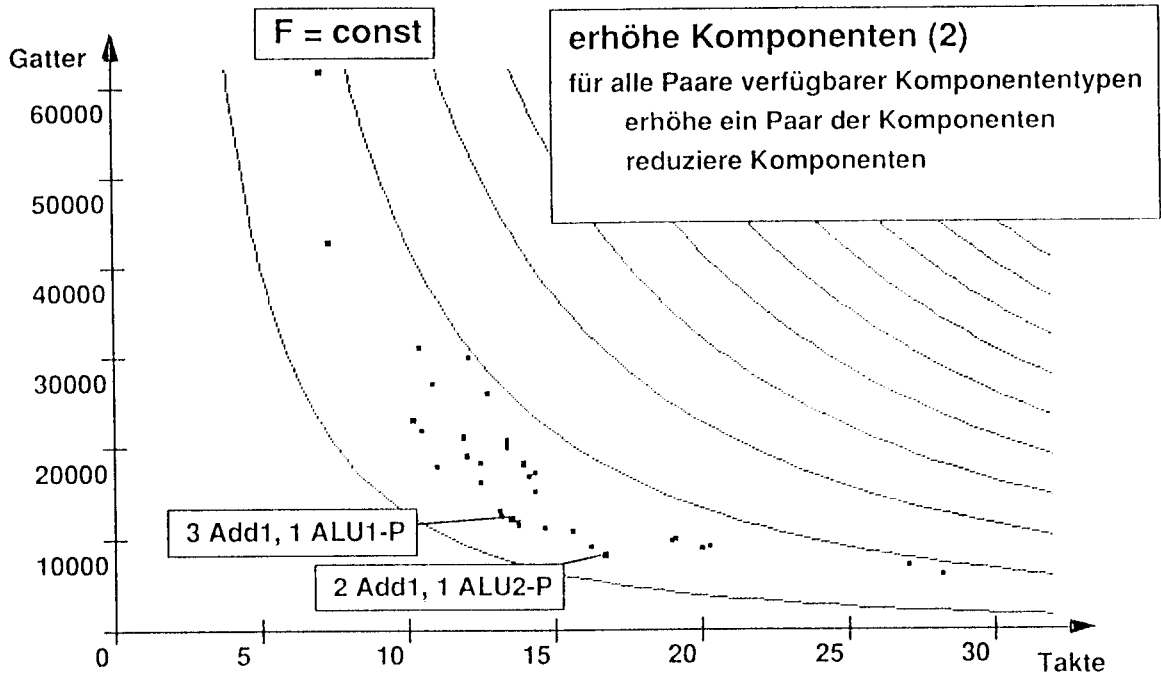
W. Rosenstiel

Re.945.32



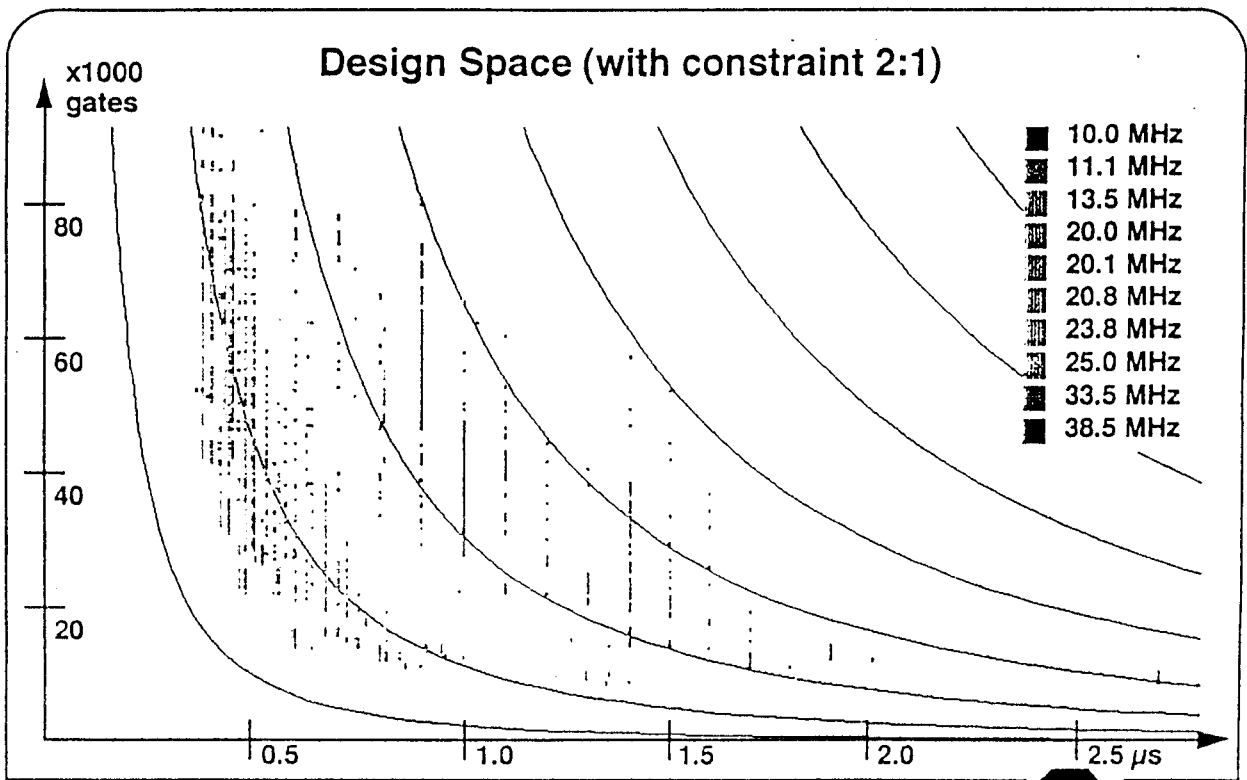
W. Rosenstiel

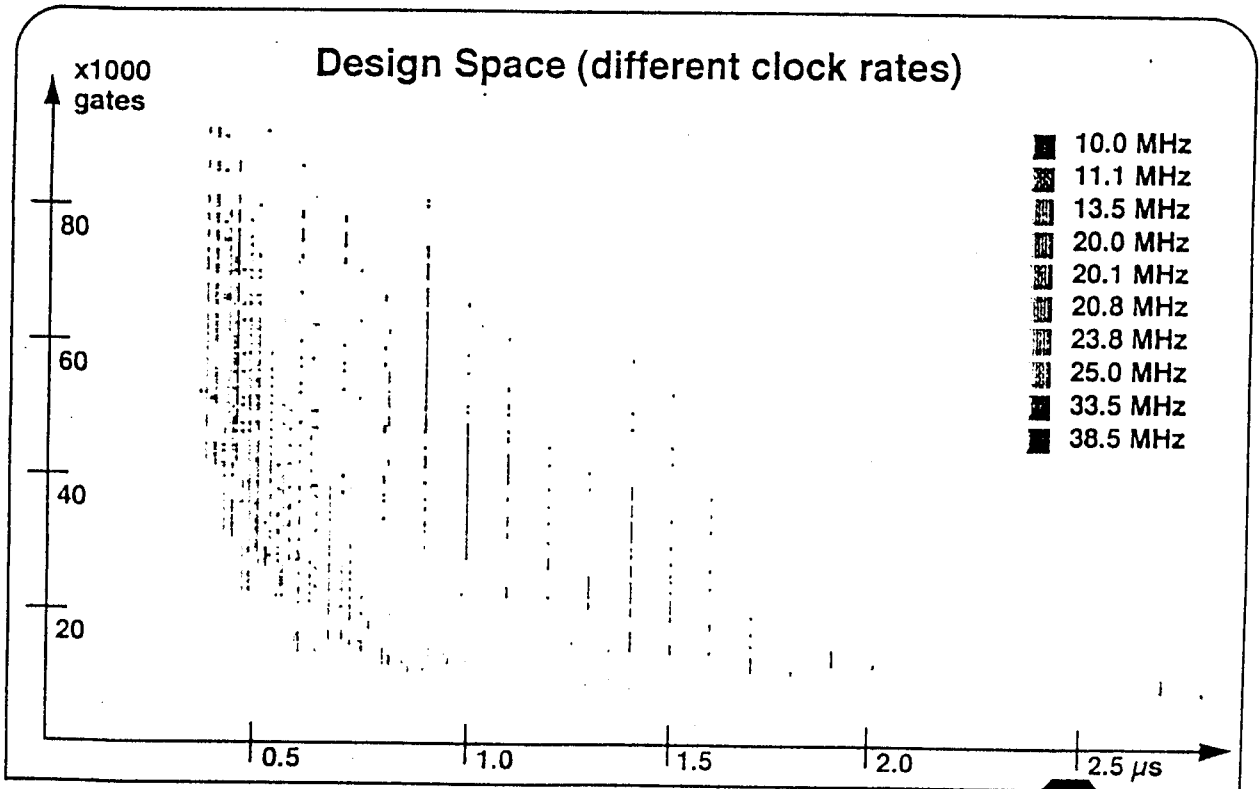
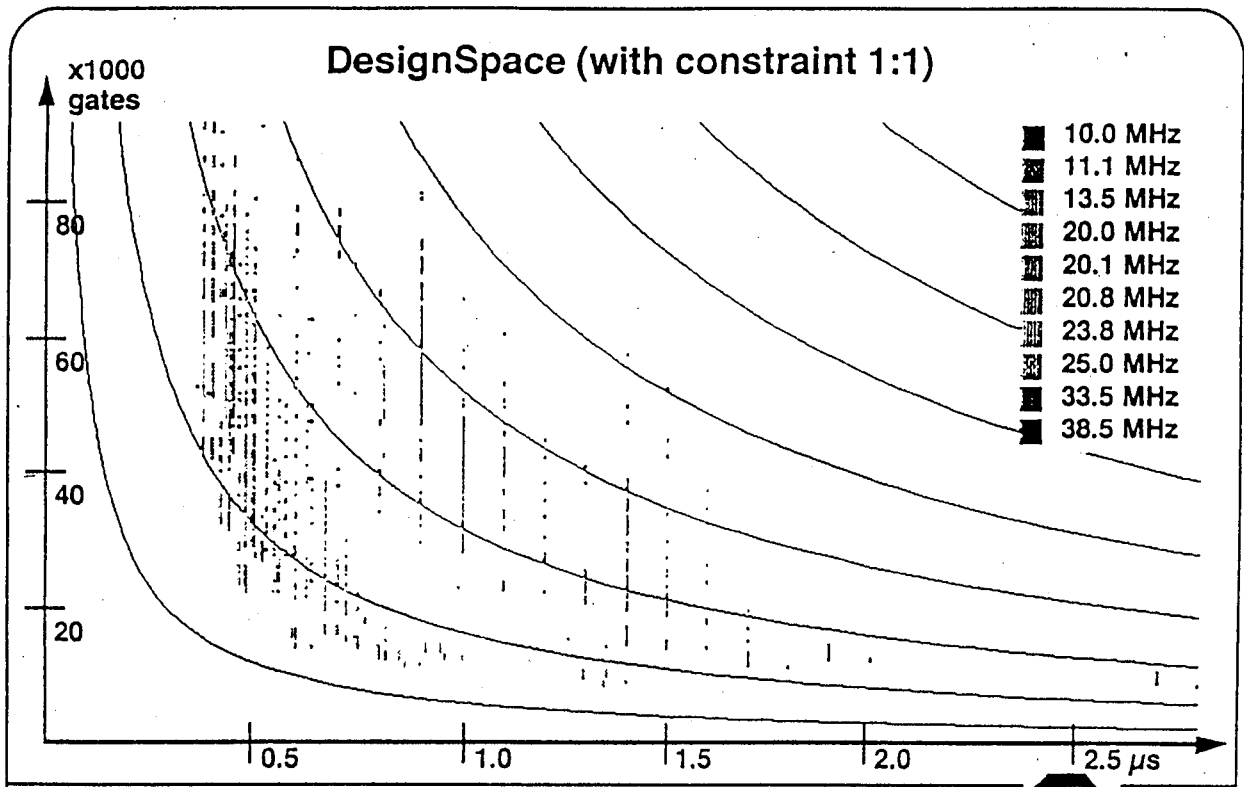
Re.945.33



W. Rosenstiel

Re.945.34





Zukünftige Anwendungen von Chip Design

- Prozessor-/Rechnerentwurf (Cordic-Prozessoren, Array-Prozessoren)
- Hardware-Beschleuniger (Coprozessoren für Neuronale Netze, Register-/RAM-Generatoren, Adreßgeneratoren)
- "Embedded Systems" (Viterbi Decoder, Filter, ATM, Mobile Kommunikation, Kfz-Elektronik)

Wichtig:

- ⇒ gemeinsame Optimierung von Hard- und Software ("Hardware-Software-Codesign")
- ⇒ Entwicklung von Methoden und Werkzeugen

W. Rosenstiel

Re.945.37

Was ist Hardware/Software Codesign?

- gemeinsame, parallele Entwicklung von Hardware und Software
- einheitliche Systementwurfsmethodik
 - ⇒ Beziehungen zwischen Hard- und Software offenlegen
 - ⇒ Entwurfsentscheidungen müssen sich gegenseitig beeinflussen

W. Rosenstiel

Im Einzelnen:

- Algorithmen-Entwurf
- Co-Simulation
- "Retargetable Compiler"
- eingebettete, skalierbare Echtzeitbetriebssysteme
- Framework
- Schnittstellen-Entwurf
- Leistungsabschätzungen
- Spezifikation
- Co-Verifikation
- Synthese
- Partitionierung

W. Rosenstiel

The Design of High-Speed Optoelectronic Receivers
using the Cherry-Hooper principle
H. Khakzar

Fachhochschule fuer Technik Esslingen, West Germany

Introduction

The design of large-bandwidth fiberoptic receivers suitable for optoelectronic integration has not only to fulfill the system's bandwidth and noise requirements, but also to consider integrability and manufacturability. In the following, we will show that the Cherry-Hooper [1] design approach for broadband amplifiers is particularly suitable to meet these requirements. Cherry and Hooper have shown that a stable broadband amplifier can be realized using alternately parallel and series feedback in subsequent stages, see Fig. 1. The time constant of the RC feedback network in a particular stage is chosen so that

$$\tau^{-1}_{RC} = 2\pi f_T,$$

where f_T is the current-gain cut-off frequency of the transistor in that stage. The gain-bandwidth product per stage in this case is equal to f_T . The Cherry-Hooper principle uses a deliberate impedance mismatch between subsequent stages: Series feedback increases and parallel feedback decreases the input and output impedances of a stage. All intermediate nodes see a low impedance either from the output of a preceding or the input of a following stage, largely decreasing the influence of parasitic capacitances connected to these nodes on the frequency response, and effectively enhancing the stability of the amplifier. The Cherry-Hooper principle is thus significantly different from other design approaches using impedance matching between stages [2]. While the interstage matching approach does obtain very large bandwidths, a feedback topology like the Cherry-Hooper amplifier has an advantage in that the circuit characteristics are defined mainly by the feedback resistances, reducing the effect of process variations of the transistor parameters, as well as bias supply fluctuations and temperature variations. Additionally, circuits using lumped elements only have a potentially better integrability for medium-to-high density circuits. Interstage matching at microwave frequencies generally requires distributed circuit elements.

Multistage transimpedance amplifier

The Cherry-Hooper design principle shall be applied to the design of a multistage transimpedance amplifier. It is well known that the input resistance of a transimpedance amplifier is approximately

$$R_{in} = \frac{R_F}{A_0 + 1},$$

where R_F is the feedback resistance and A_0 the open loop voltage gain of the gain stage. For high-speed operation, the input impedance has to be decreased, while thermal noise considerations impose a lower limit on the value of the feedback resistor R_F . This mandates a large open-loop voltage gain A_0 . The maximum voltage gain for a single stage is, however, given by the ratio of transconductance g_m and output conductance g_{ds} per unit area:

$$A_{max} = \frac{g_m}{g_{ds}}$$

Short-channel field effect transistors often suffer from a high output conductance G_{ds} . Maximum voltage gains around 10 are typical for sub- μ m gate lengths. It is hence desirable to cascade gain stages. The feedback around several stages, however, leads to stability problems. Using the Cherry-Hooper principle, we can enhance the stability.

A multistage transimpedance circuit was simulated using the small-signal equivalent circuit of a HEMT with 0.25 μ m gate length manufactured by NEC, shown in Fig. 2. Note that the maximum

voltage gain of this particular transistor is $A_{\max} = 9$. The transit time delay of 2.5 ps was included as an excess phase in the circuit simulations. Calculations were limited to the small-signal frequency response using the SPICE circuit modeling program.

Fig. 3 shows one approach using parallel-series-parallel feedback for the individual stages, and parallel feedback around three stages. The central series feedback stage can usually be designed in a way that one pole will be eliminated by a zero existing in the numerator of the transfer function $I_{\text{out}}/U_{\text{in}} = f(\omega)$, and the other pole will be placed far left in the complex plane, and hence be insignificant. The two parallel feedback stages contribute two poles each, for a total of four poles. Systems with four poles generally become unstable when feedback over all stages is introduced, if no compensating zeros in the transfer function of the amplifier are present. In case of a low-noise front-end, we also note that both the feedback resistor R_{F1} in the first stage and the overall feedback resistor R_F add thermal noise currents to the input node.

A better approach to a multi-stage overall feedback amplifier is shown in Fig. 4. It is, in principle, a series-parallel-series Cherry-Hooper amplifier where the series feedback in the first stage has been reduced to zero. The thermal noise contribution at the input node is significantly reduced as the first stage feedback resistor has been eliminated. The number of dominant poles can be kept to two, or three if the input capacitance due to the photodiode and input transistor is large and contributes a significant pole. This significantly improves the stability of the circuit.

Fig. 5a shows a simulated implementation of this topology using the NEC HEMT. Bias circuitry has been omitted for simplicity. The input RC lowpass formed by the input resistance and capacitance can be expanded to a third-order lowpass using a suitable inductance, reducing the effect of the photodiode capacitance on the bandwidth. An output buffer stage has been added which uses a parallel feedback. This lowers the overall gain, but also largely reduces the time constants at the output of the third stage.

Fig. 5b, finally, shows the simulated frequency response of the multistage transimpedance amplifier for $R_F = 1 \text{ k}\Omega$, with 3.3 GHz bandwidth. The bandwidth reduces to 2.2 GHz for $R_F = 2 \text{ k}\Omega$. Amplitude and phase response are well behaved.

Conclusion

It has been shown that the Cherry-Hooper design principle can be used to enhance the stability in transimpedance amplifiers with feedback around several gain stages. Multiple gain stages within the feedback loop are particularly important for high-speed receiver designs using FETs with sub- μm gate lengths. A four-stage transimpedance amplifier with feedback around three stages has been simulated for a commercial 0.25 μm gate HEMT. A bandwidth of 3.3 GHz has been obtained with excellent stability.

References

- [1] E.M. Cherry and D.E. Hooper, *The Design of Wide-Band Transistor Feedback Amplifiers*, 1963, Proc. IEE, Vol. 110, No. 2
- [2] J.L. Gimlett, *Low Noise 8 GHz pin/FET Optical Receiver*, 1987, Electronics Letters 23, 281-283

Figure Captions

- Fig. 1: The Cherry-Hooper principle: alternating parallel and series feedback in subsequent stages
- Fig. 2: Small-signal equivalent circuit of the NEC 0.25 μm HEMT
- Fig. 3: Multistage transimpedance amplifier using parallel-series-parallel internal feedback
- Fig. 4: Improved multistage transimpedance amplifier
- Fig. 5: Simulated implementation (a) and frequency response (b) of the improved multistage transimpedance amplifier (assuming the NEC HEMT)

Feedback

Feedback

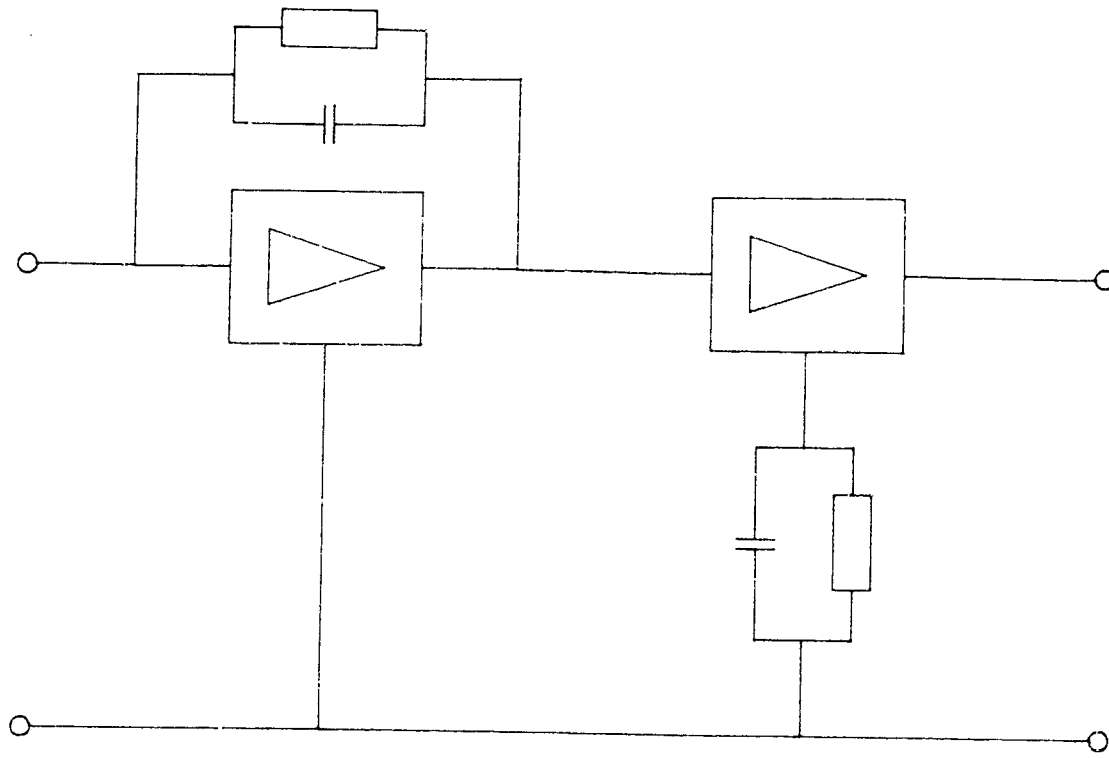


Fig. 1

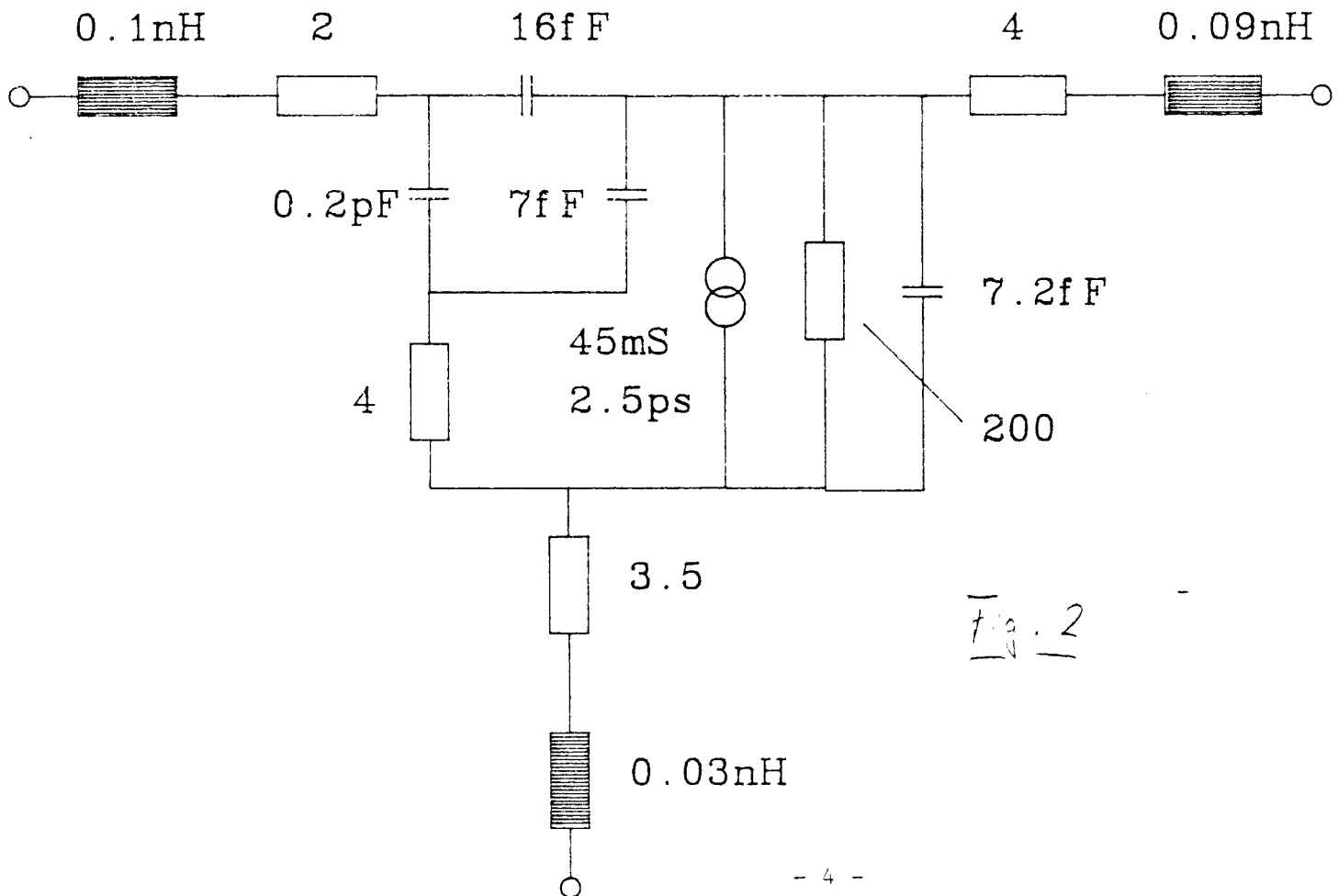


Fig. 2

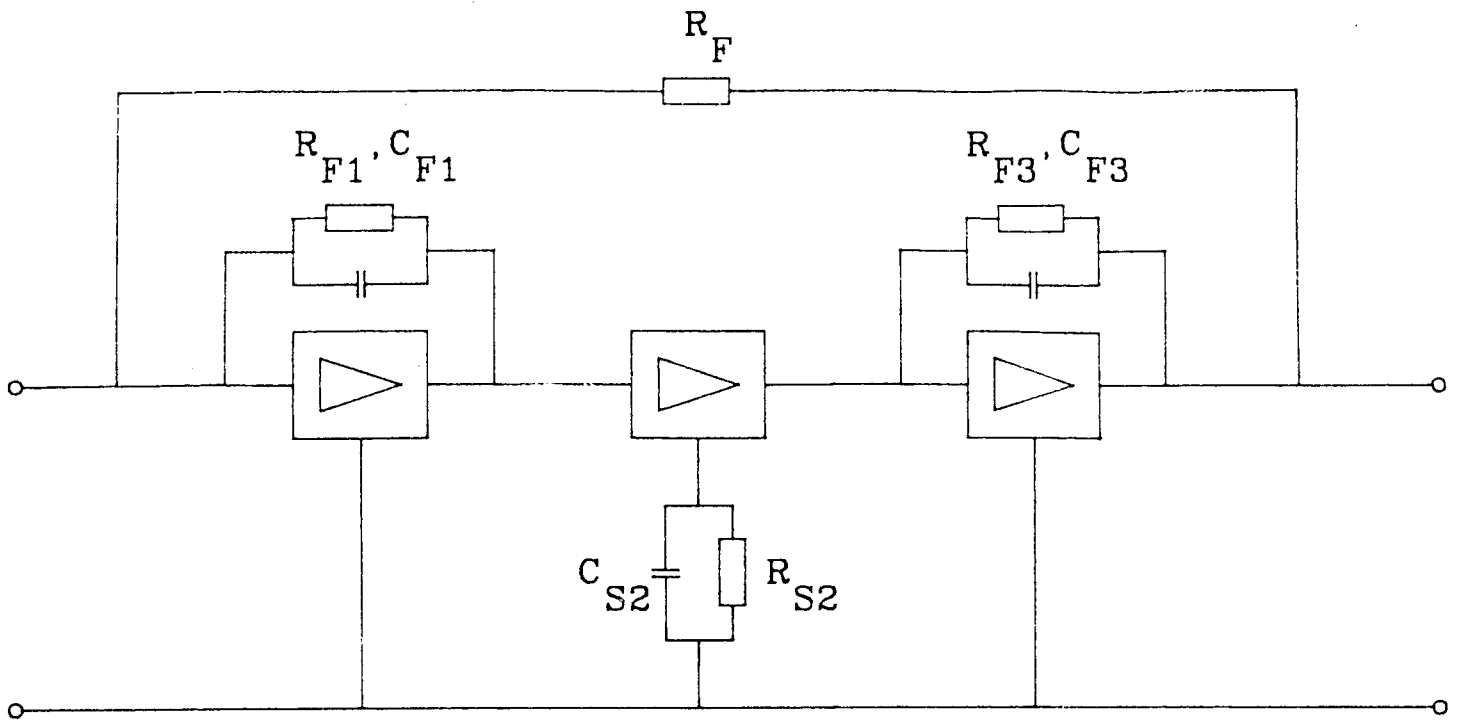


Fig. 3

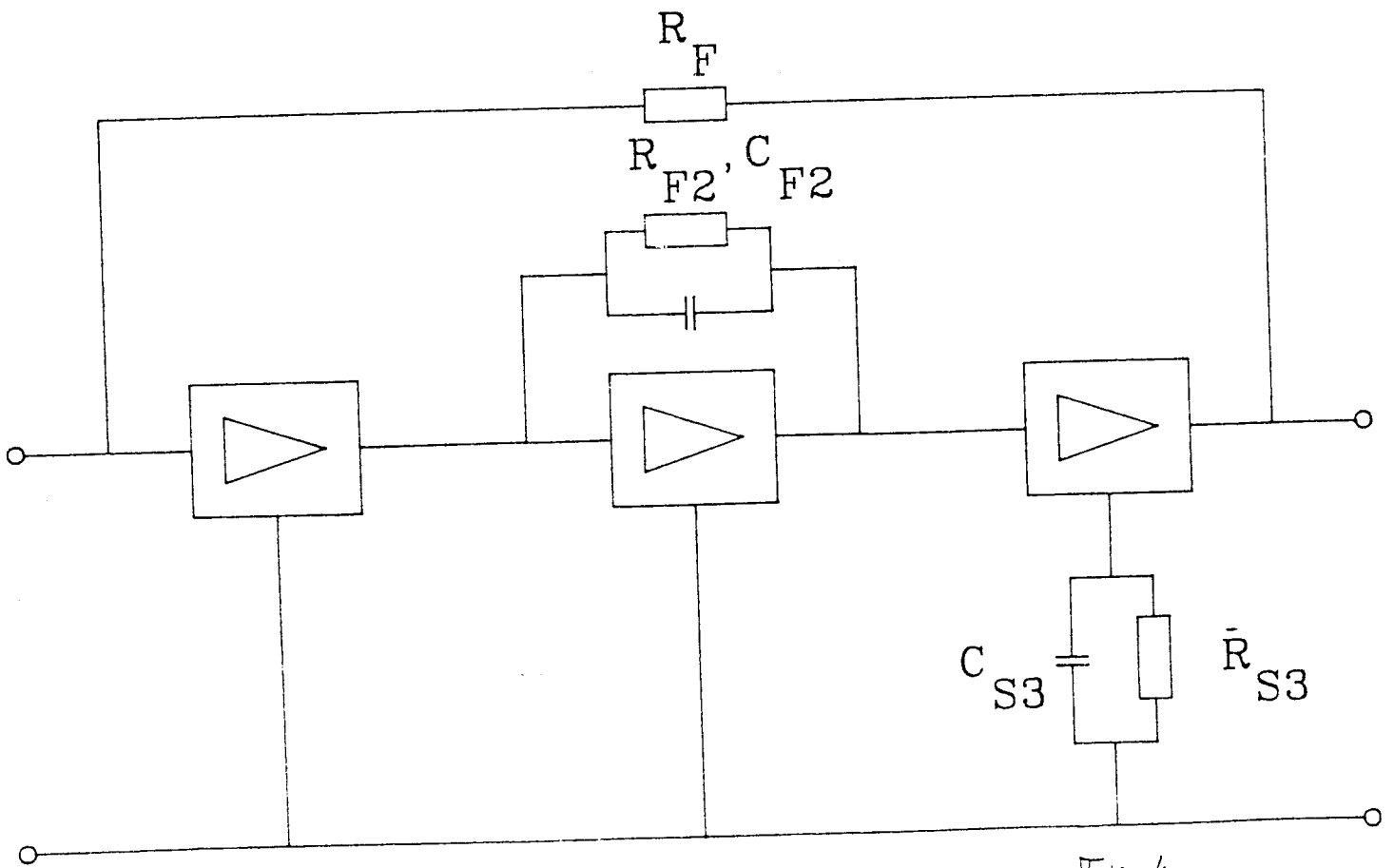


Fig. 4

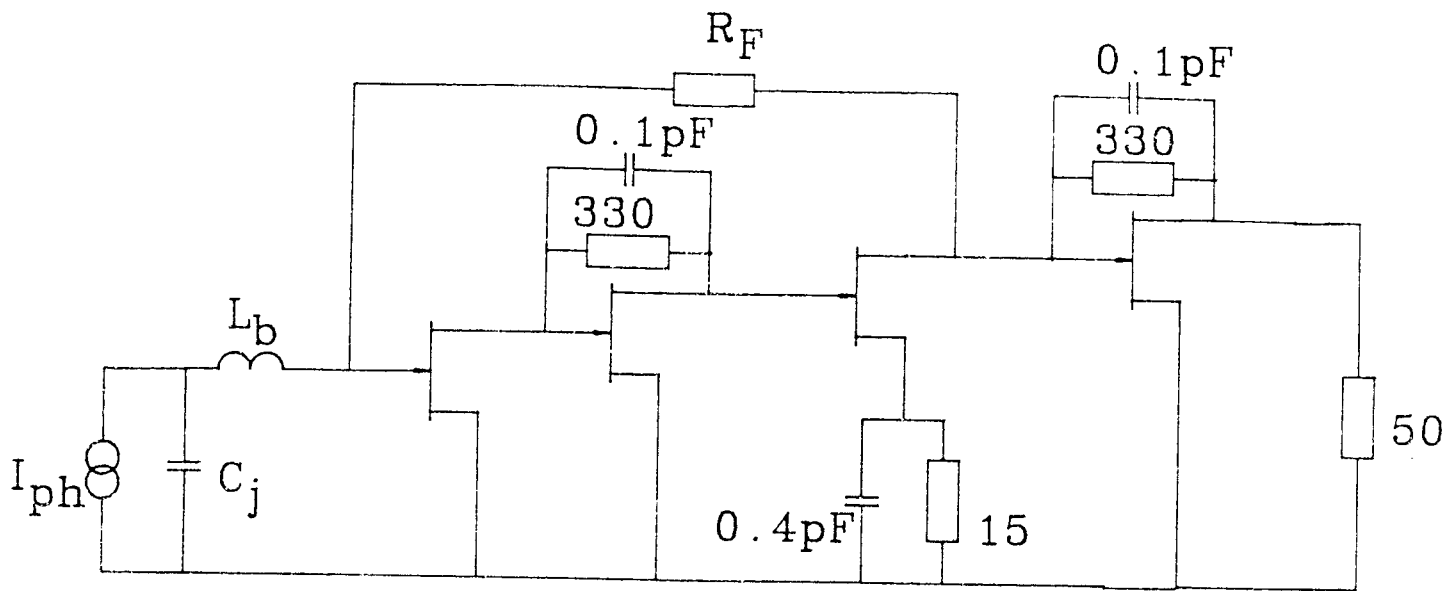


Fig. 5a

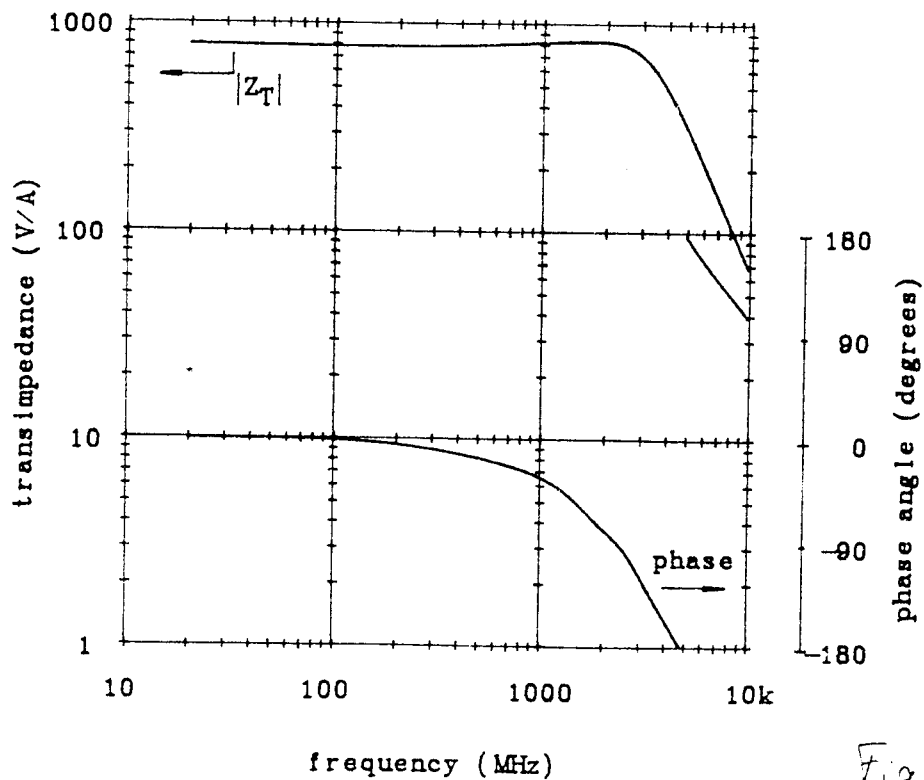


Fig. 5b

H.CLAUSS, FH-Heilbronn, FB Elektronik**Entwurf analoger IC am Beispiel eines Operationsverstärkers**

Übersicht:

- 1 Einleitung, Eigenschaften integrierbarer Bauelemente
- 2 Schaltung des Operationsverstärkers 'OPsint1'
- 3 Analyse der Baugruppen des OPV
- 4 Eigenschaften des realisierten OPV
- 5 Ausblick

1. Einleitung

Operationsverstärker (OPV) - in der Praxis der Schaltungsentwicklung unverzichtbare Standardbausteine - werden kommerziell in großer Vielfalt für die unterschiedlichsten Einsatzbereiche angeboten. Deshalb stellt sich die Frage, warum gerade ein OPV im Labor für Schaltungsintegration realisiert wurde.

In der Laborpraxis hat sich gezeigt, daß ein OPV besonders gut als Demonstrationsobjekt für den Entwurf integrierter Analogschaltungen geeignet ist. Er enthält sehr viele auch in anderen Analogschaltungen einsetzbare Grundschaltungen. Trotzdem ist seine Struktur relativ übersichtlich, so daß man sich auf integrationsspezifische Gesichtspunkte konzentrieren kann. Außerdem lassen sich aus einem OPV leicht Schaltungen mit ganz gezielt eingestellten Eigenschaften ableiten.

Ziel dieses Vortrags ist es, über unsere Erfahrungen mit dem auf dem Transistorarray B500D realisierten OPV 'Opsint1' zu berichten.

Der Schaltungsaufbau integrierter Schaltungen (IS) wird wesentlich von den Eigenschaften der integrierbaren Bauelemente (iBE) bestimmt. In **Folie 2** sind einige dieser Eigenschaften zusammengestellt.

An erster Stelle ist der **Chipflächenbedarf** der verwendeten Bauelemente genannt, denn er bestimmt neben dem Verdrahtungsaufwand die Chipfläche der Bausteine.

Folie 3 zeigt im Vergleich die Flächen einiger iBE, die alle mit den gleichen Layoutregeln entworfen wurden. Es zeigt sich, daß NPN-Transistoren ($I_{cmax} = 2 \text{ mA}$) einen besonders geringen Platzbedarf haben. Ihre Chipfläche wurde als Bezugswert für

die Berechnung eines Vergleichsflächenfaktors F gewählt und erhält damit den Flächenfaktor $F = 1,0$.

Für Substrat-PNP-Transistoren (S-PNP, $I_{cmax} = 1 \text{ mA}$) ergibt sich $F = 0,8$. Bei Lateral-PNP-Transistoren (L-PNP) mit Minimalgeometrie ($F = 2,0$) ist zu berücksichtigen, daß ihr zulässiger Kollektorstrom ($I_{cmax} = 0,1 \text{ mA}$) nur $1/20$ des für NPN zulässigen Stroms ist. Deshalb ist zum Vergleich auch ein L-PNP-Transistor mit $I_{cmax} = 0,3 \text{ mA}$ (3x L-PNP) dargestellt mit $F = 3,7$. Der Flächenbedarf der L-PNP steigt mit zunehmender Strombelastung sehr stark an.

Ebenfalls relativ viel Chipfläche ($F = 3,3$) beanspruchen Widerstände mit größeren Widerstandswerten $R \geq 100 \text{ k}\Omega$; beim Entwurf des Widerstands wurde ein Schichtwiderstand $R_s = 2 \text{ k}\Omega/\square$ zugrunde gelegt. Auch integrierte Kondensatoren zeigen einen großen Platzbedarf (vgl. Folie 11).

Für den iBE-Flächenbedarf ergibt sich grob folgende Reihenfolge:

Chipfläche klein: NPN, S-PNP, Dioden, kleine $R \leq 1 \text{ k}\Omega$,

Chipfläche mittel: L-PNP (für kleine I_c), mittlere R ($1 \text{ k}\Omega \leq R \leq 100 \text{ k}\Omega$)

Chipfläche groß: große $R > 100 \text{ k}\Omega$, Kondensatoren.

Auch die **Toleranz der Bauelement-Parameter** (vgl. Folie 2) spielt eine wichtige Rolle für die Auswahl der iBE: Die absoluten Werte der iBE-Parameter schwankt relativ stark; beispielsweise muß man bei der Stromverstärkung B der NPN mit $70 \leq B \leq 150$ rechnen. Auch der Wert der Widerstände zeigt eine Toleranz von $\pm 20\%$. Die **relative Toleranz** der iBE auf einem Chip ist jedoch sehr gering und man kann z.B. bei $R < 2 \%$ erreichen. Auch die thermische Kopplung der iBE ist sehr gut, sofern man beim Entwurf die Bauelemente, für die eine sehr gute Übereinstimmung der Temperatur gefordert wird, im Layout nebeneinander anordnet.

Da mit vernünftigem Aufwand nur Kapazitätswerte bis ca. 500 pF realisiert werden können ist eine galvanische Kopplung der Baugruppen unverzichtbar.

Aus diesen Ausführungen folgt, daß für den Entwurf integrierter Schaltungen eine spezielle Schaltungsstruktur erforderlich ist, die sich wesentlich von der Schaltungstechnik diskreter Schaltungen unterscheidet. Diese Unterschiede lassen sich sehr deutlich am Beispiel des im folgenden Abschnitt 2 beschriebenen OPV darstellen.

2. Schaltung des Operationsverstärkers 'Opsint1'.

Folie 4 zeigt die Gesamtschaltung des realisierten OPV. Er lässt sich in folgende drei Baugruppen gliedern:

- Eingangsstufe: Differenzverstärker
- Zwischenverstärker: Emitterschaltung als Spannungsverstärker
- Ausgangsstufe: Gegentakt-Emitterfolger als Stromverstärker

Alle Stufen gleichstromgekoppelt. Der Betriebsstrom der Schaltung wird durch I_{ref} bestimmt und kann von den angegebenen $50\mu A$ abweichen. Als Schaltungserweiterung könnte eine z. B. in ^{1/} beschriebene Schaltung zur spannungsunabhängigen Stromeinstellung eingesetzt werden.

3. Analyse der Baugruppen der Schaltung.

Die in **Folie 5** gesondert dargestellte **Eingangsstufe** ist als Differenzverstärker (N1, N2) aufgebaut. Der Emitterstrom des Transistor-Paares wird durch die Widlar-Stromquelle eingepreßt. Diese Schaltung erlaubt, aus dem wesentlich größeren Strom I_{ref} den kleineren Strom $I_{CN3} = 7\mu A$ der Eingangsstufe abzuleiten ohne den Einsatz von hochohmigen Widerständen.

Wegen des kleinen I_{CN3} ist die Steilheit der Eingangstransistoren sehr klein und für eine hinreichende Spannungsverstärkung der Eingangsstufe wären sehr große, platzaufwendige Kollektorwiderstände erforderlich. Integrationsgerechter ist, wie in der Schaltung gezeigt, der Ersatz der Kollektorwiderstände durch einen Stromspiegel (P1L, P2L). Dadurch steigen die Spannungsverstärkung und der Ausgangswiderstand der Stufe ^{2/}. Der Basisstrom des Stromspiegels wird durch einen Emitterfolger (P3S, R3) bereitgestellt. Hier sieht man eine typische Anwendung für einen Substrat-PNP-Transistor, bei dem der Kollektor ja zwangsläufig mit Substrat, d.h. dem negativsten Punkt der Schaltung verbunden ist. Zusätzlich wird der Kollektor von P1L auf $2xU_{BE}$ unter V_{CC} (wie bei P2L) festgelegt, was die Symmetrie des Stromspiegels noch verbessert.

Die Differenzspannung am Eingang wird durch die als Dioden geschalteten Transistoren (N12, N13) auf $1xU_{BE}$ begrenzt.

^{1/} W. Ritzert, Komponenten für integrierte Schaltungen, MPC-Workshop, Feb. 1991, Aalen

^{2/} H.-M.Rein, R.Ranft, Integrierte Bipolarschaltungen, Springer 1980, S.262

Folie 6 zeigt den **Zwischenverstärker**, der sich aus einem Emitterfolger (P4S, R4) als Impedanzwandler zur Erhöhung des Eingangswiderstands und einer Emitter-schaltung P5L mit aktiver Last (N5, >Stromspiegel mit N4) zusammensetzt. **Folie 7** veranschaulicht die Wirkung der aktiven Last, die eine wesentliche Vergrößerung des Lastwiderstands (= Ausgangswiderstand des PNP-Tr.) und damit der Stufenverstärkung ergibt ohne daß tatsächlich hochohmige Widerstände realisiert werden müssen.

Die in **Folie 6** gezeigten Kondensatoren C_{FK} (zusammen 24 pF) dienen zur Frequenzgangkompensation des Verstärkers (Millerkapazität). Die Transistorkombination (P6L, N6-N7) bewirkt eine Potentialverschiebung ($2xU_{BE}$) für die beiden Eingänge der Endstufe.

Die **Endstufe (Folie 8)** ist als Gegentaktschaltung mit Emitterfolgern ausgeführt. Problematisch ist dabei die Strombelastbarkeit integrierter PNP-Transistoren, die für eine Ausgangsstufe zu niedrig ist. Deshalb wird der PNP-Ausgangstransistor als Darlington-Kombination eines PNP-Treibers mit einem NPN-Transistor ausgeführt. Diese Kombination verhält sich annähernd wie ein PNP-Transistor mit der Strombelastbarkeit des NPN-Transistors. Nachteilig ist die hohe Stromverstärkung der Darlingtonschaltung, da damit am Ausgang ein unzulässig großer Strom fließen kann. Um den Strom zu begrenzen wird der PNP-Transistor als Stromspiegel ausgeführt. Dadurch wird seine Stromverstärkung gleich eins und die Gesamtstromverstärkung der Darlingtonstufe entspricht der Stromverstärkung des NPN-Transistors.

4. Eigenschaften des realisierten OPV.

Der OPV 'Opsint1' wurde auf dem Transistorarray B500D realisiert und seine Eigenschaften gemessen. **Folie 9** zeigt einige typische Meßwerte der Schaltung, **Folie 10** ihren Frequenzgang. Nf-Verstärkung (116 dB) und Transitfrequenz (850 kHz) entsprechen den per Simulation prognostizierten Werten, ebenso Eingangswiderstand und Gleichtaktverstärkung. Der Ausgangswiderstand der Schaltung ist mit 8,5 k Ω relativ hoch. Es zeigt sich, daß der Querstrom der Endstufe bei der gewählten Einstellung der Potentialdifferenz der Endstufeneingänge zu niedrig und damit der Ausgangswiderstand zu hoch ist. Zur Beseitigung des Problems könnte die Transistor-

Folie 11 zeigt das Layout der Schaltung auf dem Transistorarray B500D. Dabei sind neben dem OPV noch andere Grundschaltungen enthalten. Zum Vergleich wurde zusätzlich ein (nicht realisiertes) Full-Custom-Layout des 'Opsint1' entworfen, das in **Folie 12** zu sehen ist. Zur Orientierung ist in das Layout eine Teststruktur mit $10\ \mu\text{m} \times 100\ \mu\text{m}$ eingefügt. Nicht enthalten sind in diesem Layout die Begrenzertransistoren für die Eingangsspannung. Besonders auffällig ist der große Flächenbedarf der Kapazität (hier $30\ \text{pF}$!) zur Frequenzgangkompensation.

5. Ausblick: Möglichkeiten zur Verbesserung der Schaltung.

Bei der Untersuchung der realisierten Bausteine hat sich gezeigt, daß folgende Modifikationen die Untersuchung und den Einsatz des Opsint1 wesentlich erleichtern würden:

- Offset-Kompensation
- Externe Frequenzgangkompensation
- Spannungsunabhängige Einstellung eines festen Referenzstroms I_{ref}
- Ausgangsstufe mit niedrigerem Ausgangswiderstand
- Ausgangsstufe für höhere Ströme mit Strombegrenzung

Diese Modifikationen wurden vorbereitet und sollen beim nächsten Fertigungslauf realisiert werden

H.CLAUSS
FACHHOCHSCHULE HEILBRONN, FB ELEKTRONIK

Entwurf analoger IC am Beispiel eines Operationsverstärkers

- Einleitung: Eigenschaften integrierbarer Bauelemente
- Schaltung des Operationsverstärkers
- Analyse der Baugruppen des OP
- Eigenschaften des realisierten OP

H. Clauss, MPC-BW '94/95, FHHN

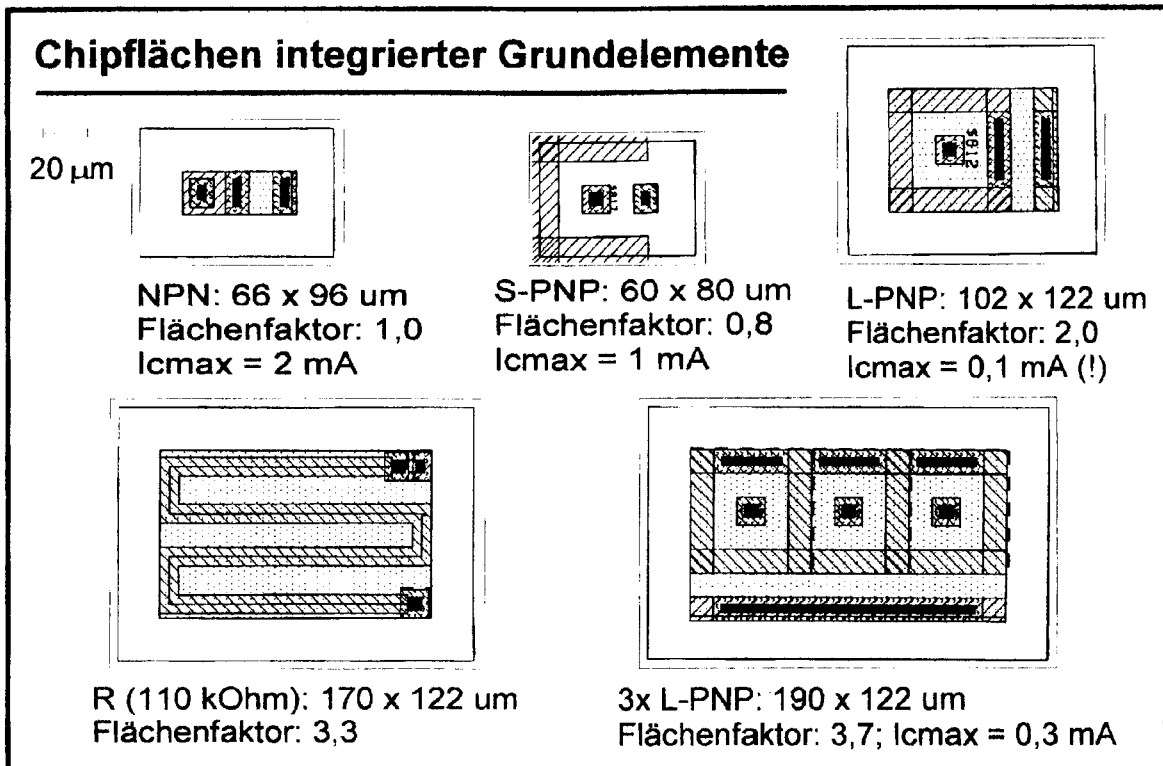
Folie 1

Auswahlkriterien integrierter Bauelemente für analoge Schaltungen

- Chipflächenbedarf (Preis!) der integrierten Bauelemente (iBE)
 - Absolute Toleranz der iBE-Parameter relativ groß (z.B. $-30\% < B < +50\%$)
 - Relative Toleranz der iBE-Parameter sehr gering
 - Thermische Kopplung der iBE auf dem Chip sehr eng
 - Galvanische Kopplung der Baugruppen erforderlich
- Für monolithisch integrierte Schaltungen ist eine spezielle Schaltungstechnik erforderlich, die sich **wesentlich** von der Schaltungstechnik bei diskretem Aufbau unterscheidet.

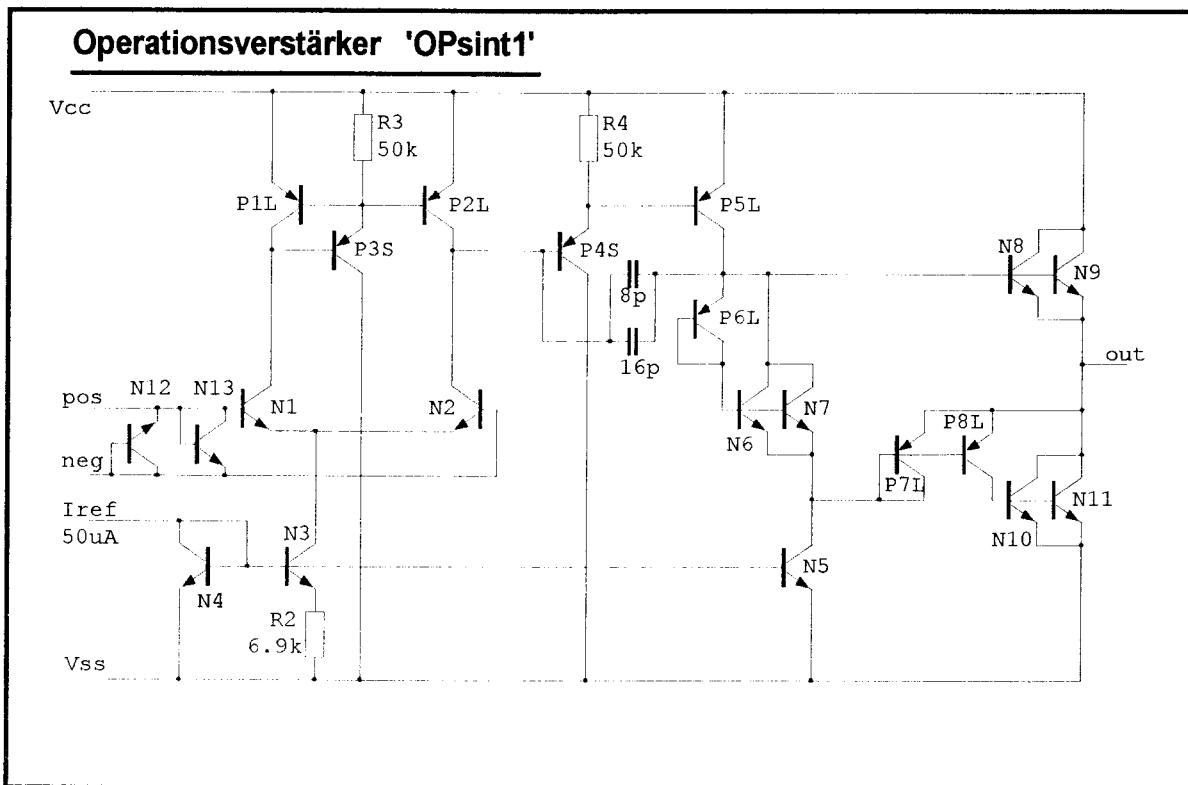
H. Clauss, MPC-BW '94/95, FHHN

Folie 2



H. Clauss, MPC-BW '94/95, FHHN

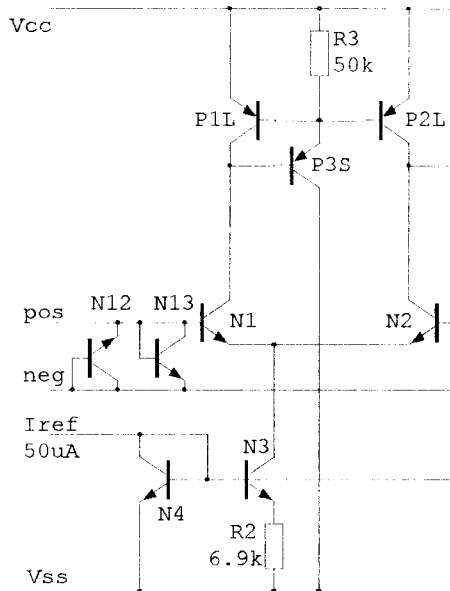
Folie 3



H. Clauss, MPC-BW '94/95, FHHN

Folie 4

Eingangsstufe: Differenzverstärker



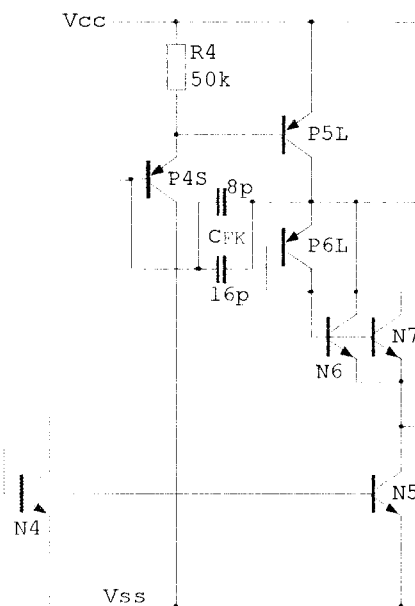
- Differenzverstärker (N1, N2)
- Ersatz der Kollektorwiderstände durch einen Stromspiegel (P1L, P2L). Verbesserung des Spiegelverhältnisses durch Emitterfolger (P3S, R3)
- Begrenzung der Eingangsspannung mit N12, N13
- Widlarquelle als Stromquelle (N3, N4, R2)

$$R_2 = \frac{U_T}{I_{C2}} \cdot \ln \frac{I_{C1}}{I_{C2}}$$

H. Clauss, MPC-BW '94/95, FHHN

Folie 5

Zwischenverstärker: Impedanzwandler + Spannungsverstärker

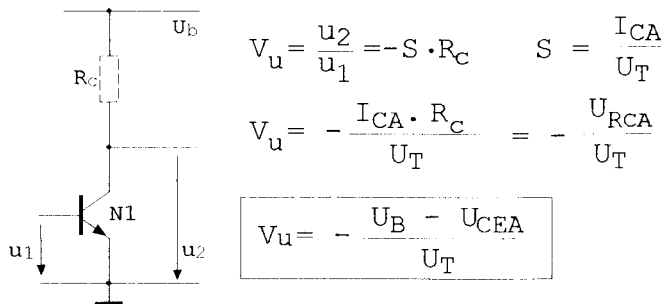


- Ausgangswiderstand der Differenzstufe groß: Emitterfolger (P4S, R4) als Impedanzwandler
- Emitterschaltung (P5L) mit aktiver Last (Stromspiegel N5, N4)
- Pegelschieber (P6L, N6-N7) zur Ansteuerung der Push-Pull-Endstufe
- Kondensatoren (C_{FK}) als Miller-Kapazität zur Frequenzgang-Kompensation

H. Clauss, MPC-BW '94/95, FHHN

Folie 6

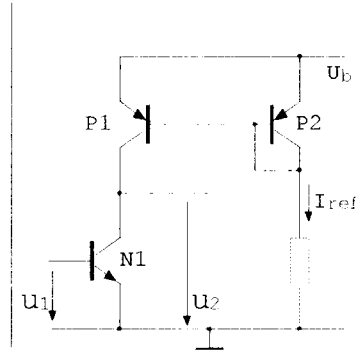
Emitterschaltung mit aktiver Last



$$V_u = \frac{u_2}{u_1} = -S \cdot R_C \quad S = \frac{I_{CA}}{U_T}$$

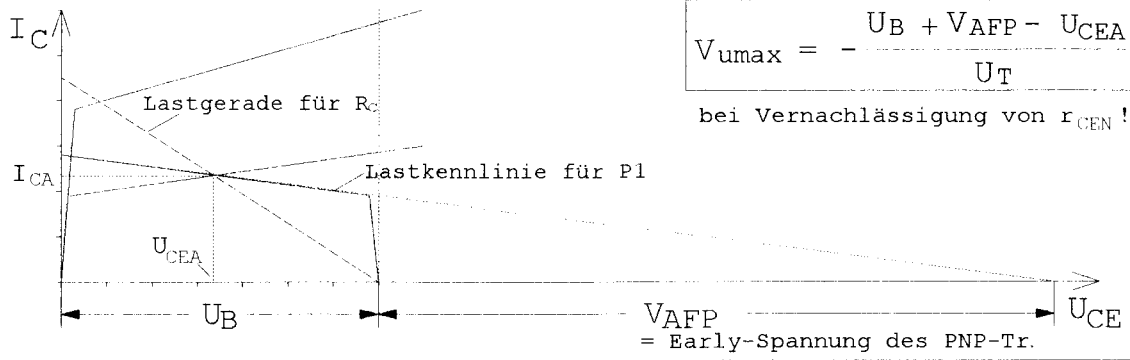
$$V_u = -\frac{I_{CA} \cdot R_C}{U_T} = -\frac{U_{RCA}}{U_T}$$

$$V_u = -\frac{U_B - U_{CEA}}{U_T}$$



$$V_{u\max} = -\frac{U_B + V_{AFP} - U_{CEA}}{U_T}$$

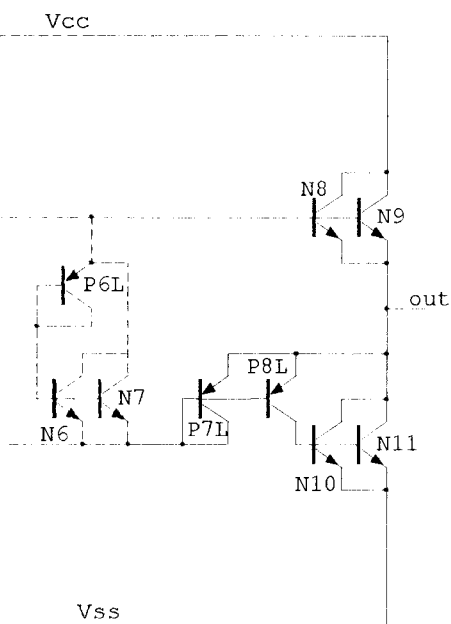
bei Vernachlässigung von r_{cEN} !



H. Clauss, MPC-BW '94/95, FHHN

Folie 7

Endstufe: Push-Pull-Stufe mit NPN- und PNP-Emitterfolgern



- Strombelastbarkeit der Lateral- PNP-Transistoren gering, deshalb PNP-NPN-Darlington-Kombination als Ausgangstransistor (P8L, N10-N11).
- Begrenzung der Stromverstärkung der Darlington-Kombination durch Stromspiegel P7L, P8L. Dadurch wird die Stromverstärkung des PNP-Tr. auf $B = 1$ begrenzt.

H. Clauss, MPC-BW '94/95, FHHN

Folie 8

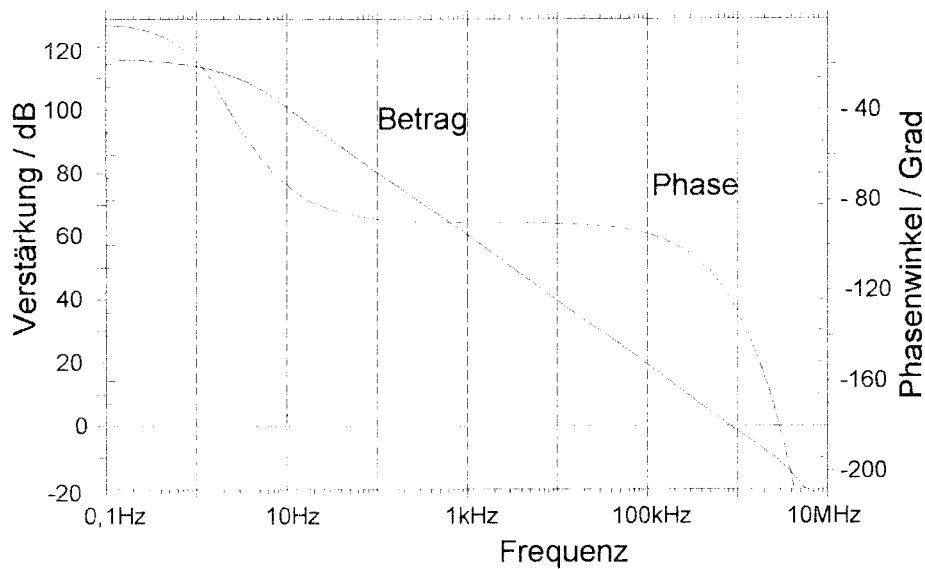
Typ. Messwerte des Operationsverstärkers OPsint1

Differenzverstärkung:	660 000 (116 dB)
Transitfrequenz:	850 kHz
Gleichtaktverstärkung:	1
Differenzeingangswiderstand:	>1 MOhm
Ausgangswiderstand:	8,5 kOhm (!)
Offsetspannung:	Min: -15 uV Max: +730 uV

H. Clauss, MPC-BW '94/95, FHHN

Folie 9

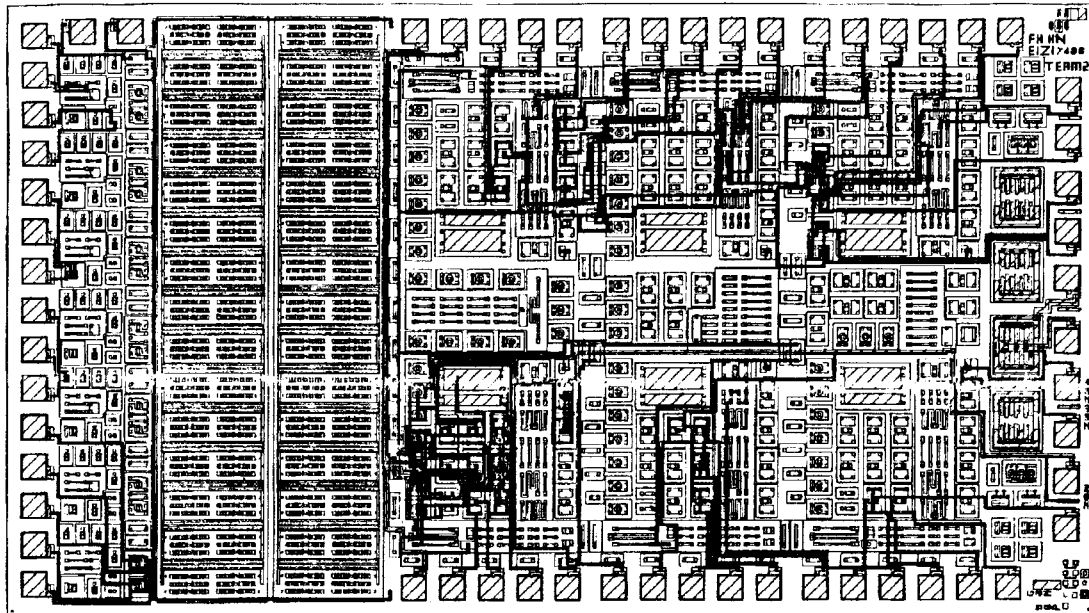
Frequenzgang des Operationsverstärkers 'OPsint1'



H. Clauss, MPC-BW '94/95, FHHN

Folie 10

Layout des Operationsverstärkers auf B500D



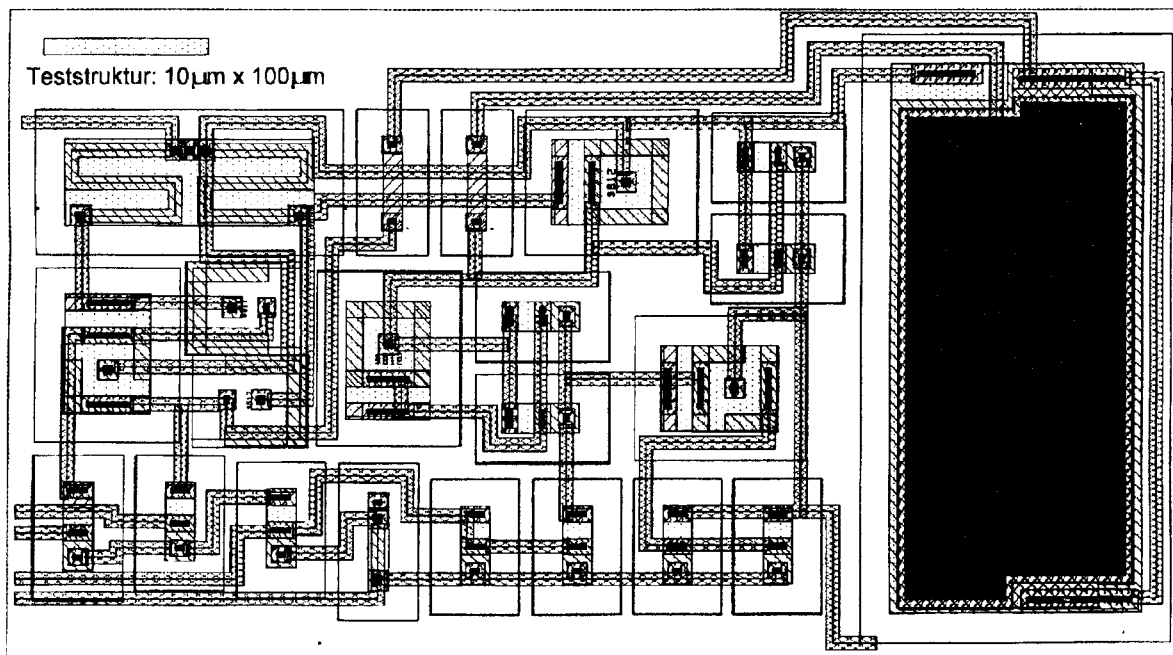
An Teststrukturen können die Parameter der benutzten Bauelemente gemessen werden.

H. Clauss, MPC-BW '94/95, FHHN

Folie 11

Full-Custom-Layout des Operationsverstärkers OPsint1

Schaltung incl. Kondensator zur Frequenzgang-Kompensation



H. Clauss, MPC-BW '94/95, FHHN

Folie 12

Weiterführung der Arbeiten:

- Offsetkompensation
- Externe Frequenzgangkompensation
- Spannungsunabhängige Einstellung des Referenzstroms
- Ausgangsstufe mit niedrigerem Ausgangswiderstand
- Ausgangsstufe für höhere Ströme mit Strombegrenzung

Entwicklung eines Breitband-Impedanzwandlers in BiCMOS-Technologie

M. Wöhrle, G. Forster
Labor Schaltungsintegration der FH Ulm

1 Einleitung

Die ständig wachsenden Integrationsdichten haben dazu geführt, daß die Entwicklung von Mixed-Signal-ICs heute große Zuwachsraten verzeichnen. Besonders günstig sind hierbei BiCMOS-Prozesse einsetzbar, weil mit ihnen sowohl für digitale als auch für analoge Schaltungsteile die jeweils optimalen Bauelemente zur Verfügung stehen.

Hintergrund der vorliegenden Anwendung ist der Versuch, möglichst große Teile eines Eingangsverstärkers für ein Oszilloskop der unteren Preisklasse auf einem IC zu integrieren. Bild 1 stellt die erforderlichen Blöcke eines solchen Eingangsverstärkers dar. Anschließend an einen Eingangs-Impedanzwandler enthält er einen Teiler, einen Stufenverstärker, einen variablen Verstärker, einen Invertierer und einen Addierer. Mindestens zwei Verstärkerkanäle sind erforderlich. Eine Schaltmatrix ermöglicht es, die Signale unterschiedlicher Kanäle auszuwerten.

Da Verstärkerfunktionen, Analogschalterfunktionen und digitale Steuerung der Blöcke erforderlich sind, läßt sich besonders vorteilhaft ein BiCMOS-Prozeß einsetzen. Über erste Untersuchungen zu einem programmierbaren Breitbandverstärker wurde bereits berichtet [1]. Gegenstand der vorliegenden Untersuchung ist der Impedanzwandler am Eingang des Oszilloskop-Verstärkers.

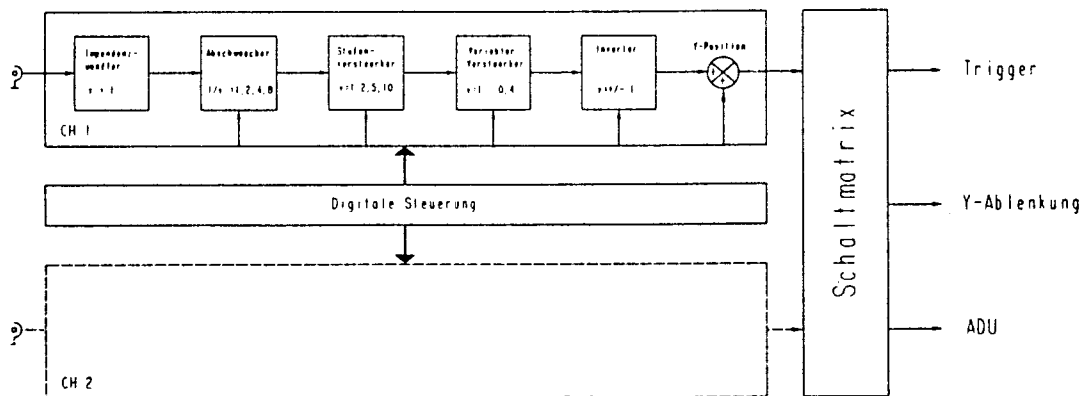


Bild 1: Blockschaltbild eines Oszilloskop-Eingangsverstärkers

Anforderungen an den Impedanzwandler:

- Bandbreite von mindestens 200 MHz
- hoher Eingangswiderstand
- geringer Ausgangswiderstand
- großer Aussteuerbereich
- geringes Rauschen

2 Prinzipschaltung

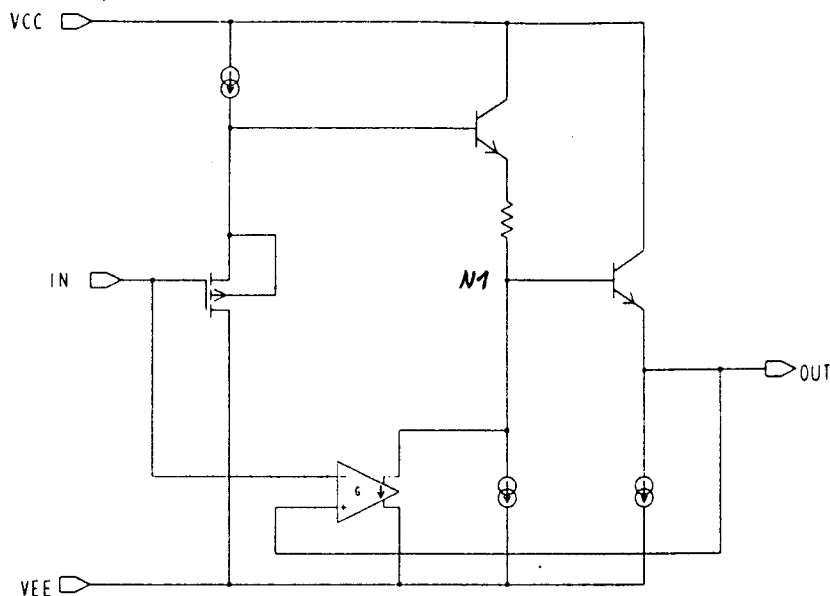


Bild 2: Prinzipschaltbild des Impedanzwandlers

Widerstand zwischen den zwei Emitterfolgern ab. Um einen Spannungsoffset am Ausgang gegenüber dem Eingang zu vermeiden, hervorgerufen durch Fertigungstoleranzen oder Temperaturschwankungen, wurde zusätzlich eine spannungsgesteuerte Stromquelle (Transkonduktanz-Stufe) eingebaut, die die Spannungen zwischen Eingang und Ausgang vergleicht und entsprechend den Strom, der durch den Widerstand fließt, vergrößert bzw. verkleinert.

Als Eingangsstufe wird ein Sourcefolger verwendet, der bekanntlich keinen Eingangsstrom benötigt und somit dem Impedanzwandler zu einem sehr hohen Eingangswiderstand verhilft. Der Sourcefolger hebt die Eingangsspannung um U_{GS} an. Darauf folgen zwei Emitterfolger, die das Spannungspotential um zwei U_{BE} absenken. Die verbleibende Differenzspannung zwischen Ein- und Ausgang fällt dann noch an dem

2.1 Sourcefolger

Der Sourcefolger ist mit einem PMOS-Transistor aufgebaut. Dadurch wird das Eingangspotential um U_{GS} angehoben. Bei der Dimensionierung ist zu beachten, daß die Steuerspannung U_{GS} nicht mehr als -2 V beträgt, um einen ausreichenden Aussteuerungsbereich zu gewährleisten. Die Spannung zwischen Source und Bulk beeinflusst die Schwellenspannung U_{th} und demzufolge auch den Drainstrom I_D über den sog. **Body-Effekt**. Die Auswirkungen werden im SPICE-Modell des MOSFETs als zusätzliche gesteuerte Stromquelle $g_{mb}U_{BS}$ berücksichtigt. Bild 3 zeigt mit der Kennlinie „Bulk an $+5\text{ V}$ “ den Verlauf der Verstärkung über den gesamten Frequenzbereich. Durch den Body-Effekt liegt die Verstärkung 1 dB niedriger als bei den Kennlinien ohne Body-Effekt. Schließt man das Bulk an den Sourceanschluß des MOSFETs an, so kann der Body-Effekt verhindert werden. Die Spannung U_{BS} wird zu Null gesetzt. Dies hat zur Folge, daß kein Strom aus der Stromquelle $g_{mb}U_{BS}$ fließt. Die Verstärkung der Stufe wird von dieser Stromquelle nicht mehr beeinflusst (Kennlinie „Bulk an Source“), doch gleichzeitig verringert sich die Bandbreite um 200 MHz . Der Grund dafür liegt in der Bulk-Substrat-Kapazität, die der Sourceanschluß jetzt „treiben“ muß. Mit Hilfe eines zusätzlichen Impedanzwandlers zwischen Source und Bulk kann der Einfluß der Kapazität stark verringert werden.

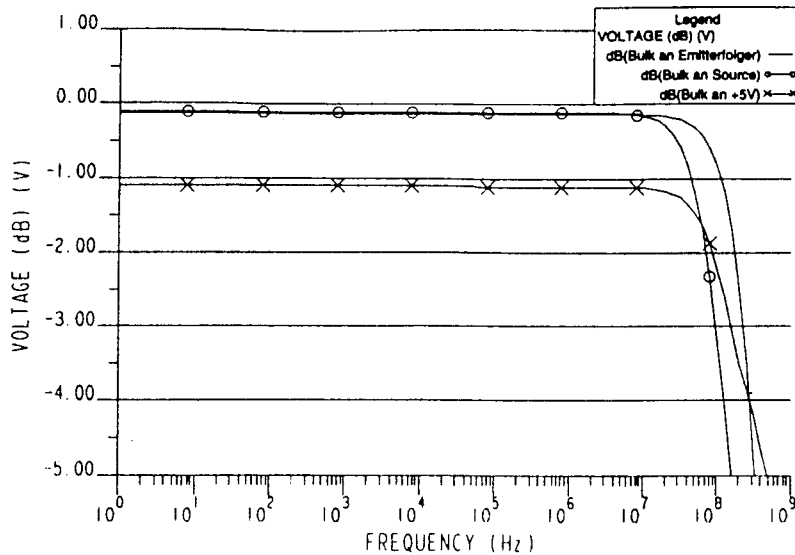


Bild 3: Kleinsignalverstärkung des P-Kanal MOS-FETs

2.2 Doppelter Emitterfolger

An den Ausgang des Sourcefolgers schließt der Eingang eines zweifachen Emitterfolgers an. Über die beiden Basis-Emitterstrecken fallen ca. 2mal $0,75 \text{ V} = 1,5 \text{ V}$ ab. Somit verbleibt eine Spannungsdifferenz $U_{\text{diff}} \approx 0,5 \text{ V}$ zwischen Ein- und Ausgang. Diese Spannung kann mit Hilfe des Widerstandes zwischen den Emitterfolgern verringert werden.

3 Gesamtschaltung

In Bild 4 ist die Gesamtschaltung des Impedanzwandlers dargestellt. Die Stromquellen sind als Stromspiegel realisiert. Die Transkonduktanz-Stufe ist als bipolarer Differenzverstärker aufgebaut, da bipolare Schaltungen nur geringen Spannungsoffset und wesentlich bessere Werte beim NF-Rauschen aufweisen als MOSFET-Schaltungen. Der Emitterfolger am Bulk des MOSFETs dient als Impedanzwandler für das Bulk. Durch diese Beschaltung wird die Bandbreite um 200 MHz erhöht, liegt also bei 300 MHz, wie die Kurve „Bulk am Emitterfolger“ in Bild 3 zeigt. Am Basisknoten des Ausgangs-Emitterfolgers (Knoten N1) befindet sich ein Testpad. Damit läßt sich über einen externen Kondensator die Bandbreite des gesamten Impedanzwandlers programmieren (Tiefpaßoption).

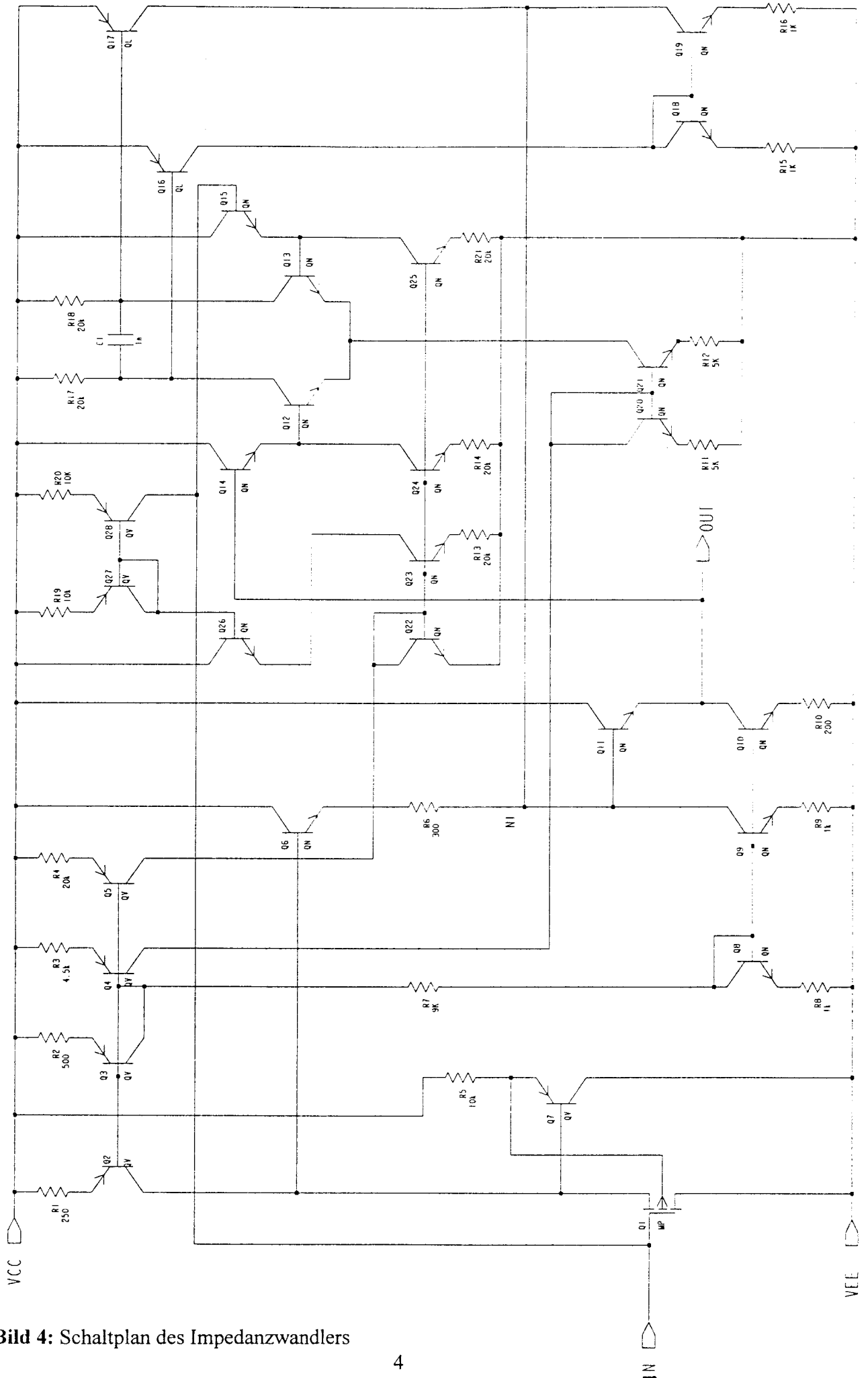


Bild 4: Schaltplan des Impedanzwandlers

4.2 Kleinsignalverhalten

Bei der Kleinsignalanalyse wurde das Übertragungsverhalten der Schaltung simuliert. In Bild 7

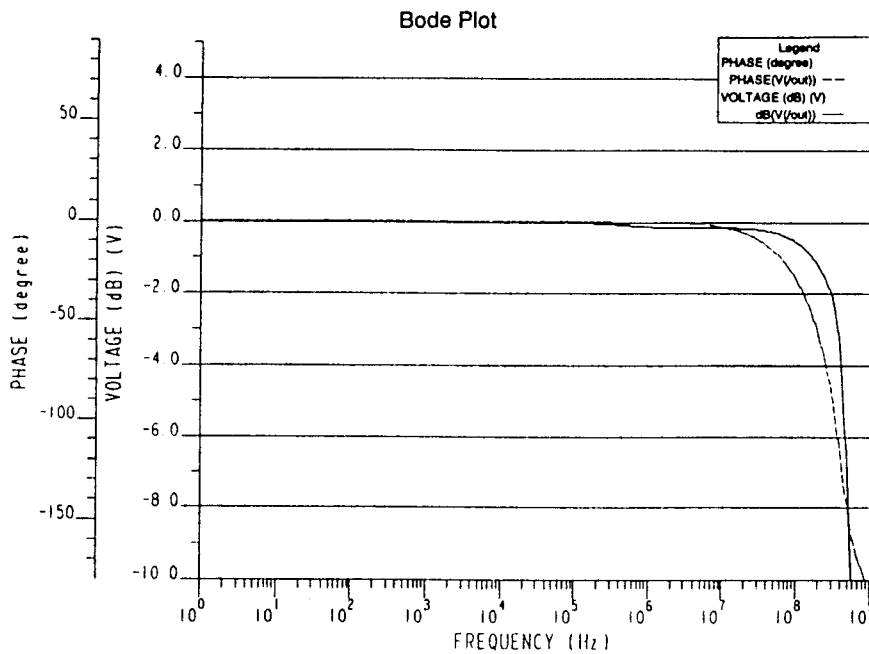


Bild 7: Bode-Diagramm des Impedanzwandlers

Die Grenzfrequenz des Regelgliedes ist über den (externen) Kondensator C1 einstellbar. Bei der Simulation beträgt C1 = 1 nF. Bei etwa 100 MHz nimmt die Ausgangsspannung weiter ab. Dieser Abfall ist bedingt durch die Grenzfrequenz des Sourcefolgers. Die -3 dB-Eckfrequenz der gesamten Schaltung liegt bei knapp 400 MHz.

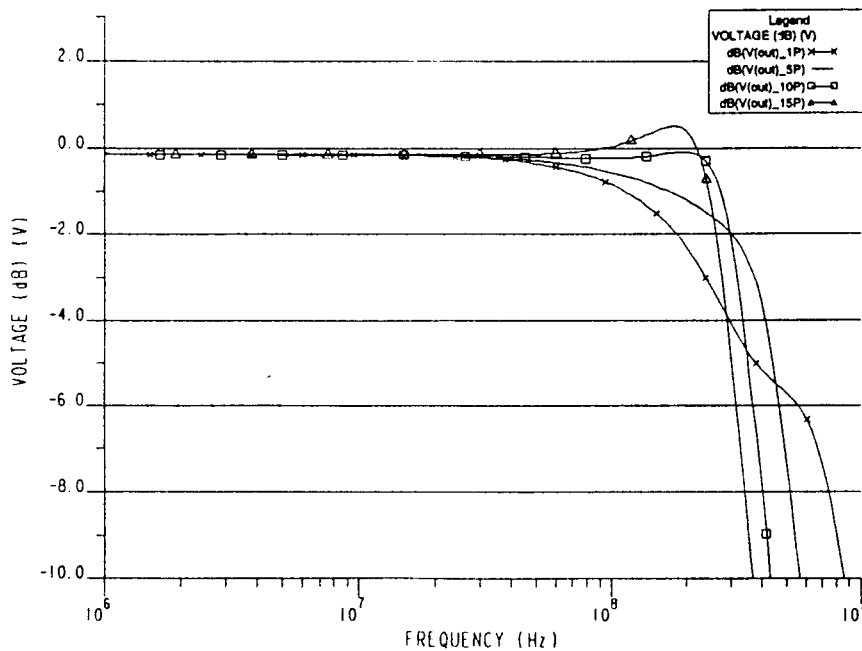


Bild 8: Verstärkung bei unterschiedlicher kapazitiver Belastung

folgers, liegt darin, daß der induktive Anteil des Emitterfolger-Ausgangswiderstandes bei ho-

ist das Bode-Diagramm im Frequenzbereich von 1 Hz bis 1 GHz dargestellt. Bei ca. 1 MHz erkennt man einen Abfall der Ausgangsspannung um etwa 0.2 dB. An dieser Stelle befindet sich die Grenzfrequenz des Regelgliedes (Transkonduktanz-Stufe). Ab dieser Frequenz ist die Regelung nicht mehr in der Lage, den Spannungsoffset zwischen Ein- und Ausgang auszugleichen.

Bild 8 zeigt die Verstärkung der Schaltung bei verschiedenen kapazitiven Lasten am Ausgang der Schaltung. Dabei wurde die Kapazität C_L im Bereich von 1 pF bis 15 pF variiert.

Bis ca. 70 MHz bleibt die Schaltung von der kapazitiven Last unbeeinflusst. Die Kennlinie für die Kapazität 1 pF entspricht dem internen Verlauf des Frequenzganges des Sourcefolgers Q1. Der Grund für die Anhebung der Verstärkung, trotz Abfall der Verstärkung des Source-

hen Frequenzen mit der kapazitiven Last am Ausgang einen Parallelschwingkreis bildet, der im 100 MHz-Bereich seine Resonanzfrequenz hat und somit die Ausgangsspannung anhebt. Das induktive Verhalten des Emittterfolgers läßt sich durch die Berechnung des Ausgangswiderstandes z_o zeigen. Ausgangspunkt ist das Kleinsignalersatzschaltbild 9b.

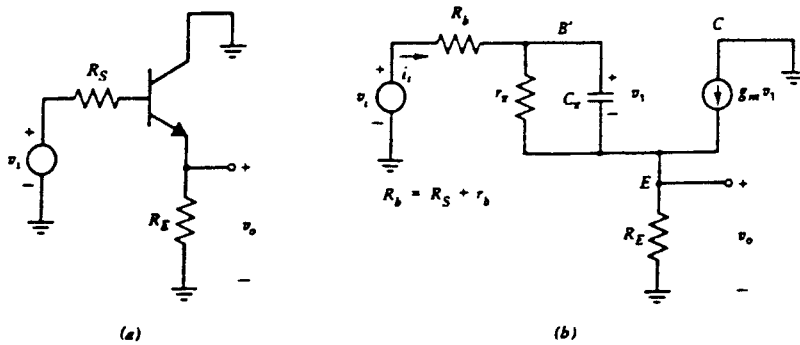


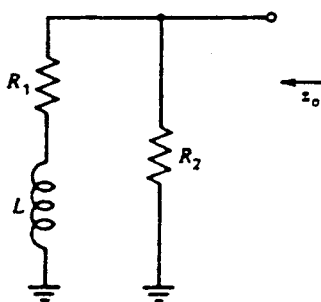
Bild 9: Emittterfolger (a) AC-Schaltkreis (b) äquivalente Kleinsignalschaltung

Der Ausgangswiderstand z_o berechnet sich nach der Formel:

$$z_o = \frac{z_\pi + R_s + r_b}{1 + g_m z_\pi} \quad <4.1>$$

Die Impedanz z_π stellt dabei den Ersatzwiderstand der Parallelschaltung von r_π und C_π dar. Setzt man nun $R_b = R_s + r_b$ und z_π in Gleichung <4.1> ein, ergibt sich die Gleichung <4.2> unter der Annahme, daß die Wechselstromverstärkung $\beta \gg 1$ ist.

$$z_o = \frac{\frac{r_\pi}{1 + j\omega C_\pi r_\pi} + R_b}{1 + \frac{g_m r_\pi}{1 + j\omega C_\pi r_\pi}} = \frac{r_\pi + R_b + j\omega C_\pi r_\pi R_b}{\beta + 1 + j\omega C_\pi r_\pi} \Rightarrow z_o \cong \frac{\left(\frac{1}{g_m} + \frac{R_b}{\beta} + j\omega C_\pi r_\pi \frac{R_b}{\beta}\right) R_b}{R_b + j\omega C_\pi r_\pi \frac{R_b}{\beta}} \quad <4.2>$$



Der Ausgangswiderstand z_o läßt sich auch, wie in Bild 10 zu sehen ist, mit zwei Widerständen und einer Induktivität darstellen.

Wird $R_1 \ll R_2$ angenommen, so errechnet sich z_o wie folgt

$$z_o = \frac{(R_1 + j\omega L) R_2}{R_1 + R_2 + j\omega L} \cong \frac{(R_1 + j\omega L) R_2}{R_2 + j\omega L} \quad <4.3>$$

Bild 10: Ersatzschaltung des Emittterausgangswiderstandes

Vergleicht man nun Gleichung <4.2> mit <4.3>, so zeigt sich, daß für den Ausgangswiderstand z_o die Ersatzschaltung in Bild 10 gilt.

$$R_1 = \frac{1}{g_m} + \frac{R_b}{\beta} \quad <4.4>$$

$$R_2 = R_b \quad <4.5>$$

$$L = C_\pi r_\pi \frac{R_b}{\beta} \quad <4.6>$$

Die Induktivität L bildet mit der kapazitiven Last einen Parallelschwingkreis und hebt somit die Spannungsverstärkung im Bereich der Resonanzfrequenz an. Für einen ebenen Verlauf des Frequenzganges liegt der ideale Wert der Kapazität C_L bei ungefähr 10 pF (Bild 8).

4.3 Sprungantwort

Am Eingang des Impedanzwandlers wird ein Spannungssprung angelegt. Für die Sprungantwort in Bild 11 beträgt der Eingangssprung 2 V. Der Impuls dauert $T = 200$ ns ($=50$ MHz). Bei den Kennlinien mit kapazitiver Last zeigt sich leichtes Überschwingen bei der abfallenden Flanke.

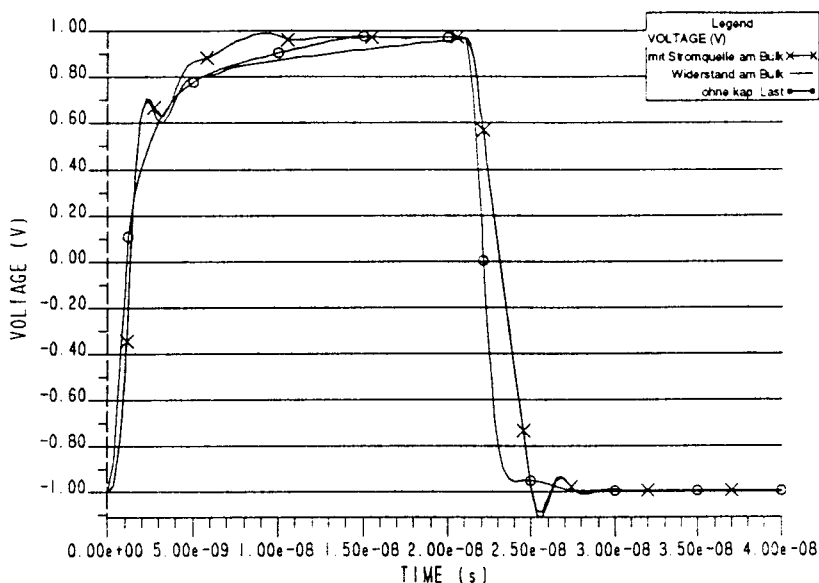


Bild 11: Sprungantwort des Impedanzwandlers

steigt die Ausgangsspannung im weiteren Verlauf relativ langsam bis zum Maximalwert an. Der verzögerte Anstieg hängt mit der Aufladekurve der Bulk-Substrat-Kapazität des MOSFETs Q1 zusammen. Der Widerstand $R5$ bestimmt den Ladestrom der Kapazität. Ersetzt man den Widerstand $R5$ durch eine Stromquelle, so verkürzt sich die Aufladezeit erheblich (Bild 11 „mit Stromquelle am Bulk“). Die geringere Slewrate bei der abfallenden Flanke ist auf der kapazitiven Last begründet. Die Abfallzeit wird durch den konstanten Strom der Stromquelle (Transistor Q10) und der Kapazität am Ausgang bestimmt.

Die Slewrate beträgt $SR_{HL} = -550 \mu\text{s}$ für die abfallende Flanke und $SR_{LH} = 1130 \mu\text{s}$ für die aufsteigende Flanke bei $C_L = 5$ pF. Im Bereich der aufsteigenden Flanke erkennt man einen Überschwinger. Die Resonanz des Emitterfolgers mit der kapazitiven Last ist für diesen Verlauf verantwortlich. Verringert sich die kapazitive Belastung, fällt dieser Überschwinger weg. Bei der Kennlinie „Widerstand am Bulk“

4.4 Temperaturgang

Ein weiteres Kriterium der Bewertung ist das Verhalten eines Schaltkreises bei Temperaturschwankungen. Ohne die Spannungsoffsetregelung ergäben sich starke Änderungen der Ausgangsspannung, weil sich die Ansteuerspannungen der Source- bzw. Emitterfolger bei Temperaturänderungen gerade entgegengesetzt verhalten.

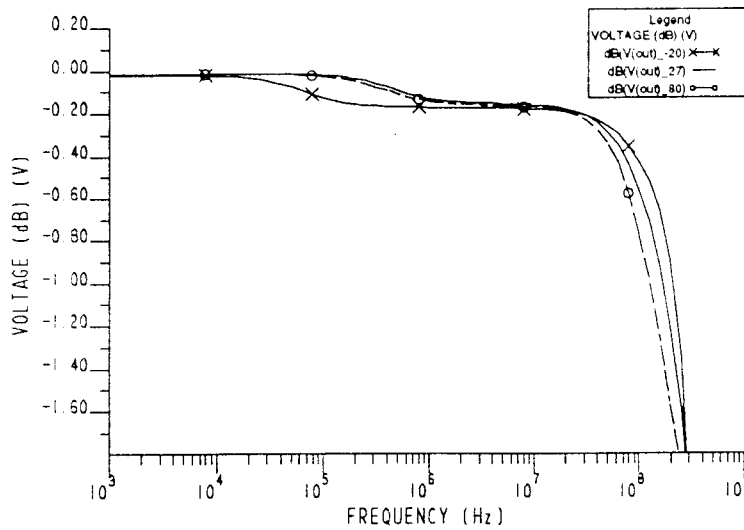


Bild 12: Temperaturverhalten des Impedanzwandlers

Das Temperaturverhalten des Schaltkreises wurde im Bereich von $-20\text{ }^{\circ}\text{C}$ bis $80\text{ }^{\circ}\text{C}$ untersucht.

In Bild 12 ist der Temperaturgang des Impedanzwandlers zu sehen. Abgesehen von dem Übergang bei der Grenzfrequenz des Regelkreises und dem Abfall der Gesamtverstärkung im 100 MHz-Bereich, verfügt der Schaltkreis über einen hervorragenden Temperaturgang.

4.5 Rauschen

Eine wichtige Kenngröße für den Impedanzwandler ist das Rauschen. Vor allem beim Einsatz der Schaltung als erstes Glied einer ganzen Verstärkerkette, ist es wichtig, daß das Rauschen sehr gering ist. Das Bild 13 zeigt das Rauschen des Impedanzwandlers mit und ohne Transkonduktanzstufe.

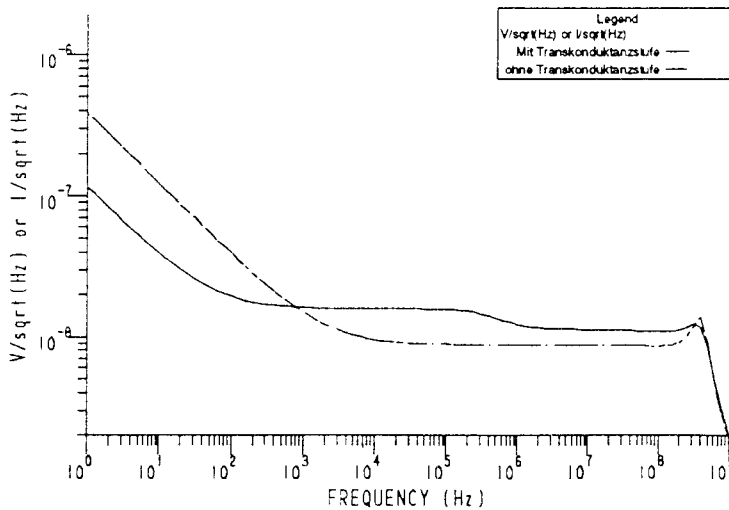


Bild 13: Rauschen des Impedanzwandlers

Bei der Kennlinie „mit Transkonduktanzstufe“ dominiert bis ca. 300 Hz das $1/f$ -Rauschen. Auch im weiteren Verlauf bestimmt mit $15\text{ }^{\mu\text{V}}/\sqrt{\text{Hz}}$ die Regelstufe die Größe des Rauschens. Erst bei der Grenzfrequenz des Regelkreises fällt das Rauschen auf einen Wert von $11\text{ }^{\mu\text{V}}/\sqrt{\text{Hz}}$ weiter ab. Bei 300 MHz steigt das Rauschen noch einmal leicht an. Dies ist auf die Resonanz der kapazitiven Last am Ausgang mit den Emitterfolgern zurückzuführen. Das auf den Eingang bezogene Rauschen steigt an dieser Stelle stark an, da die Gesamtverstärkung kleiner als Eins ist. Die andere Kennlinie zeigt das Rauschen des Impedanzwandlers ohne Transkonduktanzstufe. Deutlich erkennt man den großen Rauschbetrag ($1/f$ -Rauschen) des MOSFETs im NF-Bereich.

4.6 Zusammenfassung

Simulationsbedingungen: $C_L = 5 \text{ pF}$, $T = 27 \text{ °C}$

Verstärkungsabfall bis 100 MHz		< 0,5 dB
-3dB-Bandbreite		
ohne Tiefpaßoption	f_{-3dB}	380 MHz
mit Tiefpaßoption	f_{-3dB}	270 MHz
Slew-Rate		
aufsteigende Flanke	SR_{LH}	1120 V/ μ s
abfallende Flanke	SR_{HL}	- 550 V/ μ s
Eingangswiderstand (DC)	R_{in}	673 M Ω
Ausgangswiderstand (DC)	R_{out}	1,2 Ω
Ausgangsrauschen (100MHz)	U_n	11 $\frac{\mu\text{V}}{\sqrt{\text{Hz}}}$
Offsetspannung	U_{io}	1 mV
Aussteuerbarkeit	V_{OP}	+2,5 / -3,5 V
Versorgungsspannung	U_{CC}, U_{EE}	$\pm 5 \text{ V}$
Betriebsstromaufnahme (DC)	I_{CC}, I_{EE}	$\pm 8 \text{ mA}$
Verlustleistung	P_v	81 mW

5 Chipdesign

Der verwendete Prozeß ist ein 2 μm BiCMOS - Prozeß von SGS -Thomson. Der Prozeß trägt den Namen HF2CMOS. Es ist ein aus 14 Layern aufgebauter double metal Prozeß, der optional noch fünf weitere Layer zur Verfügung stellt. Die Versorgungsspannungen können je nach Bedarf zwischen 2,7, 5, 10, 11,5 V gewählt werden. Außerdem stellt er schnelle vertikale NPN-Minimal-Transistoren mit einer maximalen Transitfrequenz von 6 GHz zur Verfügung. Dadurch ist der Prozeß gut für den Aufbau von hochfrequenten Schaltungen geeignet.

Für den Prozeß existiert eine Standardbibliothek. Da es sich aber bei dieser Schaltungsentwicklung um ein Full- Custom-Design handelt, mußten die Bauteile selber entworfen werden.

Der Impedanzwandler wurde in ein bestehendes Design eingefügt. Es enthält außerdem noch einen digital ansteuerbaren Breitbandverstärker und einen Operationsverstärker. Um elektrische Wechselwirkungen zwischen den einzelnen Schaltungen zu vermeiden, werden die Schaltkreise mit separaten, voneinander getrennten Betriebsspannungen versorgt. Substratanschlüsse wurden so plaziert, daß der Abstand zu latch up-gefährdeten Bauelementen nicht mehr als 120 μm beträgt. Der gesamte Chip hat eine Fläche von 6,25 mm². Die zusätzlich eingefügten Testpads sind zum Ansetzen von Testspitzen eingefügt worden.

Als Gehäuse wurde ein CLCC44 gewählt, da es sich gut für hochfrequente Anwendungen eignet. Die Fertigung des Prototyps wird über EuroChip abgewickelt. Nach letzten Tests von EuroChip, wurde der Chipentwurf nach Grenoble zu SGS Thomson gesendet. Die Dauer des Fertigungsprozesses liegt bei ca. 8-10 Wochen.

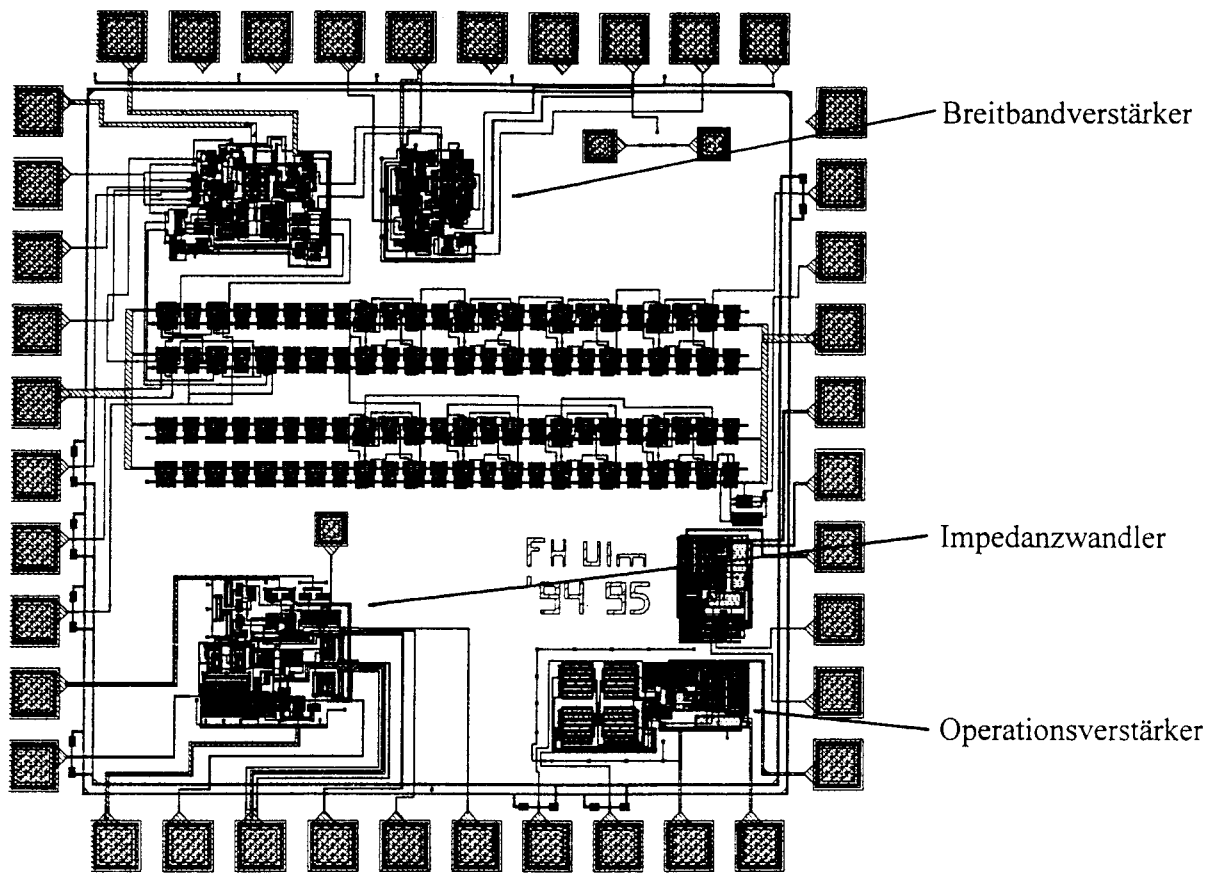


Bild 16 Layout Gesamtchip

Literatur:

- [1] T. Ehrenbeck, M. Schmid, G. Forster
Simulation und Design eines Breitbandverstärkers in BiCMOS-Technik
MPC-Tagungsband Januar 1994

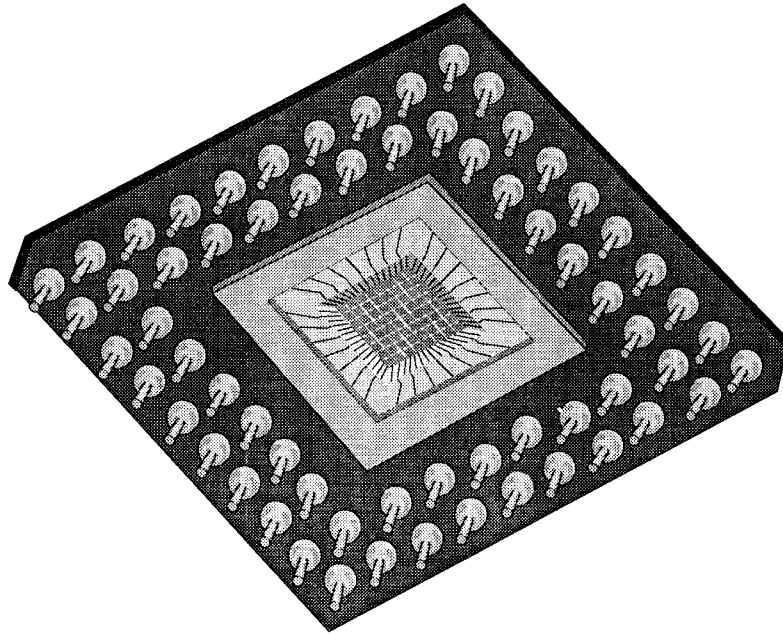
- [2] Paul R. Gray / Robert G. Mayer
Analysis and Design of Analog Integrated Circuits
Third Edition, New York 1992

Fachhochschule Aalen

Vortrag zum MPC-Treffen I/95

ASIC-Praktikum

„Entwurf eines Schnittstellentesters“



Erarbeitet im Rahmen eines LARS-Projektes von
Herrn Dipl.-Ing. Gerhard Ehmann

Betreuung: Prof. Dr.-Ing. B. Kohlhammer

Referent: Dipl.-Ing. Gerhard Busch
27. Januar 1995

Vortraginhalt

1. EINLEITUNG / MOTIVATION
2. PROJEKTZIEL
3. PROJEKTDURCHFÜHRUNG
4. PROJEKTERGEBNIS
5. AUSBLICK / PERSPEKTIVEN

1. Einleitung/Motivation:

Mit der Umstellung von Mentor Graphics Softwareversion 7 auf Version 8 mußte auch ein neues ASIC-Praktikum entwickelt werden.

Da die Ausarbeitung eines derartigen Praktikums sehr zeitaufwendig ist, konnte das sinnvollerweise nur im Rahmen eines LARS-Projektes stattfinden.

2. Projektziel:

Im Rahmen des Praktikums soll natürlich in erster Linie ein konkreter Schaltkreis entworfen werden. Bei der Wahl der zu realisierenden Schaltung sind verschiedene didaktische Aspekte zu berücksichtigen. So steht zum Beispiel eine komplexe Schaltung (z.B. Mikroprozessor oder Schnittstellenbaustein), welche für die Studenten interessant ist aber zeitaufwendig und kompliziert in der Bearbeitung einer einfacheren Schaltung (z.B. Aufzugsteuerung) welche leichter zu bearbeiten aber uninteressanter in der Anwendung ist, gegenüber.

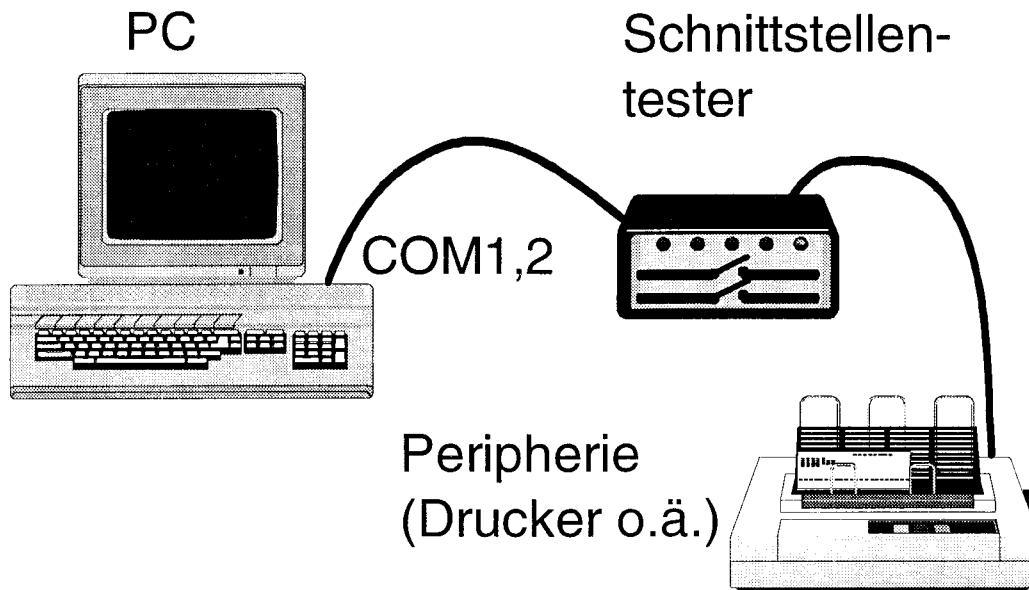
Weiterhin soll das Praktikum folgende Kenntnisse vermitteln:

- Bedienung von CAD-Arbeitsplätzen
Umgang mit UNIX-Rechnern
Arbeit mit komplexen Programmpaketen von insg. 1 Gigabyte Umfang
- Einführung in den Schaltkreisentwurf
Abbau von Berührungsängsten
Kennenlernen der Entwurfsmethodik
- Projektarbeit
Heranführen an selbständiges und eigenverantwortliches Arbeiten
Organisation der eigenen Arbeit (z.B. Vorbereitung zu Hause)
- Teamarbeit
Organisation der Arbeit in der Gruppe (2 - 5 Personen je Gruppe)
Organisation der Arbeit der Gruppen untereinander (max. 6 Gruppen)

Ferner soll der entstandene Schaltkreis mit einfachen Mitteln bedien- und benutzbar sein, das heißt, daß nicht noch erst -wie z.B. beim Mikroprozessor- ein Rechner drumherum gebaut werden muß um den Schaltkreis testen und einsetzen zu können.

3. Projektdurchführung:

Bei der Festlegung der zu entwerfenden Schaltung wurde auch ein Augenmerk auf den Kenntnisstand der Studenten in den betroffenen Lehrgebieten Mikrorechner-technik, Mikroelektronik und Steuerungstechnik geworfen. Als Projekt wurde ein Schnittstellentester ausgewählt:



Funktionsbeschreibung:

Der Schnittstellentester dient zur Überprüfung der seriellen Schnittstelle (RS 232) eines Computers, Druckers oder eines ähnlichen Gerätes. Der Schnittstellentester stellt dabei folgende vier Funktionen zur Verfügung:

- 1) Anzeigen Datenverkehr
Oft ist es unklar, welche Steuerleitungen einer seriellen Schnittstelle verwendet werden. Durch das kurze Aufleuchten von Leuchtdioden wird signalisiert, ob eine Steuerleitung verwendet wird.
- 2) Übertragungsgeschwindigkeit ermitteln und anzeigen
Durch Analyse der übertragenen Daten wird die Übertragungsgeschwindigkeit ermittelt und auf einem Anzeigebaustein ausgegeben.
- 3) Datenstrom darstellen
Über die serielle Schnittstelle empfangene Zeichen werden auf dem Anzeigebaustein dargestellt. Die notwendigen Einstellungen wie z.B. Übertragungsgeschwindigkeit oder die Anzahl der Datenbits können am Schnittstellentester eingestellt werden.
- 4) Datenstrom senden
Um die Funktion eines angeschlossenen seriellen Empfangsgerätes zu testen, soll der Schnittstellentester eine bestimmte Zeichenkette über die serielle Schnittstelle ausgeben.

Vorteile des Schnittstellentesters:

- einfache Handhabung, kann an jedem Gerät das über eine serielle Schnittstelle verfügt eingesetzt werden
- interessantes, aber relativ aufwendiges Projekt ==> Motivation bei Studenten, ist auch nötig, da einiges an Vorbereitung zu Hause gemacht werden muß
- die theoretischen Grundlagen sind vorhanden
- durch die Realisierung der Schaltung auf einem programmierbaren Schaltkreis können die Studenten ihren entworfenen Schaltkreis sofort testen, ohne die sonst üblichen 10-12 Wochen, die eine Schaltkreisfertigung dauert, warten zu müssen

Entwurfswerkzeuge: Durchgängig Mentor Graphics V.8 und XILINX Design Kit für MG
Vorteil: einheitliche Benutzeroberfläche, welche den Studenten noch vom vorausgegangenen Leiterplatten-Seminar bekannt sein sollte.

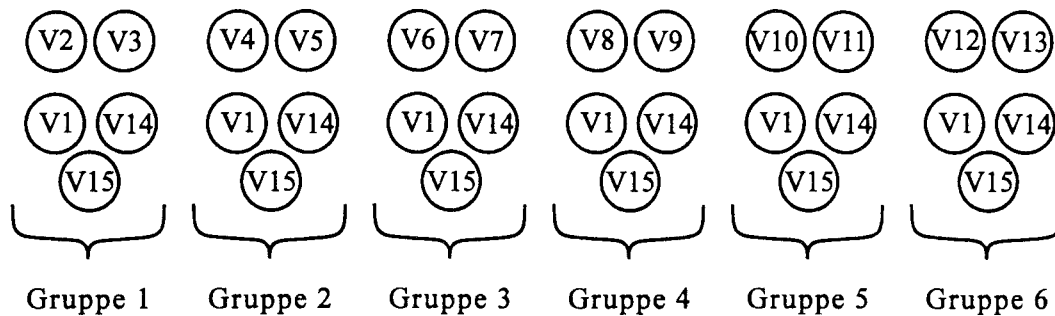
Entwurfsmethode: nur über Schaltungseingabe und nicht auch Schaltungsbeschreibung wie ursprünglich geplant, da dies zu komplex werden würde

Zieltechnologie: XILINX FPGA's und (wenn die Zeit reicht) MIETEC 2,0µ CMOS

Dauer: 10 Nachmittage, jeweils zwei Doppelstunden

4. Projektergebnis:

Das im Rahmen dieses LARS-Projektes entstandene ASIC-Praktikum setzt sich nun wie folgt zusammen:

Aufbau und Strukturierung des Praktikums

Versuch 1: Einführung anhand 1. Teilfunktion des Schnittstellentesters

Versuch 2-13: Entwurf der 2. bis 4. Teilfunktion

Versuch 14: Simulation der Gesamtschaltung des Schaltkreises

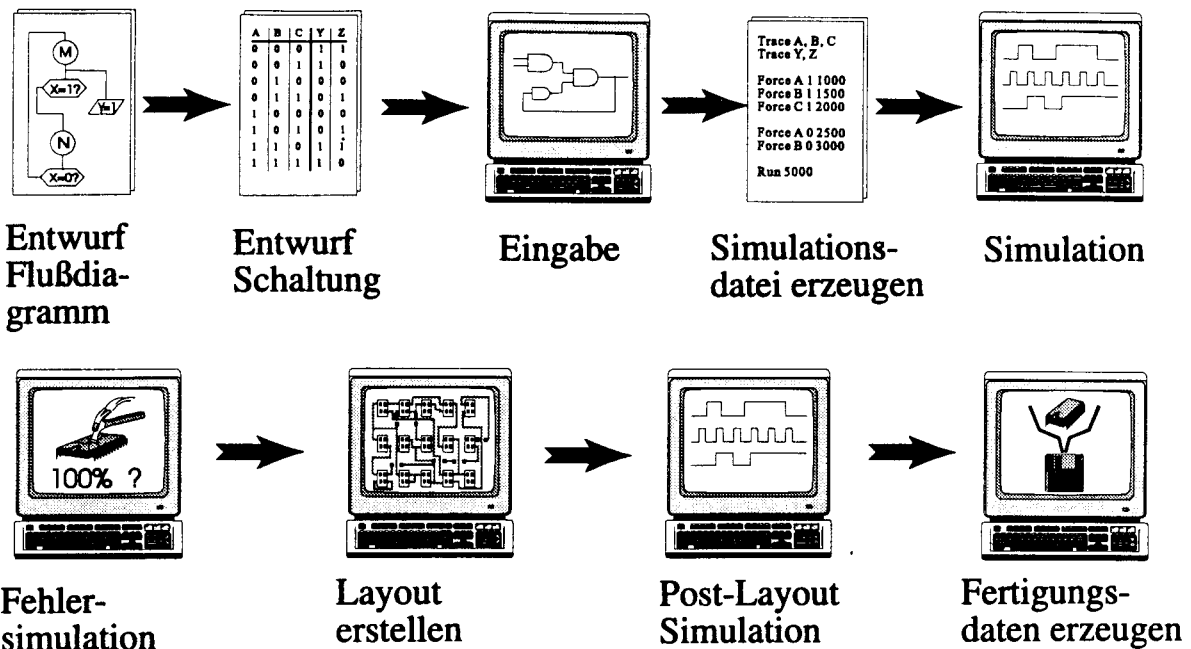
Versuch 15: Erzeugen von Testvektoren und Ermitteln der Fehlerabdeckung einer auf MIETEC realisierten Teilschaltung

Aufgrund der Komplexität der Schaltung wird diese in 15 Praktikumsversuche aufgeteilt, welche von 3 - 6 Gruppen bearbeitet werden (*Modularer Aufbau: wenn zu wenige Gruppen da sind können verschiedene Versuche vorgegeben werden*). Drei dieser 15 Versuche werden von allen Gruppen bearbeitet (*Einführung, Erzeugen und Simulieren der Gesamtschaltung und Testvektoren*), die übrigen Versuche werden unter den Gruppen aufgeteilt.

Aus dieser Vorgehensweise und der Tatsache, daß mehrere Studenten (2-5) in einer Gruppe arbeiten resultieren folgende Vorteile:

- Da jeder Gruppe nur eine Workstation zur Verfügung steht, ist diese gezwungen sich Gedanken über eine sinnvolle Ein- und Verteilung der zu lösenden Aufgaben zu machen.

Entwurfsablauf zur Entwicklung von ASIC's



Diese Aufgaben bestehen aus dem Entwurf der steuerungstechnischen Flußdiagramme, der schaltalgebraischen Funktionen, dem Erstellen der Simulationsdateien, der Eingabe und Simulation der Schaltungen.

Da die Gesamtschaltung jeweils von den verschiedenen Gruppen gemeinsam erzeugt wird, ist auch eine Koordination der Gruppen untereinander notwendig.

Durch die Realisierung der Schaltung auf einem programmierbaren Logikbaustein können die Studenten den fertigen Schaltkreis sofort testen und im Falle einer (nicht unwahrscheinlichen) Fehlfunktion diese beheben und den Schaltkreis erneut programmieren und testen. Dies wäre bei einem auf konventioneller Weise hergestellten Schaltkreis nicht möglich. Dieses wirkt sich wieder positiv auf die Motivation der Studenten aus, da diese am Ende des Praktikums „ihren“ selbst entwickelten Schaltkreis vorweisen können.

Als Dokumentation sind drei verschiedene Manuskripte entstanden: eine Praktikumsanleitung mit Versuchsbeschreibung, ein Script mit Lösungen zu den Versuchen und ein Manuskript zur Vorlesung Schaltkreisentwurf.

5. Ausblick / Perspektiven:

Das Projekt wurde erst vor kurzem fertiggestellt. Das heißt, daß wir noch keinerlei Erfahrungen haben, wie sich dieses Praktikum im Labor in der Arbeit mit Studenten verhält. Wir sind aber zuversichtlich, daß unsere Erwartungen bezüglich der Durchführbarkeit und der Motivation der Studenten erfüllt wird.

Es ist Ihnen vielleicht schon aufgefallen, daß das Wort „Motivation“ hier schon öfter gefallen ist, weil dieser eine sehr hohe Bedeutung zukommt. Ein Praktikum der Schaltungsentwicklung setzt (bedingt durch die hohe Komplexität der Technologie) ein hohes Maß an Mitarbeit und Vorbereitung voraus. Dies kann nur erreicht werden, wenn das Thema für die Studenten interessant ist.

Das Projekt wird jetzt im Wintersemester im Rahmen einer Studienarbeit weitergeführt, deren Ziel es ist die Schaltung des Schnittstellentesters auf einem konventionellen integrierten Schaltkreis (MIETEC 2,0 μ CMOS) zu realisieren. Dies hat einen finanziellen Vorteil (Bauteinkosten von ca. 15 DM gegenüber 450 DM für einen programmierbaren Schaltkreis). Zum anderen soll damit der Unterschied zwischen den beiden Schaltungstechnologien demonstriert werden.

Es ist geplant, daß für den Entwurf der Schaltungen noch ein Werkzeug entwickelt wird, das auf der Basis eines im Fachbereich Elektronik/Technische Informatik bereits vorhandenen Netzwerkminimierungsprogramms den (sehr fehleranfälligen) Zwischenschritt vom steuerungstechnischen Flußdiagramm zum Design Architect-Schematic automatisiert.

Selbstverständlich stellen wir die Ergebnisse dieser Arbeit auch anderen Hochschulen zur Verfügung, oder stehen mit Rat und Tat zur Seite, wenn ein Praktikum erstellt werden soll.

Optimierung der Eigenschaften von Schaltungen mit Hilfe der Monte - Carlo - Analyse

Hans Kreuzer
Fachhochschule für Wirtschaft und Technik Reutlingen

Es werden zwei prinzipielle Vorgehensweisen zur Ausbeutemaximierung von Schaltungen unter Berücksichtigung von Bauelementeschwankungen gezeigt. Diese Verfahren sind im Entwurfsprozeß von integrierten Schaltungen sinnvoll, da sie die Ausbeutemaximierung unter Berücksichtigung von miteinander korrelierten Bauelementen erlauben. Zusätzlich zu diesen sogenannten Entwurfszentrierungsverfahren (design centering) wird ein Verfahren angegeben, das es erlaubt, Schaltungen bezüglich ihrer Eigenschaften zu optimieren. Dabei werden Toleranzforderungen an die Schaltungseigenschaften direkt berücksichtigt. Ausgehend von einer Schaltungsdimensionierung, für die die Eigenschaften der Schaltung nicht in den geforderten Toleranzbereichen liegen, wird, aufbauend auf einer statistischen Analyse (Monte-Carlo-Analyse), eine entsprechende Umdimensionierung vorgenommen

1. Einleitung:

Entwurfszentrierung als ein Teilgebiet des rechnergestützten Schaltungsentwurfs ist ein Konzept, das eng in Verbindung mit dem Schaltungsentwurf für integrierte Schaltungen gesehen werden muß. Der rechnergestützte Schaltungsentwurf hat seinen Anfang in der Approximation von Schaltungseigenschaften. Aus dem Vergleich des Istverhaltens mit dem Sollverhalten der Schaltungseigenschaften muß eine Maßzahl - die Zielfunktion - als Beurteilungskriterium gebildet werden. Diese Maßzahl wird mit Hilfe von Optimierungsprogrammen iterativ zum Minimum gemacht. Als Entwurfparameter können z.B. Bauelementewerte oder geometrische Abmessungen von integrierten Bauteilen auftreten. Als Beispiel sei bei Filtern mit vorgeschriebenem Frequenzgang die Bildung der Zielfunktion mit Hilfe des gewichteten mittleren Fehlerquadrates genannt.

Neben der Nominalwertbestimmung der

Bauelemente stellt die Toleranzzuordnung einen wichtigen Bereich des rechnergestützten Schaltungsentwurfs dar.

Die Aufgabe der Toleranzzuordnung besteht darin, die maximal zulässigen Bauelementetoleranzen einer Schaltung anzugeben, so daß die Eigenschaften dieser Schaltung in vorgegebenen Bereichen liegen. Als Entwurfparameter treten hier die Bauelementetoleranzen auf. Toleranzzuordnung ist eng mit der Frage nach der Ausbeute einer Schaltungsproduktion verbunden.

In diesem Zusammenhang ist die Entwurfszentrierung beim Entwurf integrierter Schaltungen zu sehen. Sie hat die Aufgabe unter Berücksichtigung der statistischen Schwankungen der Parameter, eine Umdimensionierung der Schaltung so vorzunehmen, daß die Ausbeute ein Maximum wird. Entwurfparameter sind in diesem Fall die Bauelementewerte einer Schaltung, sowie auch evtl. die Prozessparameter bei der Herstellung von

integrierten Schaltungen.

Die Bauelementetoleranzen und evtl. Korrelationen zwischen ihnen sind im Gegensatz zur Toleranzzuordnung als konstant anzunehmen.

Da Entwurfszentrierung beim Schaltungsentwurf für in großen Stückzahlen herzustellende Schaltungen Verwendung finden soll, bietet es sich an, den Herstellungsprozeß zu simulieren, d.h. eine statistische Analyse durchzuführen.

2. Das Prinzip der Entwurfszentrierung.

Im allgemeinen werden Toleranzbereiche oder obere bzw. untere Grenzen für die Eigenschaften einer Schaltung als Forderung an eine Schaltung vorgegeben. Ein allgemein bekanntes Beispiel sind die Toleranzforderungen von Filtern z.B. bezüglich des Betrages der Übertragungsfunktion (s. Bild 1).

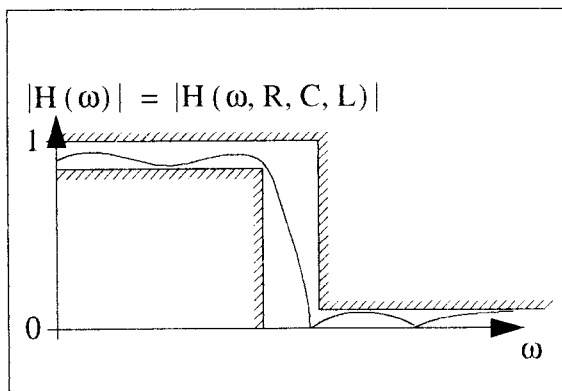


Bild 1: Betrag der Übertragungsfunktion mit Toleranzforderungen

Die Dimensionierung einer Schaltung wird so ausgelegt, daß die Forderungen an die Eigenschaften der Schaltung erfüllt sind. Aufgrund von Bauelementeschwankungen bei der Herstellung der Schaltung werden die Eigenschaften der Schaltungen von den Nominaleigenschaften abweichen. Diese Abweichungen sind tolerierbar solange sie innerhalb der Toleranzforderungen liegen. Die Anzahl der in diesem Sinne funktionsfähigen Schaltungen bezogen auf die Gesamtanzahl der gefertigten Schaltungen

gen definiert die sog. Ausbeute.

Das Ziel der Entwurfszentrierung liegt in der Umdimensionierung der Schaltung, so daß die Ausbeute maximiert wird. Dazu müssen die Parameterschwankungen berücksichtigt werden.

Betrachtet man lediglich die Eigenschaften einer Schaltung, so fehlt ein eindeutiges Kriterium die Dimensionierung der Schaltung vorzunehmen, da die Eigenschaften innerhalb der geforderten Grenzen frei wählbar sind. Eine Möglichkeit ein eindeutiges Kriterium für die Schaltungsdimensionierung zu erhalten besteht in der Abbildung der Toleranzforderungen der Eigenschaften in den sog. Parameterraum. Diese Vorgehensweise soll an dem folgenden Beispiel mit zwei Parametern erläutert werden.

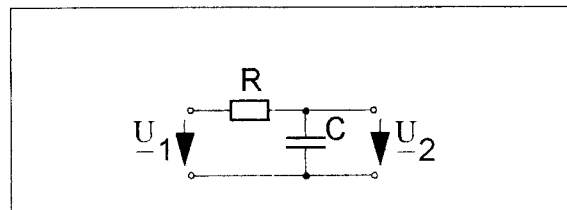


Bild 2: Beispiel einer Schaltung mit 2 Parametern R u. C

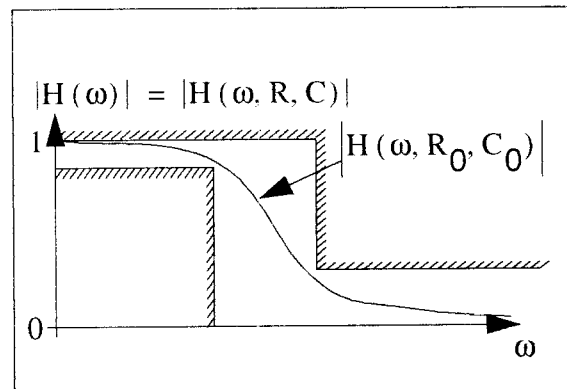


Bild 3: Betrag der Übertragungsfkt. für die Schaltung in Bild 2 entspricht dem Eigenschaftsraum

Das in Bild 2 dargestellte Filter habe den in Bild 3 dargestellten Betragsverlauf der Übertragungsfunktion. Dieser Betragsverlauf wird an diskreten Frequenzstützstellen betrachtet für die der Betrag innerhalb des dargestellten Toleranzschlauches liegen muß. Der Betrag der

Übertragungsfunktion an diesen Frequenzstützstellen stellt die Eigenschaften des Filters dar, die von zwei Parametern abhängen. Diese beiden Parameter spannen den in Bild 4 dargestellten sog. Parameterraum auf.

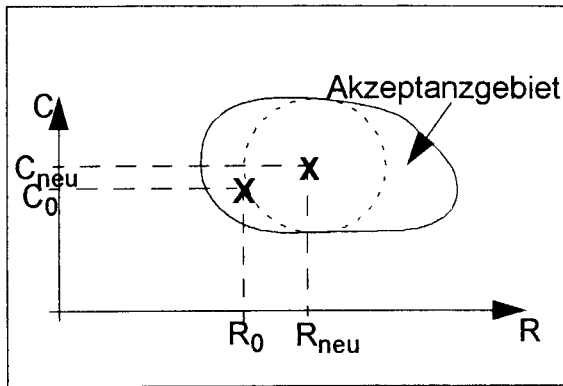


Bild 4: Parameterraum der Schaltung in Bild 2

In diesem Parameterraum kann die Nominaldimensionierung (R_0, C_0) eingetragen werden. Variiert man die Werte der Parameter R und C ausgehend von dem Wertepaar (R_0, C_0) , so kann ein Gebiet - das Akzeptanzgebiet - im Parameterraum ausgetastet werden, innerhalb dessen alle Wertekombinationen für (R, C) liegen für die der Betrag der Übertragungsfunktion im Toleranzschlauch liegt. Die Aufgabe der Entwurfszentrierung bezüglich Parameterschwankungen liegt jetzt darin, das „Zentrum“ des Akzeptanzgebietes zu suchen. Dabei ist es auch möglich, eventuelle Korrelationen zwischen den Parametern zu berücksichtigen. In dem gezeigten Beispiel wäre, unter der Annahme, daß die Parameter unkorreliert sind, ein möglichst großer Kreis in das Akzeptanzgebiet einzubeschreiben.

3. Die deterministische Entwurfszentrierung.

Ein mögliches Verfahren das Zentrum des Akzeptanzgebietes zu bestimmen besteht darin, das Akzeptanzgebiet durch einen Polyeder anzunähern (s. Bild 5).

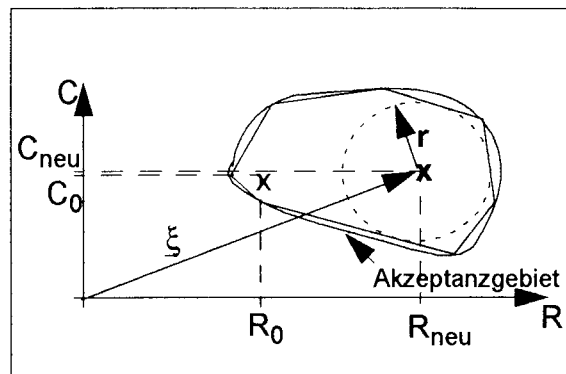


Bild 5: Annäherung des Akzeptanzgebietes durch einen Polyeder.

In diesen Polyeder kann dann z.B. der größte Inkreis einbeschrieben werden. Für n Parameter muß also ein n -dimensionaler Körper durch Hyperflächen angenähert werden. In diesen durch Hyperflächen begrenzten Körper muß eine n -dimensionale Kugel bzw. allgemein ein sog. Normkörper einbeschrieben werden. Diese Aufgabe kann auf eine lineare Optimierungsaufgabe mit Nebenbedingungen zurückgeführt werden:

$$\text{maximiere: } r$$

$$r, \xi$$

$$\text{mit } \underline{n}_i^T \cdot \underline{\xi} + r \cdot n^*(\underline{n}_i) \leq b_i \quad \forall i$$

\underline{n}_i^T - Normalenvektor einer Hyperfläche

$n^*(\underline{n}_i)$ - Norm einer Hyperfläche

b_i - Abstand der Hyperfläche vom Koordinatenursprung

Dieses Verfahren kann mit bekannten Optimierungsalgorithmen programmiert werden [1].

Ein großer Nachteil des Verfahrens besteht darin, daß es prinzipiell nur auf konvexe Akzeptanzgebiete angewendet werden kann. Es kann gezeigt werden, daß im allgemeinen konkave Gültigkeitsgebiete vorliegen. Die Realisierung des Verfahrens, angewendet auf konvexe Akzeptanzgebiete, zeigt aber auch, daß

der Speicherplatzbedarf exponentiell mit der Parameteranzahl zunimmt. Das Verfahren konnte auf einer CDC 6600 lediglich für 7 Parameter in der einfachsten Approximation des Akzeptanzgebietes durchgeführt werden.

4. Statistische Verfahren zur Entwurfszentrierung (Monte-Carlo-Analyse)

Um die Einschränkung auf konvexe Akzeptanzgebiete zu vermeiden und eine größere Anzahl von Schaltungsparametern in die Optimierung einbeziehen zu können, wird ein statistisches Entwurfszentrierungsverfahren vorgeschlagen. Ausgangspunkt des Verfahrens ist die Tatsache, daß die Ausbeute eines Schaltungsherstellungsprozesses am besten durch eine Simulation des Herstellungsprozesses unter Berücksichtigung der Bauelementetoleranzen bestimmt werden kann (Monte-Carlo-Analyse) [2]. Entnimmt man der Monte-Carlo-Analyse, die im Parameterraum als Punktwolke erscheint, geeignete Informationen, die die Ausdehnung dieser Punktwolke im Akzeptanzgebiet repräsentieren, so kann bei wiederholter Anwendung der Monte-Carlo-Analyse letztendlich das gesamte Akzeptanzgebiet durch eine Punktwolke ausgetastet werden.

Schaltungsparameter aufgegeben werden. Am Ende des Iterationszyklus können diese realen Schwankungen wieder zugewiesen werden, um eine realistische Ausbeuteberechnung durchzuführen. In Bild 6 ist die anfängliche Punktwolke im Vergleich zu einem unbekanntem auszutastenden Akzeptanzgebiet gezeigt. In dem Verfahren werden nur die Punkte ausgewertet, die innerhalb des Akzeptanzgebietes liegen. Die Auswertung der Punktwolke zeigt in dem dargestellten Beispiel, daß sie in Richtung des Parameters R noch ausgedehnt werden kann, während eine Ausdehnung der Punktwolke in Richtung des Parameters C nicht notwendig ist. Der Ablauf des Verfahrens wird in Bild 7,8,9 u.10 an einem künstlichen Akzeptanzgebiet veranschaulicht. Dieses Beispiel zeigt, daß das geschilderte Verfahren auch auf konkave Akzeptanzgebiete anwendbar ist.

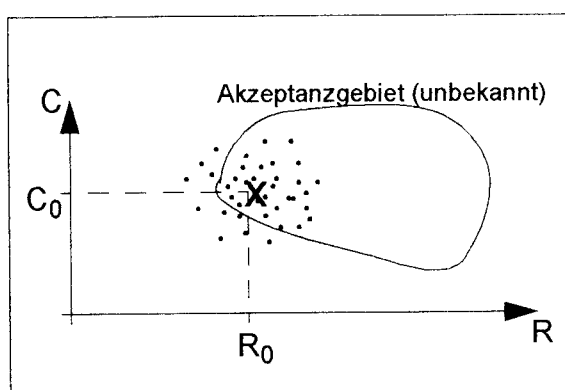


Bild 6: Simulation des Herstellungsprozesses mit einer Monte-Carlo-Analyse

Um den Austastungsprozeß des Akzeptanzgebietes durchführen zu können müssen die realen Schwankungen der

In einem zu diesem Kapitel abschließenden Beispiel werden auf den folgenden Seiten die Ergebnisse der Entwurfszentrierung eines PCM SC-Filters, das 14 Schaltungsparameter enthält, dargestellt.

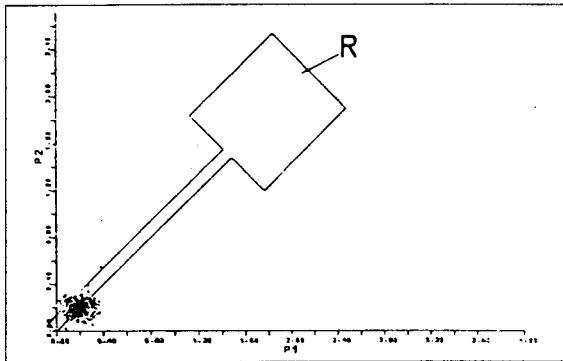


Bild 7: Akzeptanzgebiet mit anfänglicher Punkt看ke

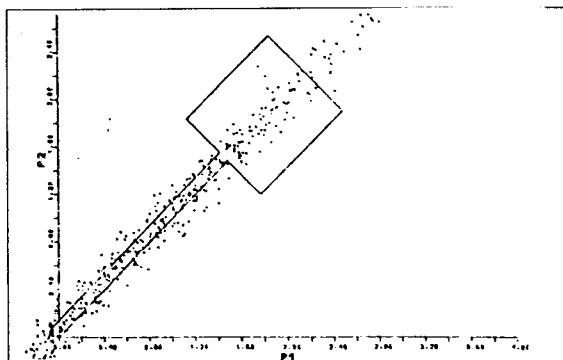


Bild 8: Nach dem 4. Iterationsschritt

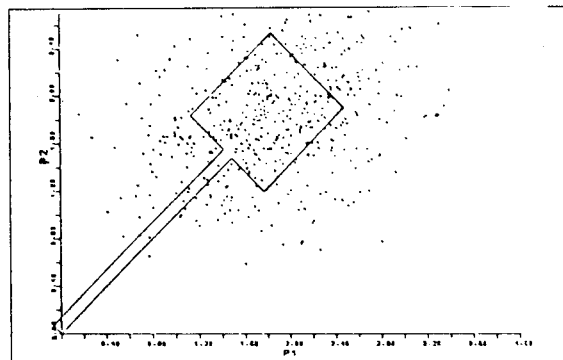


Bild 9: Nach dem 12. Iterationsschritt

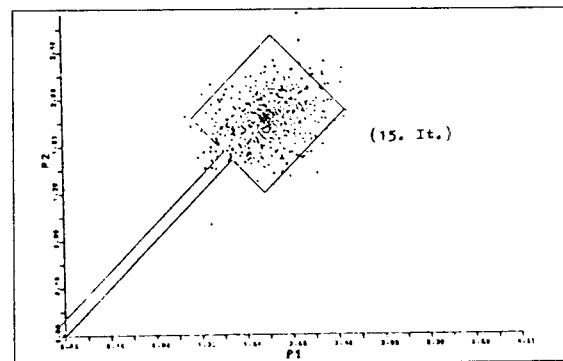
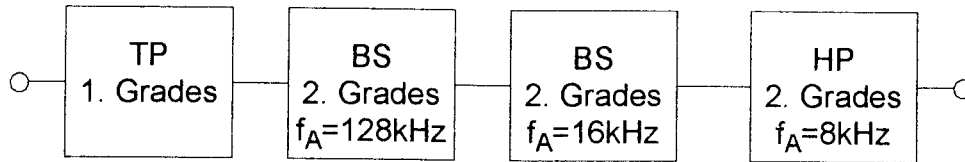


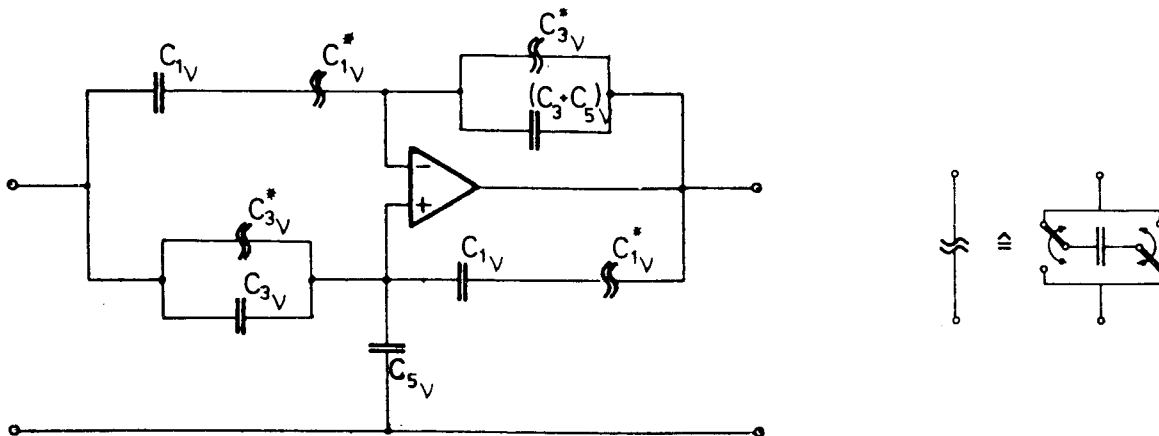
Bild 10: Nach dem 15. Iterationsschritt

Beispiel: PCM SC-Filter mit 14 Parametern.

Das zu optimierende Filter:



Schaltung z.B. einer Bandsperr:



Die Entwurfsparameter sind durch folgende Kapazitätsverhältnisse gegeben:

$$V_{1V} = \frac{C_{1V}}{C_{1V}^*} \quad V_{3V} = \frac{C_{3V}}{C_{3V}^*} \quad V_{13V} = \frac{C_{1V}}{C_{3V}^*} \quad V_{53V} = \frac{C_{5V}}{C_{3V}^*} \quad v = 2,3$$

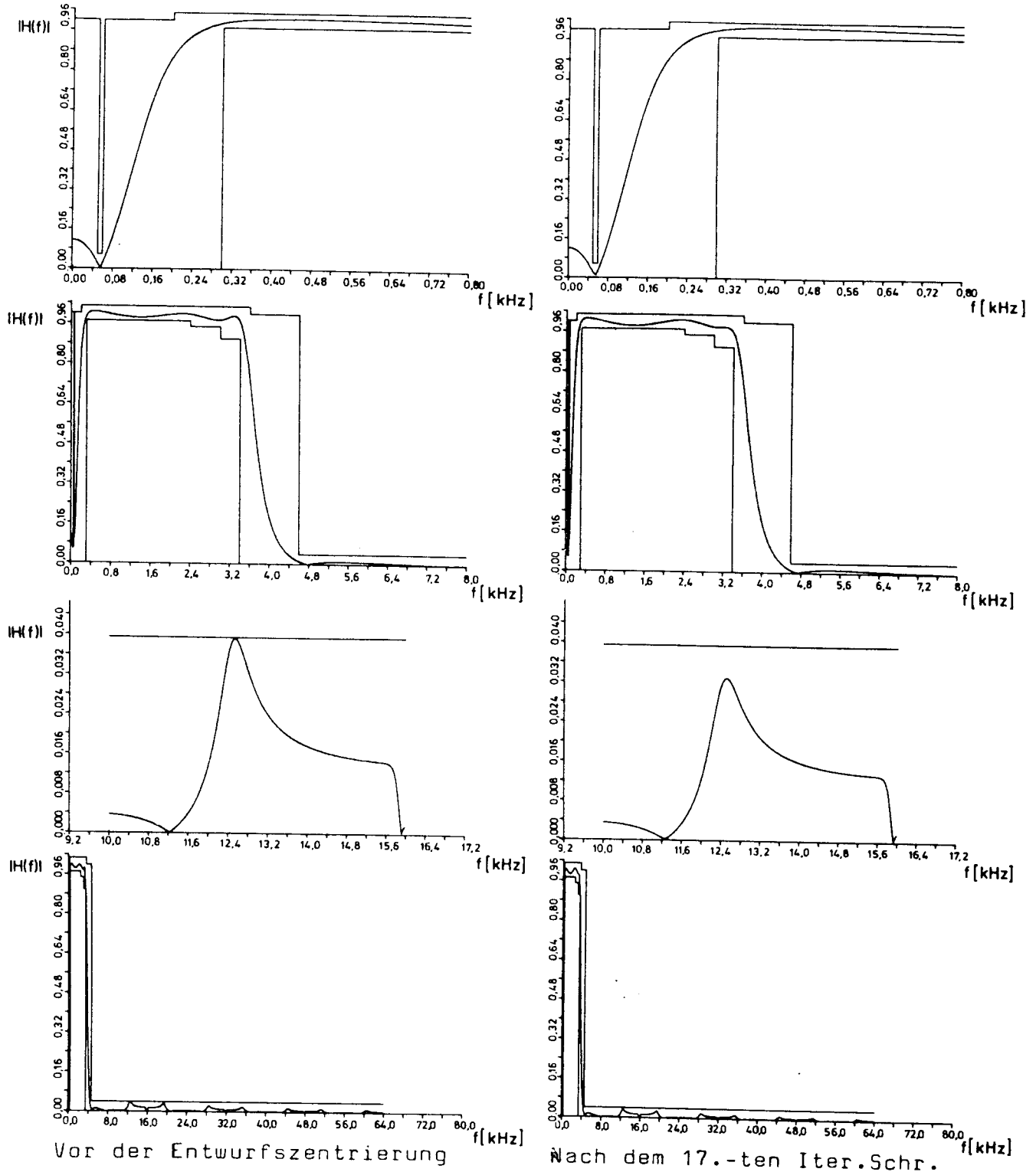
$$V_{14} = \frac{C_{14}}{C_{14}^*} \quad V_{234} = \frac{C_{24}}{C_{34}^*} \quad V_{734} = \frac{C_{74}}{C_{34}^*} \quad V_{134} = \frac{C_{14}}{C_{34}^*} \quad V_{534} = \frac{C_{54}^*}{C_{34}^*}$$

Die Übertragungsfunktion ist damit:

$$H(f) = \frac{1}{1+jf/f_g} \cdot \prod_{\gamma=2}^3 \frac{V_{1\gamma} V_{3\gamma} w^2 + (V_{1\gamma} + V_{3\gamma} - V_{13\gamma}) w + 1}{V_{1\gamma} (V_{3\gamma} + V_{53\gamma}) w^2 + (V_{1\gamma} + V_{3\gamma} + V_{53\gamma} - V_{13\gamma}) w + 1} \cdot \frac{V_{14} (V_{234} + V_{734}) w^2 + (V_{234} + V_{734} + V_{14} - V_{134}) w + 1}{V_{14} V_{234} w^2 + (V_{234} V_{734} (1 + V_{534}) - V_{134}) w + (1 + V_{534})}$$

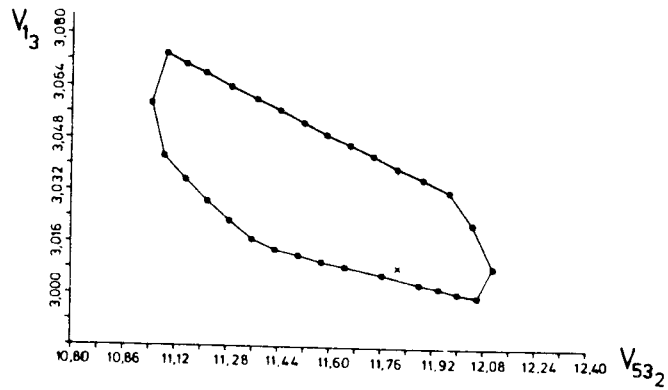
$w = j \cdot \tan \pi \frac{f}{f_A}$

Vergleich der Übertragungsfunktion vor und nach der Entwurfszentrierung:

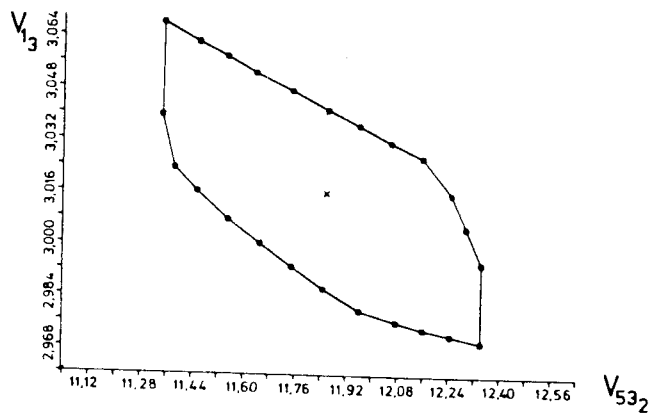


Zweidimensionale Schnitte des 14-dimensionalen Parameterraumes:

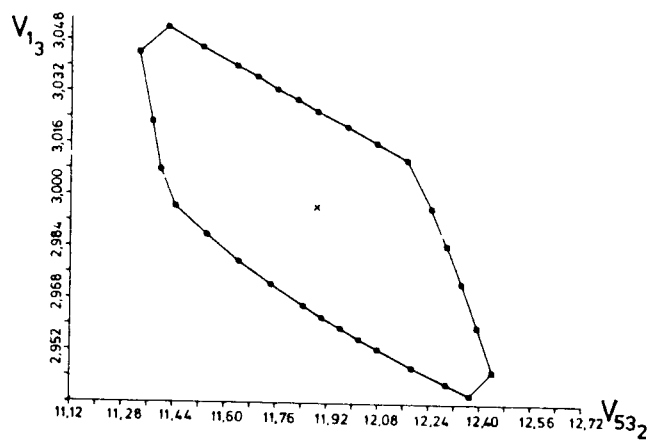
Für die Startdimensionierung:



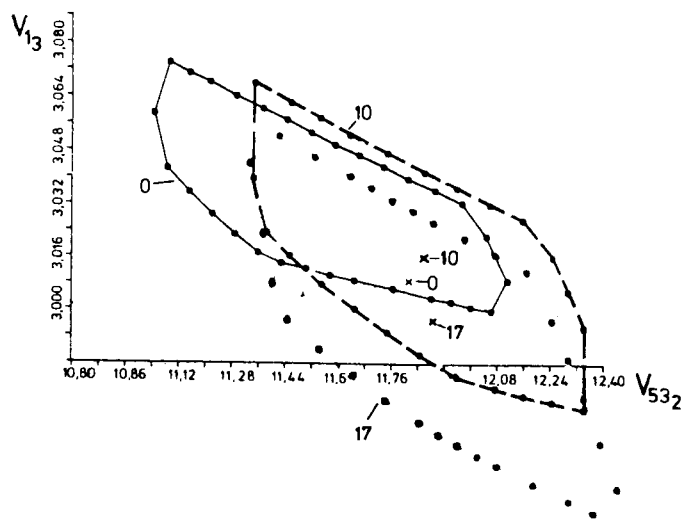
Für den 10.ten Iterationsschritt:



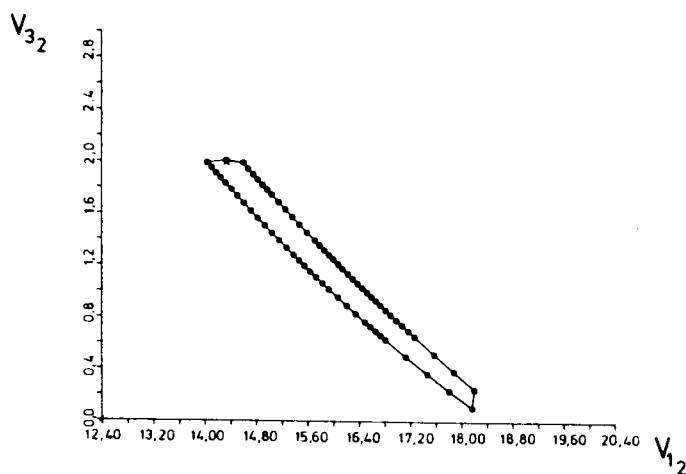
Für den 17.ten Iterationsschritt:



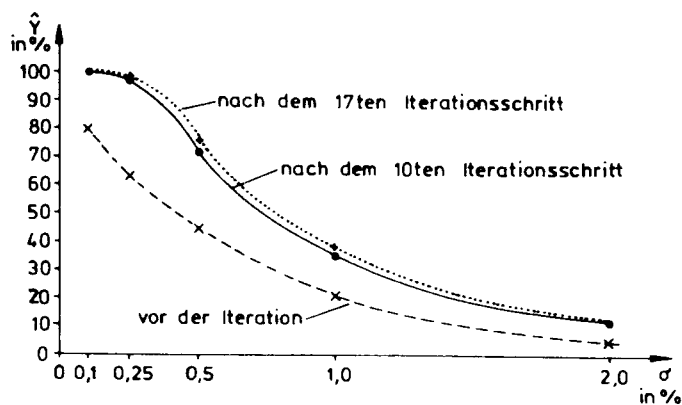
Zweidimensionale Schnitte zur Darstellung der Akzeptanzgebietsverschiebung:



Zweidimensionaler Schnitt zur Darstellung der Konvexität des Akzeptanzgebietes:



Darstellung der Ausbeutevergrößerung:



5. Approximation mit dem mittleren Fehlerquadrat.

Häufig liegt ein Schaltungsentwurf vor, dessen Dimensionierung die an die Schaltung gestellten Forderungen nicht vollständig erfüllt (s. Bild 11).

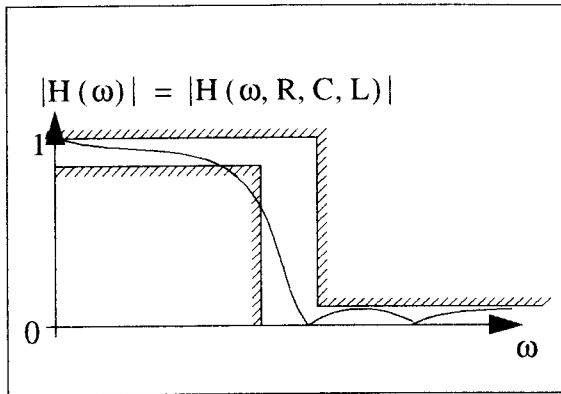


Bild 11: Beispiel für Toleranzverletzung von Schaltungseigenschaften.

Mit Hilfe eines Approximationsverfahrens kann versucht werden die Schaltung so umzudimensionieren, daß die Schaltungseigenschaften innerhalb der geforderten Toleranzgrenzen liegen. Ein dafür häufig verwendetes Verfahren besteht darin Solleigenschaften, die innerhalb der geforderten Toleranzgrenzen liegen, vorzugeben und die Isteigenschaften mit Hilfe des mittleren Fehlerquadrates und einem Minimierungsalgorithmus diesen Solleigenschaften anzunähern. In Bild 12 ist diese Vorgehensweise anhand eines Filterbeispiels dargestellt.

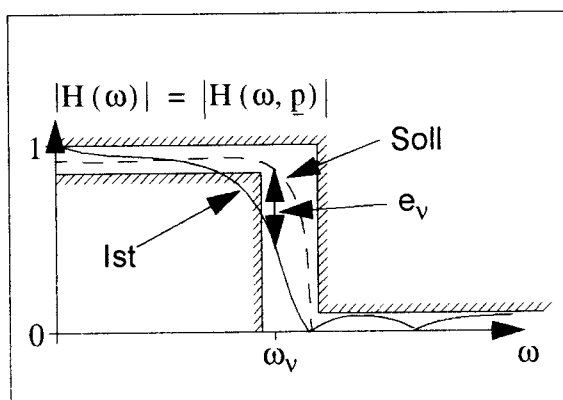


Bild 12: Minimierung mit dem mittleren Fehlerquadrat

Mit dem mittleren Fehlerquadrat

$$E = \sum_{v=0}^m [w_v \cdot e_v(p)]^2$$

erhält man die Minimierungsaufgabe:

$$\text{minimiere: } E = E(p) \\ p$$

Diese Vorgehensweise muß nicht zwangsläufig zum Ziel führen, da ein Minimum aufgrund des mittleren Fehlerquadrates nicht unbedingt die Einhaltung des vorgegebenen Toleranzschlauches bedeutet. Zudem muß die Sollkurve und die Wichtungsfunktion w_v vorgegeben werden. Jede unterschiedliche Vorgabe dieser Funktionen führt zu unterschiedlichen Ergebnissen. Die Optimierung sollte also eigentlich auf das Toleranzschema bezogen sein.

6. Approximation mit Hilfe der Monte-Carlo-Analyse.

Die vorgeschlagene Optimierungsmethode geht wieder von der Abbildung der Forderungen in den Parameterraum aus. Wie schon dargestellt, wird im Parameterraum das Akzeptanzgebiet als das Gebiet definiert, in dem alle Dimensionierungen der Schaltung liegen für die die Forderungen der Schaltungseigenschaften erfüllt sind. Eine Veränderung einer Forderung im Eigenschaftsraum bewirkt eine Veränderung des Akzeptanzgebietes. Eine Aufweitung der Toleranzforderungen im Eigenschaftsraum wird eine Vergrößerung des Akzeptanzgebietes zur Folge haben. Geht man davon aus, daß eine Dimensionierung einer Schaltung vorliegt für die einige Eigenschaften der Schaltung die an sie gestellten Forderungen nicht erfüllen, so liegt der momentane Entwurfsunkt außerhalb des Akzeptanzgebietes. Weitet man nun diese nicht eingehaltenen Forderungen so auf, daß die Eigenschaften der Schaltung diese veränderten Forderungen gerade noch erfüllen, so liegt ein vergrößertes Akzeptanzgebiet vor, wobei der

Entwurfspunkt der Schaltung im Parameterraum genau auf dem Rand des vergrößerten Akzeptanzgebietes liegen wird.

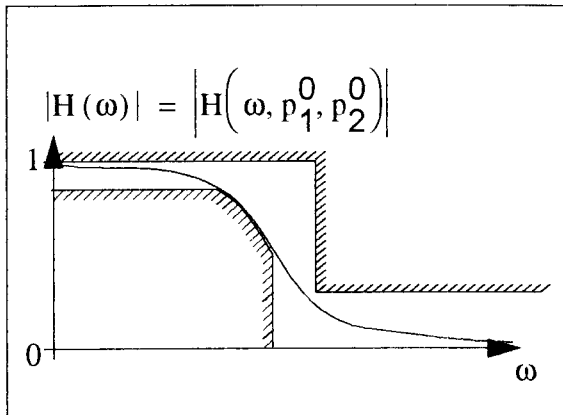


Bild 13: Veränderung der Forderungen im Eigenschaftsraum

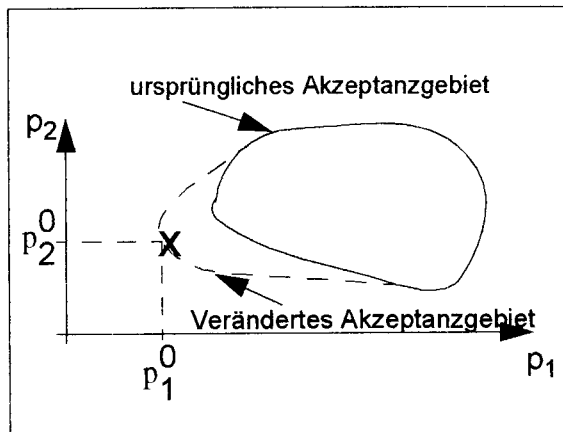


Bild 14: Veränderung des Akzeptanzgebietes als Folge der Veränderung im Eigenschaftsraum

Mit Hilfe einer Monte-Carlo-Analyse kann der Entwurfspunkt in das vergrößerte Akzeptanzgebiet verlegt werden. Falls die ursprünglichen Forderungen der Schaltungseigenschaften erfüllt sind bricht das Verfahren ab. Andernfalls wird das Verfahren mit neuen nachgeführten Toleranzforderungen wiederholt. Dabei wird das Akzeptanzgebiet immer kleiner und nähert sich immer mehr dem ursprünglichen Akzeptanzgebiet an. Im allgemeinen werden mehrere Monte-Carlo-Analysen notwendig sein. Eine wichtige hervorzuhebende Eigenschaft dieses Verfahrens ist darin zu sehen, daß die Toleranzforderungen der Schaltungs-

eigenschaften direkt und nicht über eine Sollfunktion berücksichtigt werden. In Bild 11 ist die Ausgangssituation vor der Optimierung dargestellt. Die ursprüngliche Dimensionierung des Filters verläuft nicht im geforderten Toleranzschlauch. In Bild 13 ist der erste Approximationsschritt dargestellt. Die Forderungen wurden aufgeweitet, wodurch sich ein vergrößertes Akzeptanzgebiet ergibt (s. Bild 14). Die Durchführung einer Monte-Carlo-Analyse ergibt auf jeden Fall einen neuen Entwurfspunkt, der von der Akzeptanzgebietsgrenze weggerückt ist. Dies bedeutet im Eigenschaftsraum ein Wegrücken der Übertragungsfunktion von den Toleranzgrenzen.

Auf der nachfolgenden Seite wird ein Beispiel für das Approximationsverfahren gezeigt.

Zusammenfassung:

Die vorgeschlagenen statistischen Verfahren zur Entwurfszentrierung und Approximation basieren auf der Simulation des Herstellungsprozesses. Dazu ist die iterative Verwendung einer Monte-Carlo-Analyse notwendig. Beide Verfahren können bis zu einer Anzahl von 25 Schaltungsparametern verwendet werden. Die Entwurfszentrierung gestattet die Umdimensionierung einer Schaltung unter Berücksichtigung von Toleranzen der Schaltungsparameter. Die Approximation einer Schaltung wird direkt unter Berücksichtigung von Toleranzforderungen der Schaltungseigenschaften durchgeführt.

Literatur:

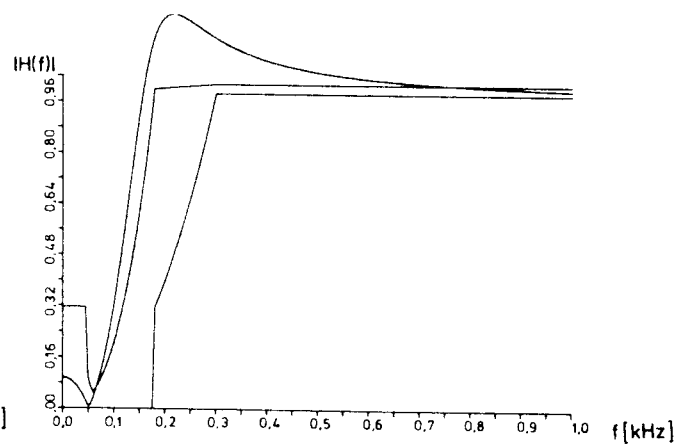
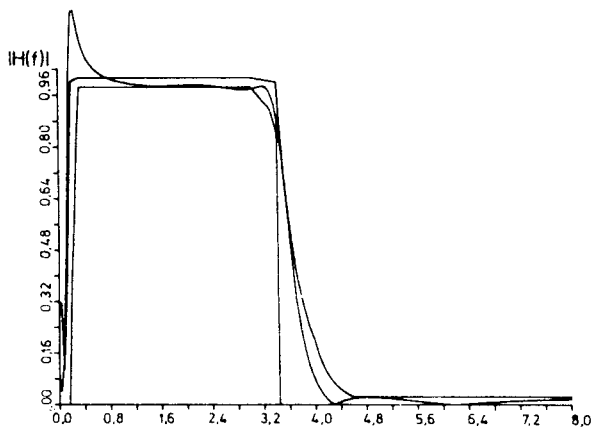
- [1] Director S.W., Hachtel G.D., „Computationally Efficient Yield Estimation Procedures Based on Simplicial Approximation“, IEEE Transactions on Circuits and Systems, Vol. CAS-25, No. 3, March 78
- [2] Soin R. S., Spence R., „Statistical Design Centering for Electrical Circuits“, Electronics Letters, Vol. 14, No. 24, Nov.78.

Beispiel: Approximation bezüglich des Toleranzschemas für ein Filter mit 10 Parametern

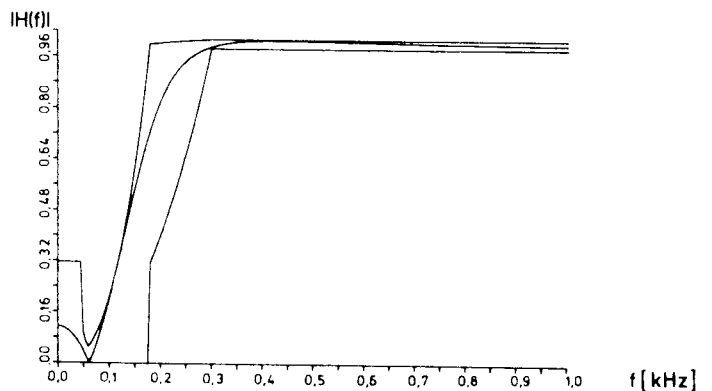
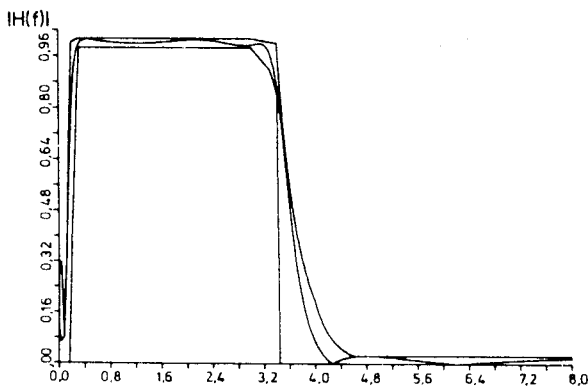
Folgende Übertragungsfunktion soll in ein vorgegebenes Toleranzschema eingepasst werden:

$$H(f) = \frac{1}{jf + B_0} \cdot \frac{A_{2,1} - f^2}{B_{2,1} + B_{1,1} \cdot f - f^2} \cdot \frac{A_{2,2} - f^2}{B_{2,2} + B_{1,2} \cdot f - f^2} \cdot \frac{A_{2,3} - f^2}{B_{2,3} + B_{1,3} \cdot f - f^2}$$

Betrag der Übertragungsfunktion für eine grobe Vordimensionierung:



Betrag der Übertragungsfunktion nach der Approximation:



Testchip "Ringostar"

Design und Analyse

Prof. Dr.-Ing. H. M. Gündner
Dipl.-Ing. (FH) Thomas Gneiting
Dipl.-Ing. (FH) Oliver Laub

Fachhochschule für Technik Esslingen

Einführung

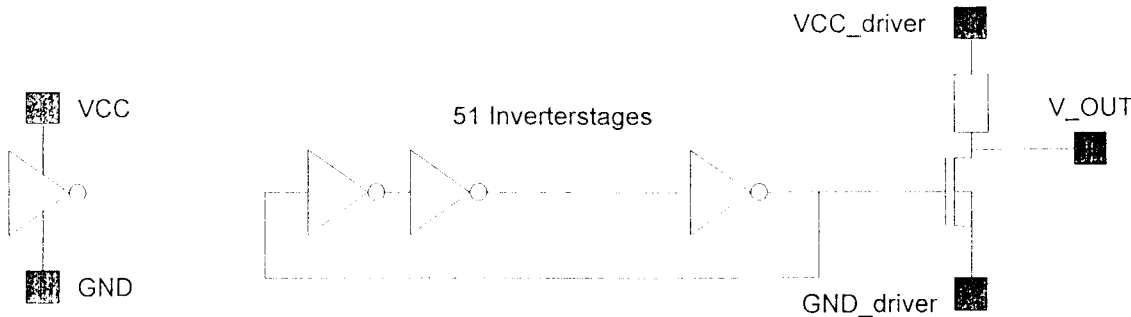
Performance einer CMOS VLSI Schaltung \Rightarrow Taktfrequenz

Einflüsse auf die Taktfrequenz:

- Design
- Prozess MOS - Transistoren
 Verbindungsleitungen
- Betriebsbedingungen

Testschaltungen

Ringoszillator: Testschaltungen zur Performanceanalyse



Ungerade Anzahl von Invertiern

Ideal: Teiler am Ausgang zur Erniedrigung der Frequenz

Testschaltungen

Anteil der parasitären Kapazitäten eines normalen Ringoszillators:

→ 90% MOS Transistoren

→ 10% Verbindungsleitungen

Der gängige zu Testzwecken eingesetzte Ringoszillator repräsentiert nur den Einfluß der MOS Transistoren auf die Performance einer CMOS VLSI - Schaltung.

Der Einfluß der Verbindungsleitungen auf dem Chip kann damit nicht bestimmt werden.

Testschaltungen

Einfluß der Verbindungsleitungen kann nicht vernachlässigt werden:

- Taktfrequenz steigt
- Chipfläche nimmt zu und damit auch die Länge der Verbindungsleitungen auf dem Chip.

Notwendig:

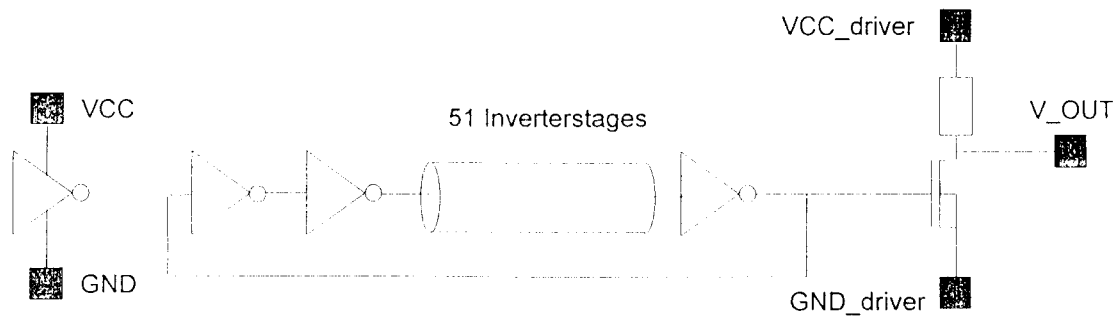
Teststrukturen, die Auskunft über die Beeinflussung der Taktfrequenz durch **Transistoren** und **Leitungen** geben.

Projekt "Ringostar"

Anforderungen:

- Messung Oszillatorfrequenz eines Ringoszillators mit möglichst kurzen Verbindungen zwischen den Invertern.
- Messung Oszillatorfrequenz von Ringoszillatoren mit unterschiedlich langen Verbindungsleitungen zwischen je zwei Invertern.
- Automatische Durchführung dieser Messungen on-chip. Ausgabe über parallele I/O.

Projekt "Ringostar"



8 Ringoszillatoren mit:

- unterschiedlichen Leitungslängen
- Streifenleitungen und Einzelleitungen über Substrat

Analysen

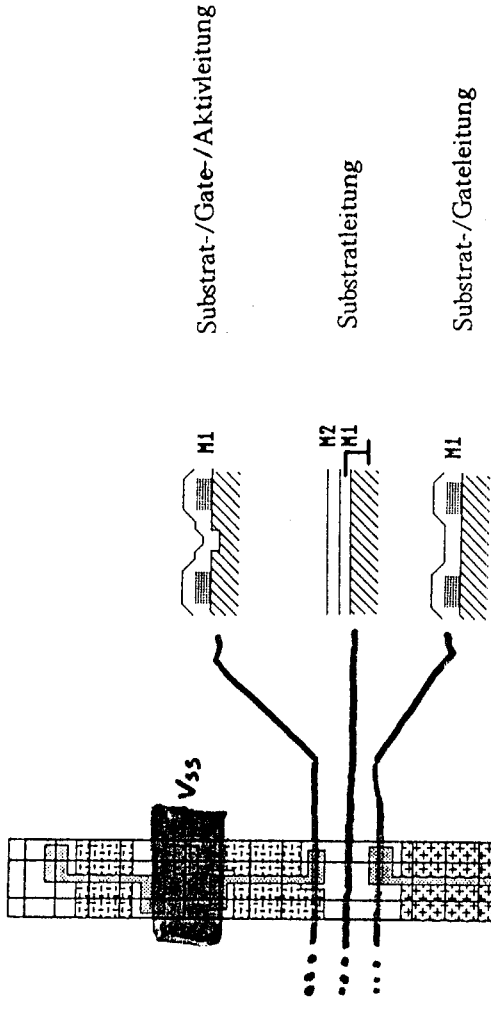
Vergleich von 3 Analysen:

- Digitalsimulation in Mentor Graphics CAD
- Analogsimulation mit SPICE 3F1
- Messung der Oszillationsfrequenz

Chipfunktionen o.k.

Analysen noch nicht vollständig durchgeführt

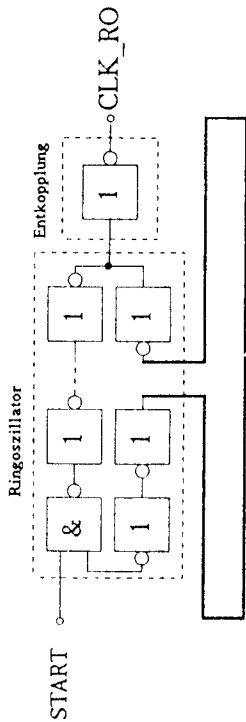
Leitungstypen



Ringoszillator	Länge(mm)	Leitungstyp
0	0	keine Leitung
1	2	Substratleitung (Streifenleitung)
2	4	
3	2	Substrat-/Gateleitung
4	4	
5	2	Substrat-/Gate-/Aktivleitung
6	4	
7	0	keine Leitung

Der Ringoszillator

Grundschialtung:



Frequenzberechnung:

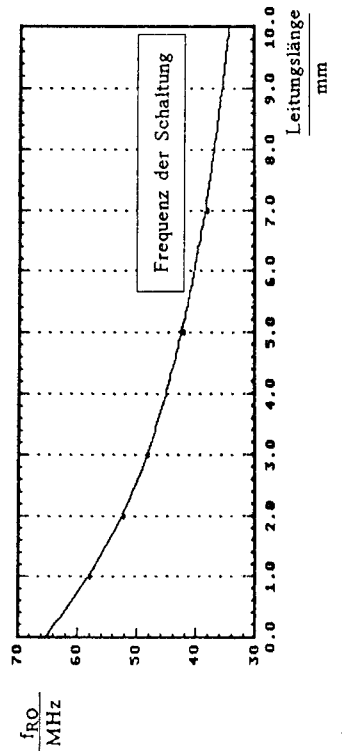
$$f_{RO} = \frac{1}{(2n+1)t_{Inv}}$$

f_{RO} : Frequenz des Ringoszillators

t_{Inv} : Laufzeit des Inverters

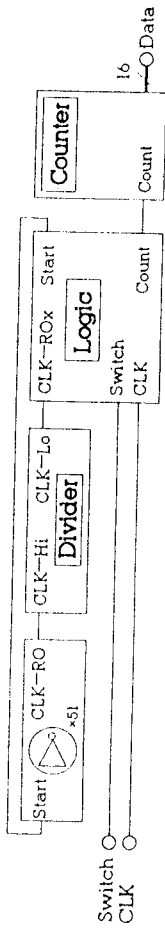
$n \in \mathbb{N}_0^+$

Einfluß der Leitung:

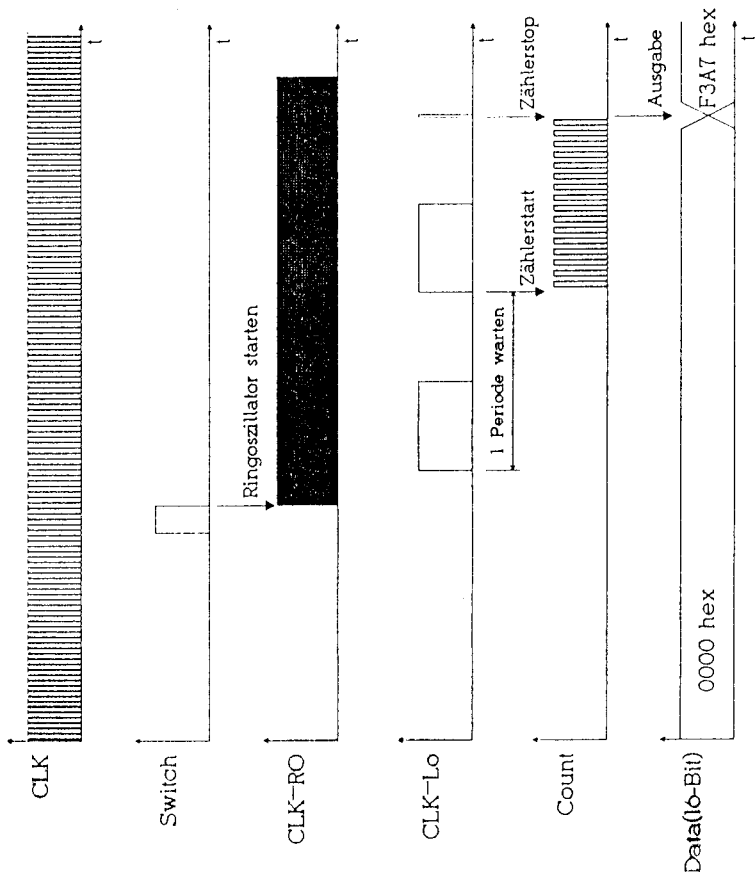


Die Logikschaltung

Grundschtaltung:



Funktionsweise:

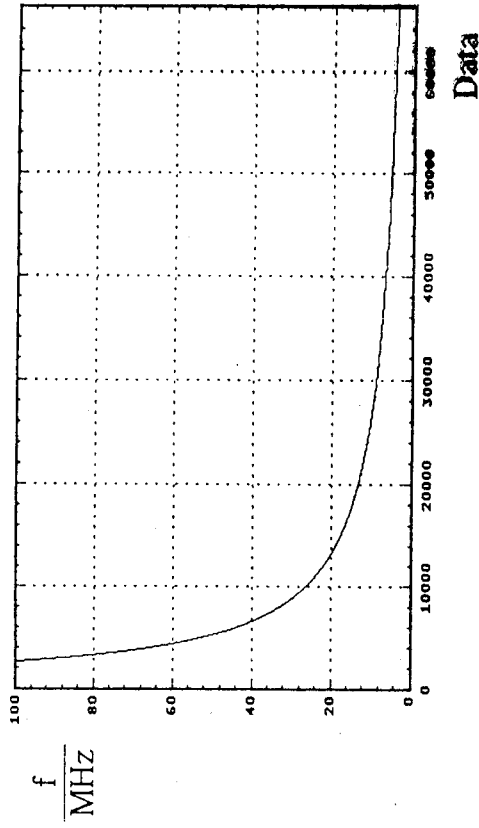


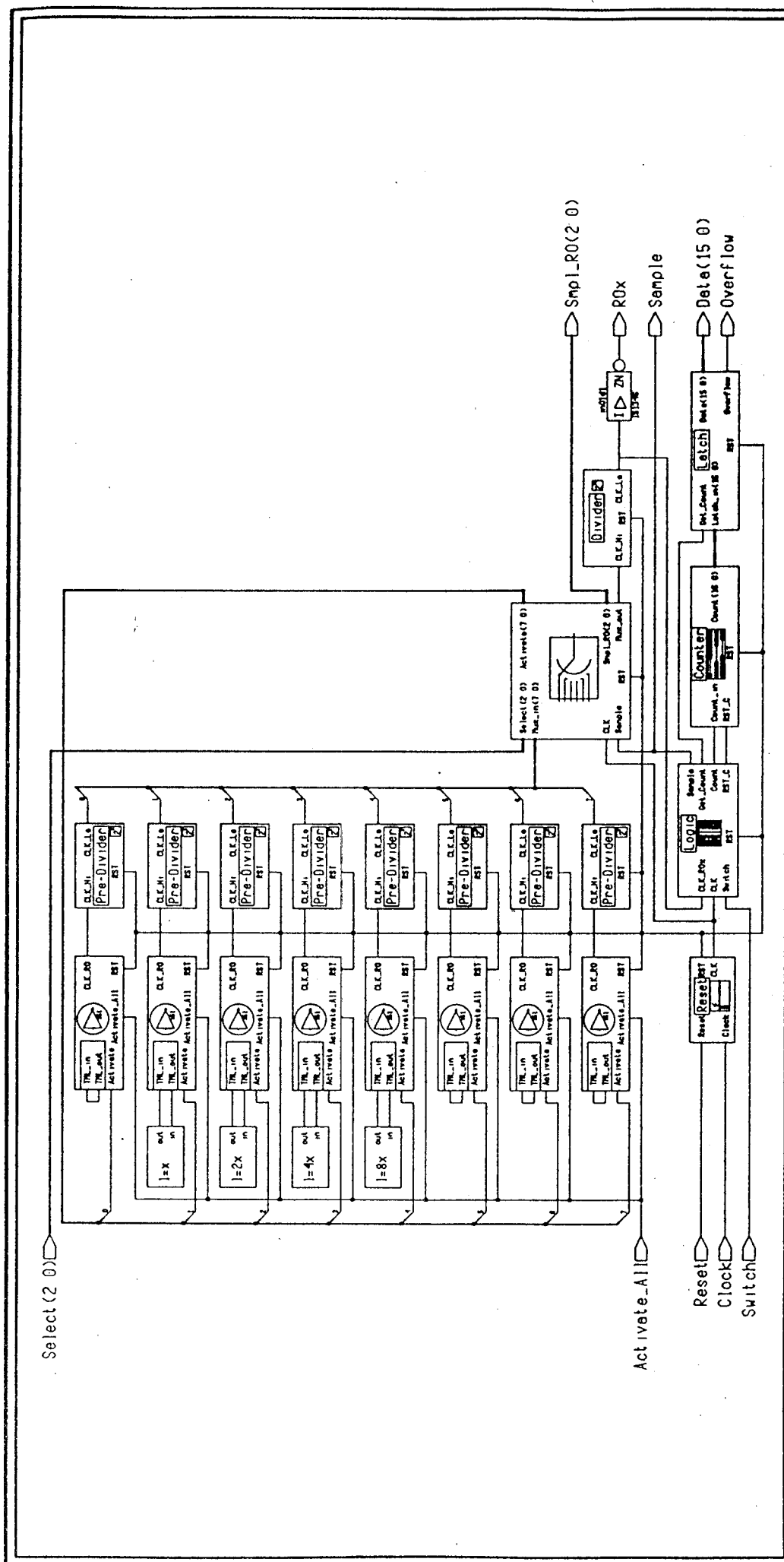
Frequenzberechnung:

$$f_{RO} = \frac{f_{Clock} * 2^{18}}{Data} \quad (\text{Glg. 7.1a})$$

- f_{RO} : Frequenz des Ringoszillators
- f_{Clock} : Systemtakt, 1 MHz
- Data : ausgegebener (dezimaler) Zahlenwert (0...65535)

Graphische Darstellung:





Circuit	Ringo - Star	Comments	Diplomarbeit SS'94
Component	RingoStar		Oliver Laub NT8
Date	19 May 1994		FHT-Esslingen

STANDARDZELLEN FÜR 0,5 μm CMOS-TECHNOLOGIE

Einführung

Technologie

Shrink-Verfahren

Grenzdesign-Regeln

ROM-Zellen

BASELIB-Zellen

Zusammenfassung

MPC workshop 27.01.1995 in Aalen

G.Higelin

Die präsentierte Arbeit wurde im Rahmen eines Fortbildungssemesters am ISTC (Integrated Submicron Technology Center) bei der Firma Siemens AG in München erstellt. Das ISTC ist dem Geschäftsgebiet Branchen ICs zugeordnet. (Abb.1) Hier werden integrierte Schaltkreise in Bipolar, CMOS oder BICMOS-Technologie entwickelt und gefertigt. Die Kunden kommen aus den Bereichen Automobiltechnik und Informationstechnik (Abb.2). Für CMOS sind die Prozeß-Technologien C4 bis C6 verfügbar. Die Abb.4 zeigt eine Technologie-Roadmap aller bei Siemens eingeführter Technologien.

Schwerpunkt dieser Arbeit lag auf der C6-Technologie. Die wesentlichen Merkmale sind: Design-Rules 0.6 - 0.5 μm , Versorgungsspannung 3.3V oder 5.0V, niederohmige Diffusionsgebiete und Gates durch Salicide, Zweilagigen- oder Dreilagigen-Metallisierung, Gatterlaufzeit 0,5 ns. (Abb.3) In der Abb.5 und Abb.6 ist ein prinzipieller sowie ein mikroskopischer Querschnitt durch den Prozeß dargestellt. Darin lassen sich die spezifischen Besonderheiten der Verdrahtung erkennen. Die Kontakte und Vias sind aufgefüllt mit Wolfram, alle Ebenen sind planarisiert und es sind drei Metallisierungsebenen gefertigt. Dieser C6 Prozeß wird bereits für Produkte mit hohen Stückzahlen eingesetzt. Das Leitprodukt ist der Chipsatz GOLD (GSM - ONE CHIP - LOGIG - DEVICE), ein komplettes System für Mobilfunkgeräte bestehend aus einem Signalprozessor, einem Steuerbaustein und einem Analog-Digitalbaustein.

Wegen der hohen Stückzahlen ist bei der Fertigung dieser ICs die Flächeneinsparung eine sehr wichtige Anforderung an die Entwicklung. Im folgenden werden verschiedene Möglichkeiten der Flächenreduzierung (shrink) vorgestellt. Eine oft angewandte Methode in der CMOS-Technologie ist das sog. lineare Shrinken. Dabei werden alle Maskenebenen mit dem gleichen Shrinkfaktor S verkleinert. In der Abb.7 ist ein solcher linearer Shrinkpfad dargestellt mit den angesetzten Werten für S und den dabei erzielten Flächen. Ausgangspunkt ist ein Design, das in den sog. drawing Designrules vorliegt, hier ist dies ein Regelsatz von 4 μm . D.h. bei einem Shrinkfaktor von $S=0,20$ erhält man auf Silizium einen Prozeß mit 0,8 μm . Die Vorteile dieses Verfahrens bestehen im schnellen und kostengünstigen Umsetzen eines vorhandenen Designs in eine neue Technologie. Der Nachteil besteht darin, daß nicht alle Möglichkeiten einer Technologie ausgenutzt werden können. Dieser Nachteil kann durch Einführung sogenannter Grenz-Designregeln ausgeglichen werden. Grenz-Designregeln bedeuten eine Verschärfung einzelner Regeln, wie es im Shrinkpfad nicht möglich ist und können somit einen weiteren Flächengewinn bewirken. Die generellen Probleme bei der Einführung von Grenz-Designregeln sind: Sie sind nur über Redesign einführbar, der Flächengewinn ist u.U. schwierig abschätzbar und ist unterschiedlich bei verschiedenen Schaltungstypen.

Ziel dieser Arbeit war, den Beitrag einiger wichtiger Grenz-Designregeln am Flächengewinn für verschiedene Schaltungen zu ermitteln. Dabei wurden untersucht: ROM-Zellen, Verdrahtungskanäle und Zellen aus der Bibliothek BASELIB.

Die angewandten Grenz-Designregeln im einzelnen waren (Abb.8):

1. borderless contacts : Verzicht auf einen Überlapp von Metall auf dem Kontakt (non capped), sowie Verzicht auf einen Überlapp von Aktivem Gebiet oder Poly unter dem Kontakt (non nested).
2. stacked vias : Platzierung von Via1 über Kontakt oder Via2 über Via1
3. overlapping contacts : Abstand von Kontakt zum Transistorgate kann auf 0 reduziert werden oder sogar negativ werden.

Die Beispiele in der Abb.9 zeigen auf sehr einfache Weise die Einführung der Regeln 1 und 2. Bei einem einzelnen Transistor liese sich ein Flächengewinn von 40% erreichen. In realen Schaltungen ist der Gewinn natürlich geringer.

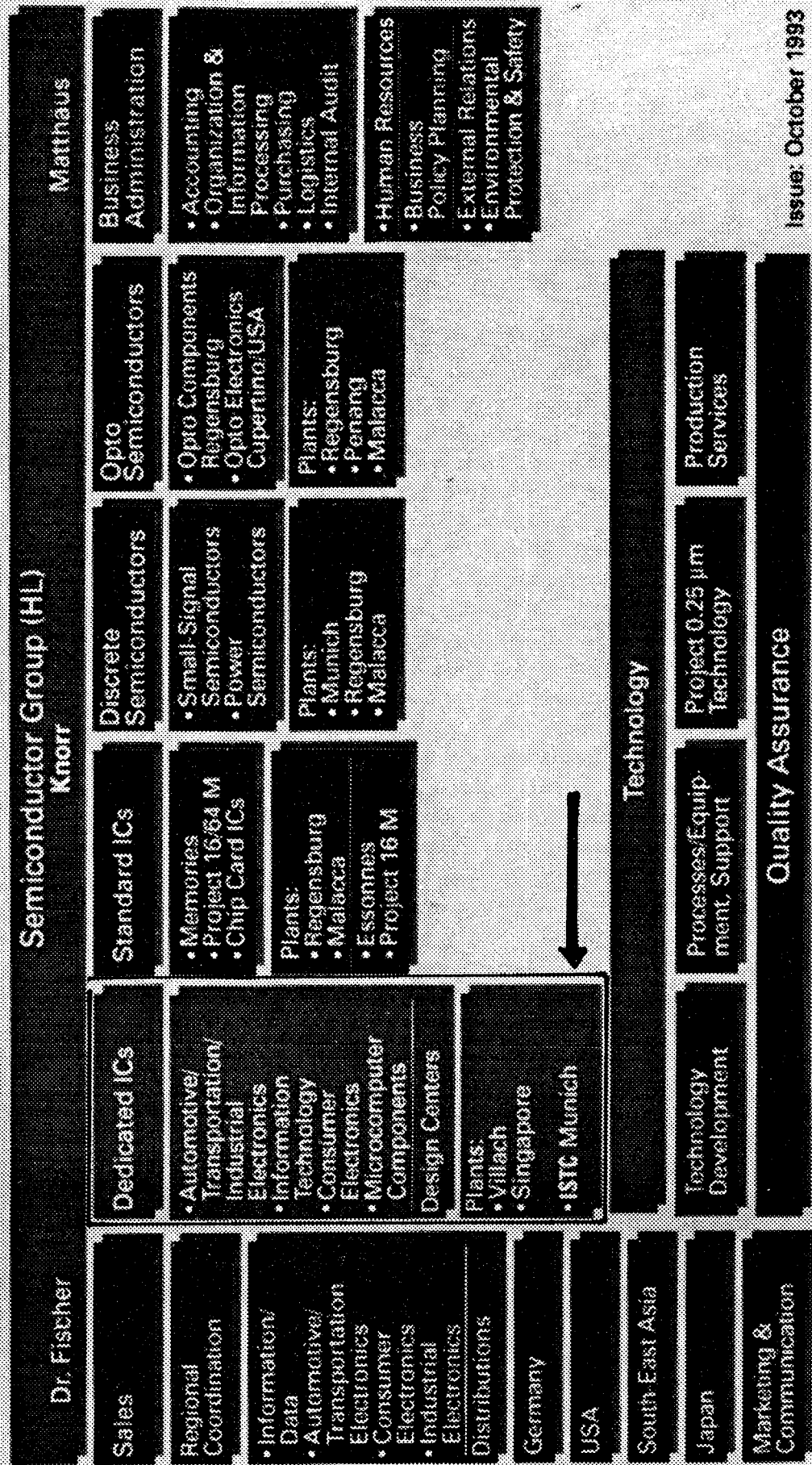
Die Abb.10 zeigt das Zellenfeld eines ROM-Speichers. Hier kann man durch Reduktion der Überlapps und Reduktion des Abstandes Kontakt zu Gate einen Flächengewinn von 27% erreichen. Beide Änderungen sind ohne technologischen Mehraufwand in C6 machbar.

Schwieriger ist die Analyse von unregelmäßigen Strukturen, wie sie in Zellen mit Logikfunktionen vorkommen. Die bei Siemens eingesetzte Zellbibliothek BASELIB (Abb.11) enthält ca. 115 Zellen unterschiedlicher Komplexität, von einfachen Invertern bis zu Addierer und Multiplexer. In der Abbildung 12 (Mitte) ist eine typische Zelle dargestellt. Diese Registerzelle mit Reset hat 25 Transistoren, drei Eingänge und einen Ausgang. Am Beispiel des Clock-Einganges, der parallel an drei Transistorgates anliegt, erkennt man, daß die Platzierung und Orientierung der Transistoren unter den gegebenen Designregel bereits flächenoptimiert ist. Durch diese komplexe Struktur wird eine Abschätzung des Flächengewinns durch Grenz-Designregeln relativ aufwendig. Ein möglicher Weg wird hier aufgezeigt . (Abb.12, unten) Die Zelle wird unter Beachtung der Transistor-Geometrien neu gezeichnet, dabei werden die Transistoren so plaziert, daß sich in der Gateebene ein Minimalraster ergibt. Die Verdrahtung kann anschließend bis auf wenige Ausnahmen in Metall1-Minimalraster vorgenommen werden, sodaß nur die Ports in der Zelle Metall2 benötigen. Die so ermittelte Fläche zeigt die maximale Shrinkmöglichkeit an. Um nun das Shrinkpotential einzelner Grenz-Designregeln zu untersuchen, kann man nun in dieses Minimalraster durch Einbau der entsprechenden Regel aufweiten. Unter Beachtung von verschiedenen Platzierungsvarianten erhält man so die neue, flächenoptimierte Zelle. Die Abbildungen 13 und 14 zeigen die Flächenanteile verschiedener Grenz-Designregeln für BASELIB-Zellen, ROM-Zellen und Verdrahtungskanäle.

Das aufgezeigte Potential zeigt, daß bei Produkten mit hoher Stückzahl die Produktivitätssteigerung durch Einführung von Grenz-Designregeln den Aufwand rechtfertigt.

Einen Ausblick auf die Entwicklung in der Halbleitertechnik zeigt die Abbildung 15. Aus heutiger Sicht setzt sich die rasante Weiterentwicklung unvermindert fort. Dabei ist bemerkenswert, daß die Leitprodukte der Entwicklung nach wie vor die DRAMs sein werden. Somit ergeben sich neben der (oft allein betrachteten) Reduktion von Strukturgrößen weitere Anforderungen an die zu realisierenden Chipflächen, Kostenreduzierung und Wafergrößen.

Organization Structure



Issue: October 1993

Semiconductor Group



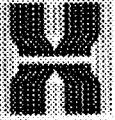
HL 199 109F
 ISTC

SIEMENS

Informationstechnik

- Private und öffentliche Vermittlungsanlagen
 - Sprach-, Daten- und Textendgeräte
 - Datenkommunikation und -netze, analoge Kommunikation
 - Auswahl der im ISTC entwickelten bzw. produzierten Bausteine
- M0393A PWB 2700 GSW GOLD
M0416A S&B 85532
M0440B PES 2047

ISTC Integrated Submicron Technology Center
Produkte



SIEMENS

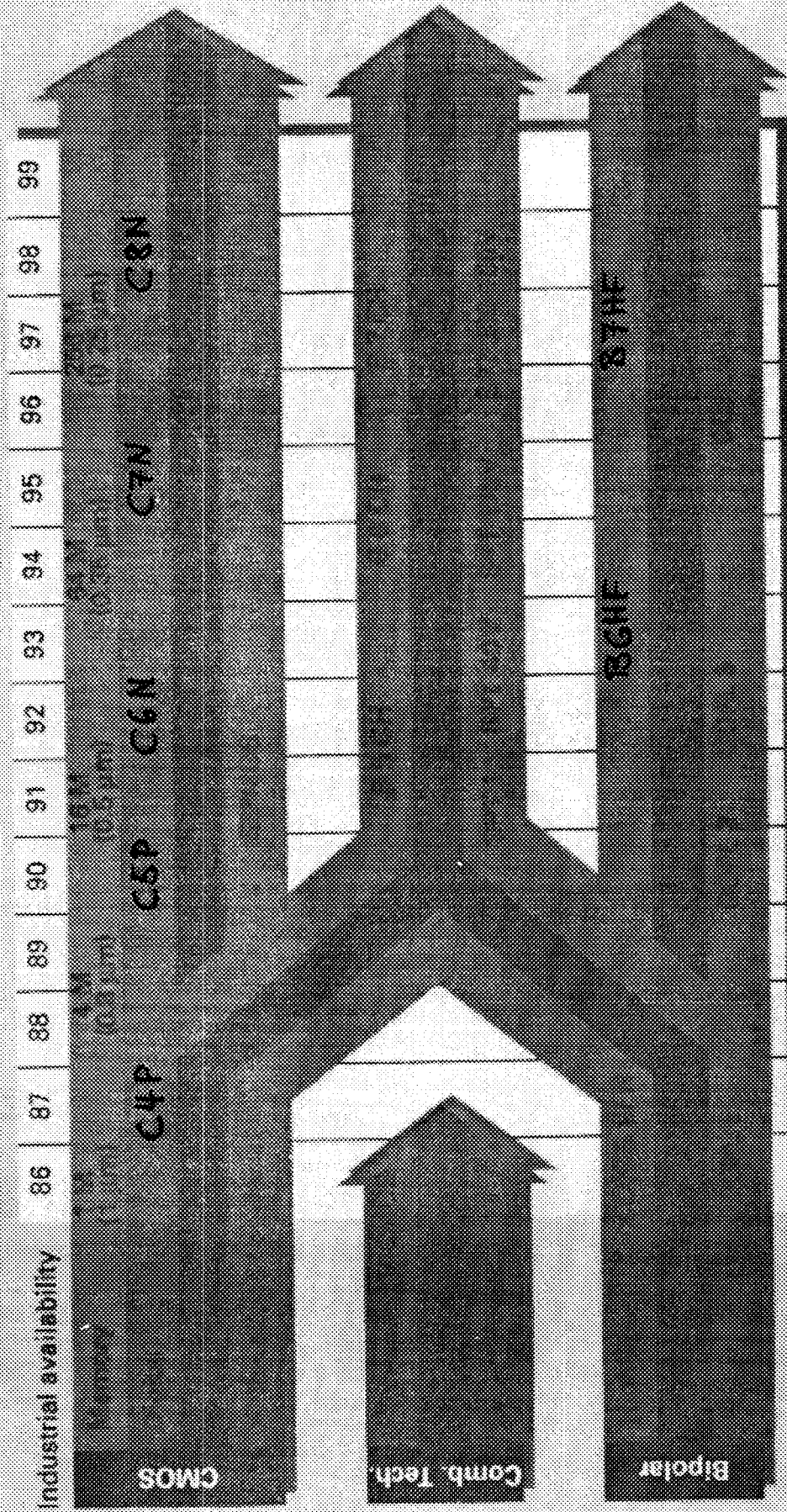
Process Line Concept (ACMOS)

ACMOS for high performance logic

Prozess- generation [μm]	1,5	1,0	0,8	0,6-0,5	0,35
Grundprozess	C4P	C4PH	C5P/C5PH	C6N/C6NH	C7N/C7NH
Wanne	P	P	P	N	N
Gatelänge [μm]	1,5	1,0	1,0/0,8	0,7/0,55	0,5/0,4
Gateoxid [nm]	25	20	20/15	15/10	10/<10
Gatematerial	Poly	Poly	Poly	Poly/Polycide	Polycide
Source/drain - Profil	Diff-GDD	Diff-LDD	Diff-LDD	Diff-Salicide	Salicide
Versorgungs- spannung [V]	5	5	5	5/3,3	3,3
Verzögerungs- zeit [ns]	1,3	1,0	0,8/0,6	0,6/0,4	0,3
Prozessoptionen - Analog (Double-Poly) - EEPROM (Flotox) - FLASH (Flotox) - BICMOS - analog			C5PA C5F C5FL B5CA	C6NA C6F C6FL B6CA	C7NA C7F C7FL B7CA
Einführungsjahr	1987	1988	1989/90	1992	1996
Serienfertigung	ISTC/Vi	ISTC/Vi	ISTC/Rgb	ISTC/Rgb	ISTC/Drd

ISTC Integrated Submicron Technology Center

Technology Concept, Semiconductor Group

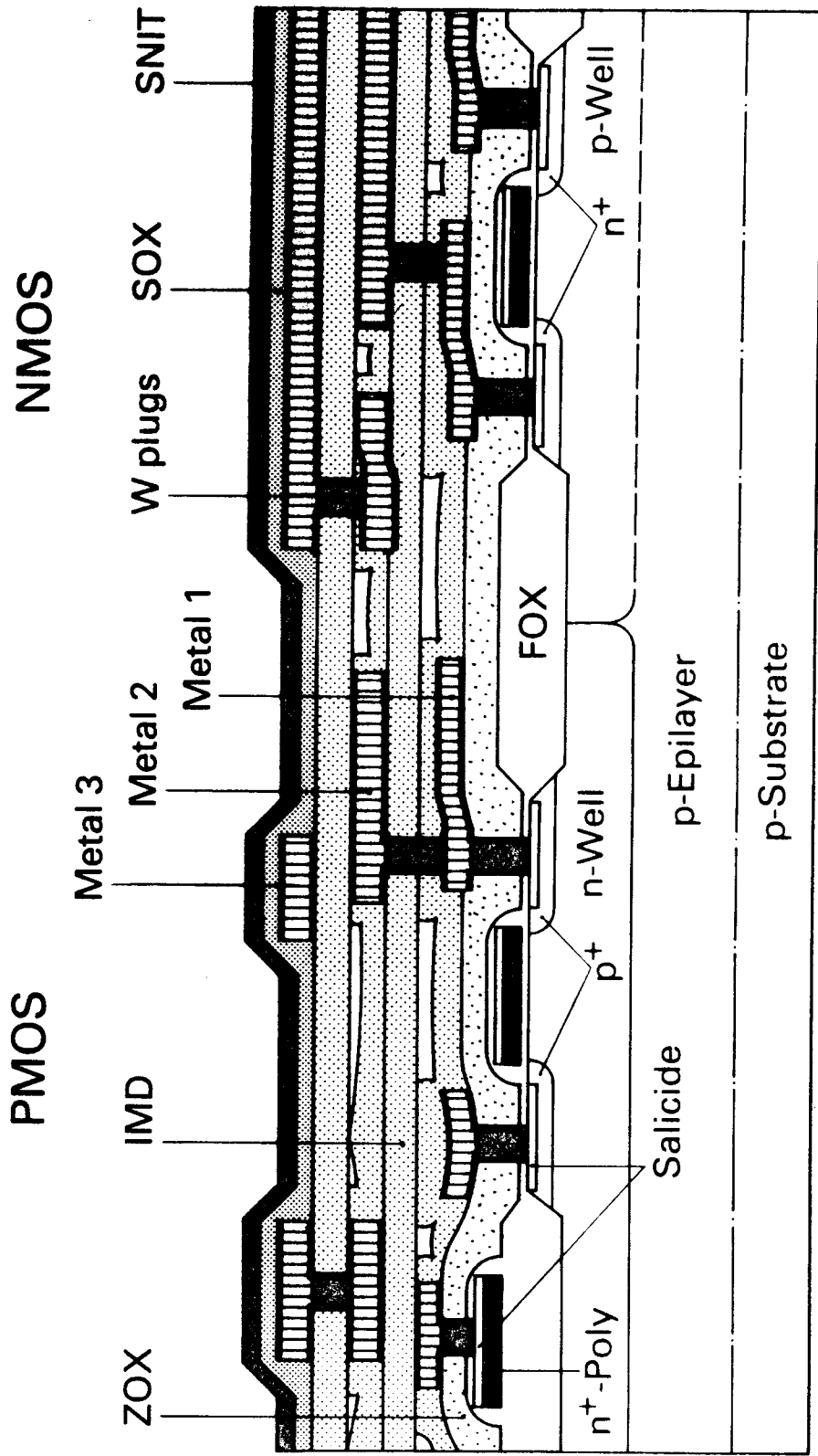


Technologies available at the ISTC

ISTC Integrated Submicron Technology Center

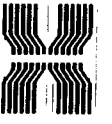


HL 192 GRAF&CO
ISTC

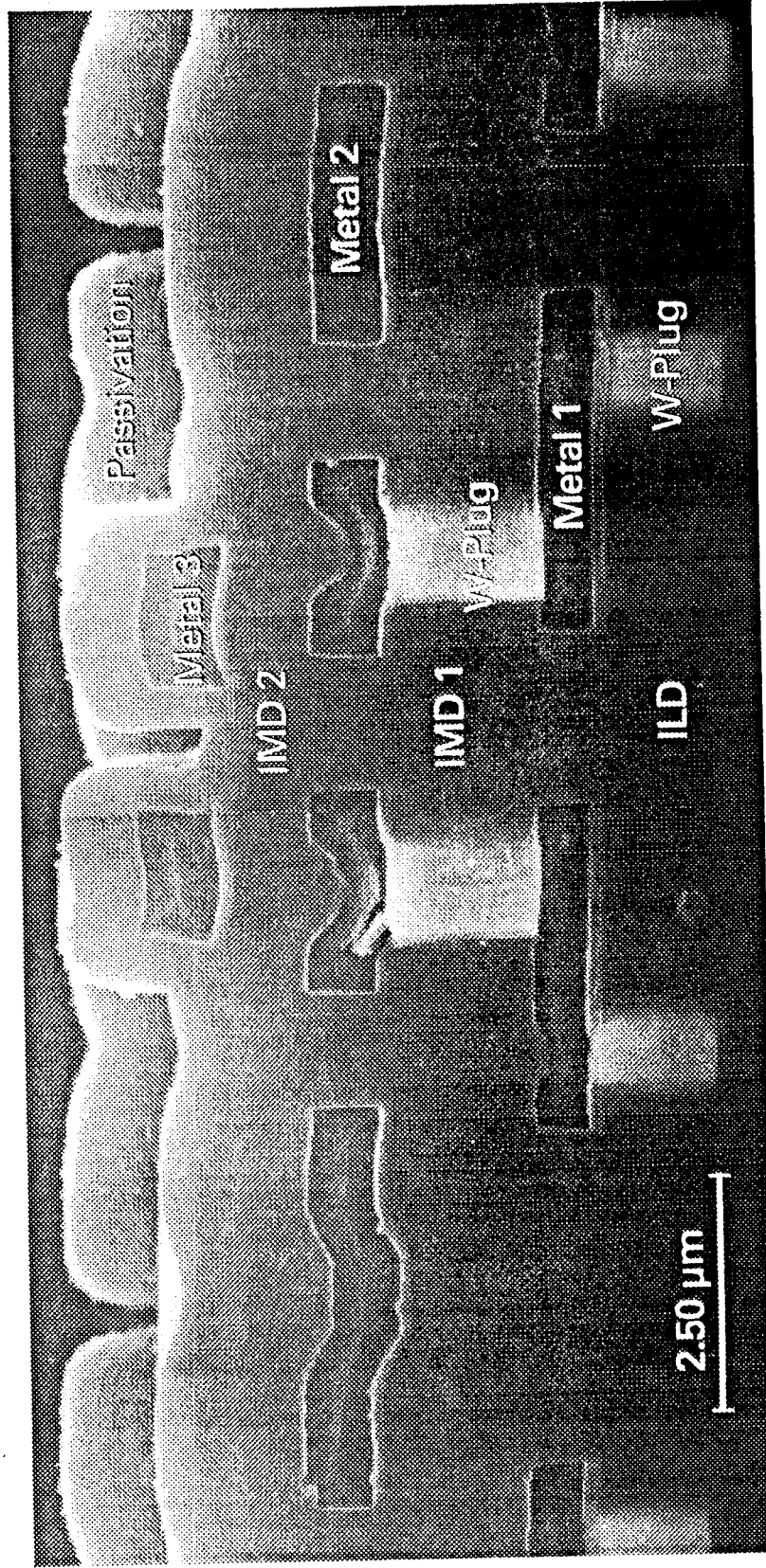


Supply Voltage: 3.3 V
3 Metal Levels

Cross Section ACMOS C6NH 0.5 μm



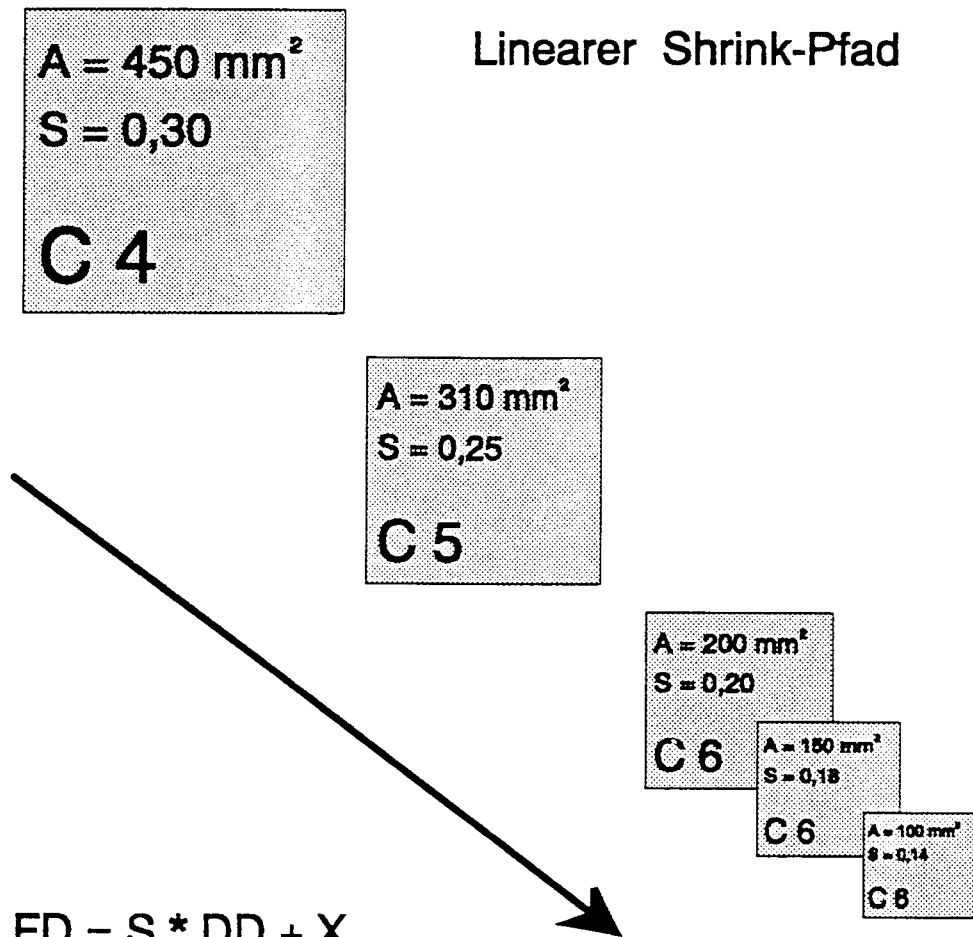
Three Metal Levels on 0.5 μm CMOS Process



All Three Dielectric Films Planarized with PRE



Linearer Shrink-Pfad



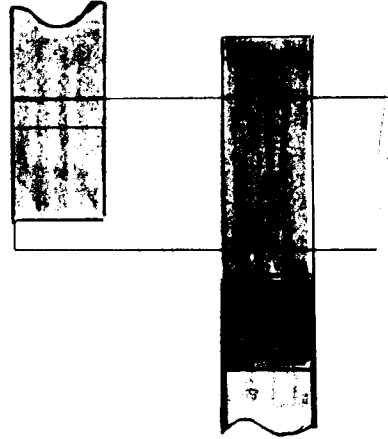
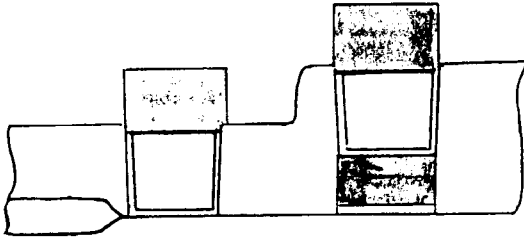
$$FD = S * DD + X$$

$$AREA = S^2 * A_{DD}$$

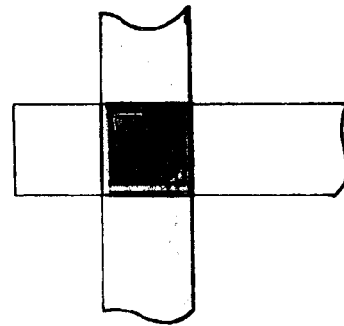
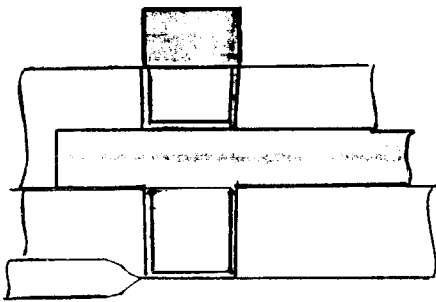
$$DD = 4 \mu\text{m}$$

Shrink-Verfahren

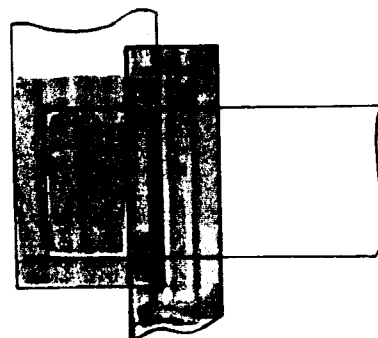
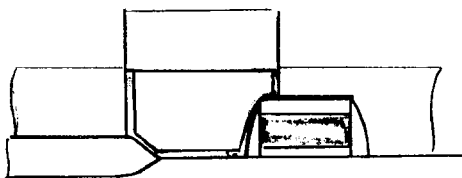
borderless contacts



stacked vias

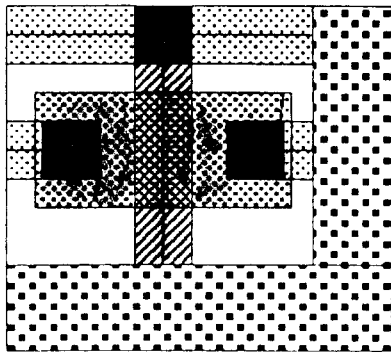
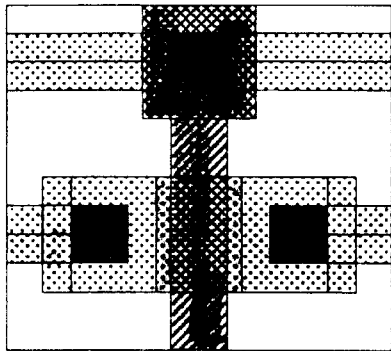


overlapping contacts

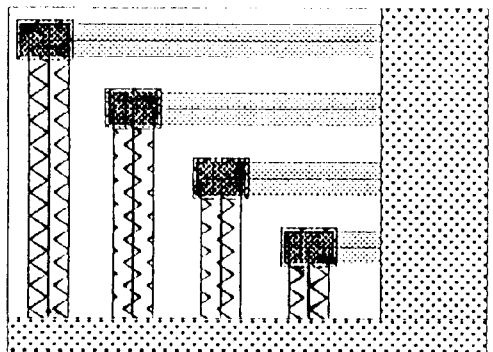
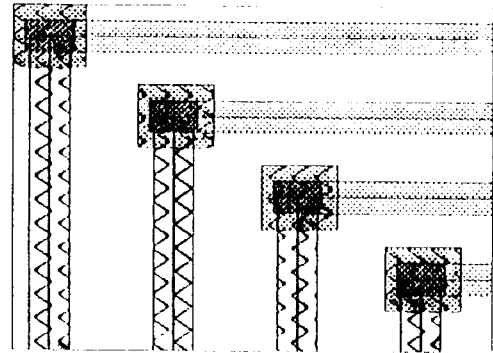


Grenz-Designregeln

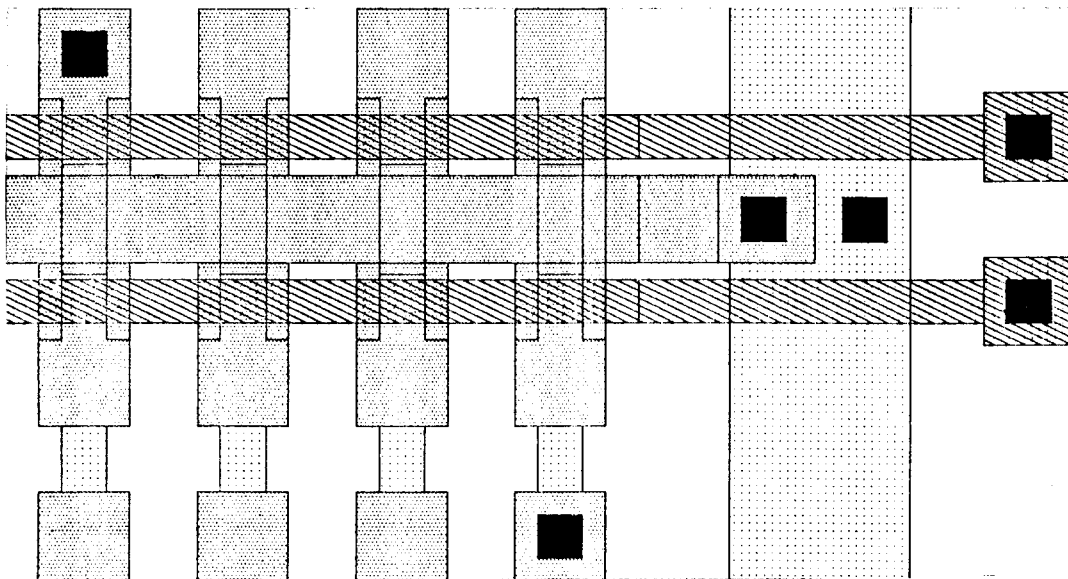
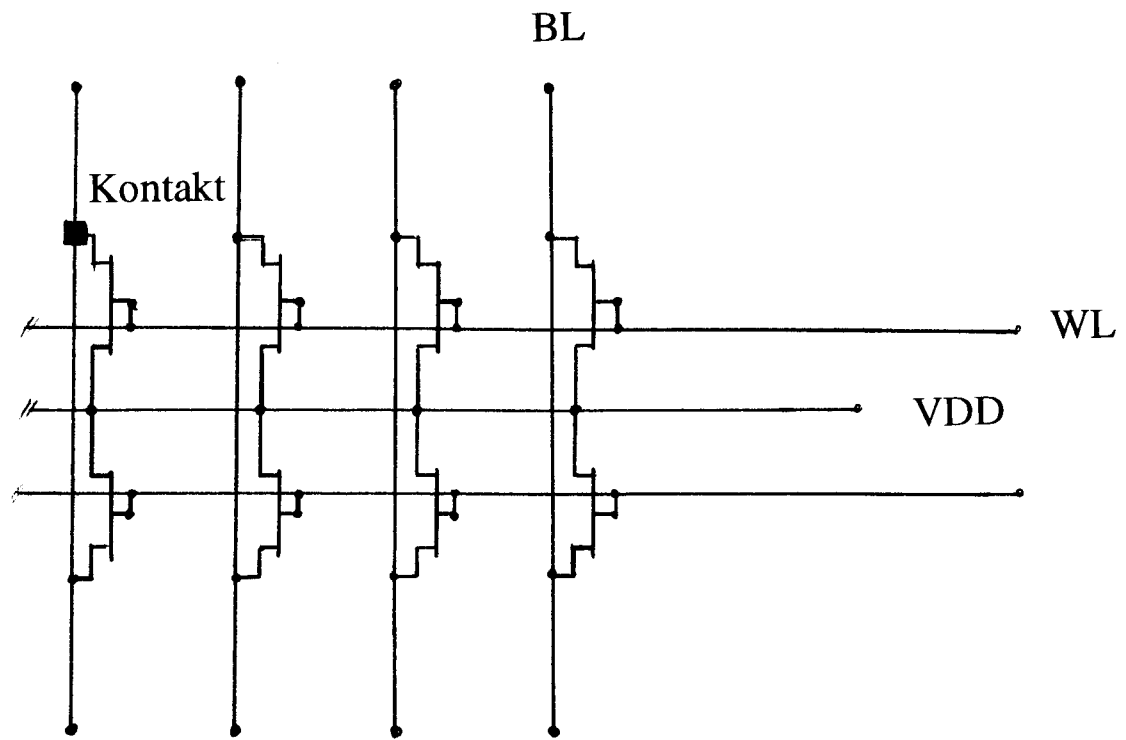
MOS-Transistor-Zelle



Verdrahtungskanal

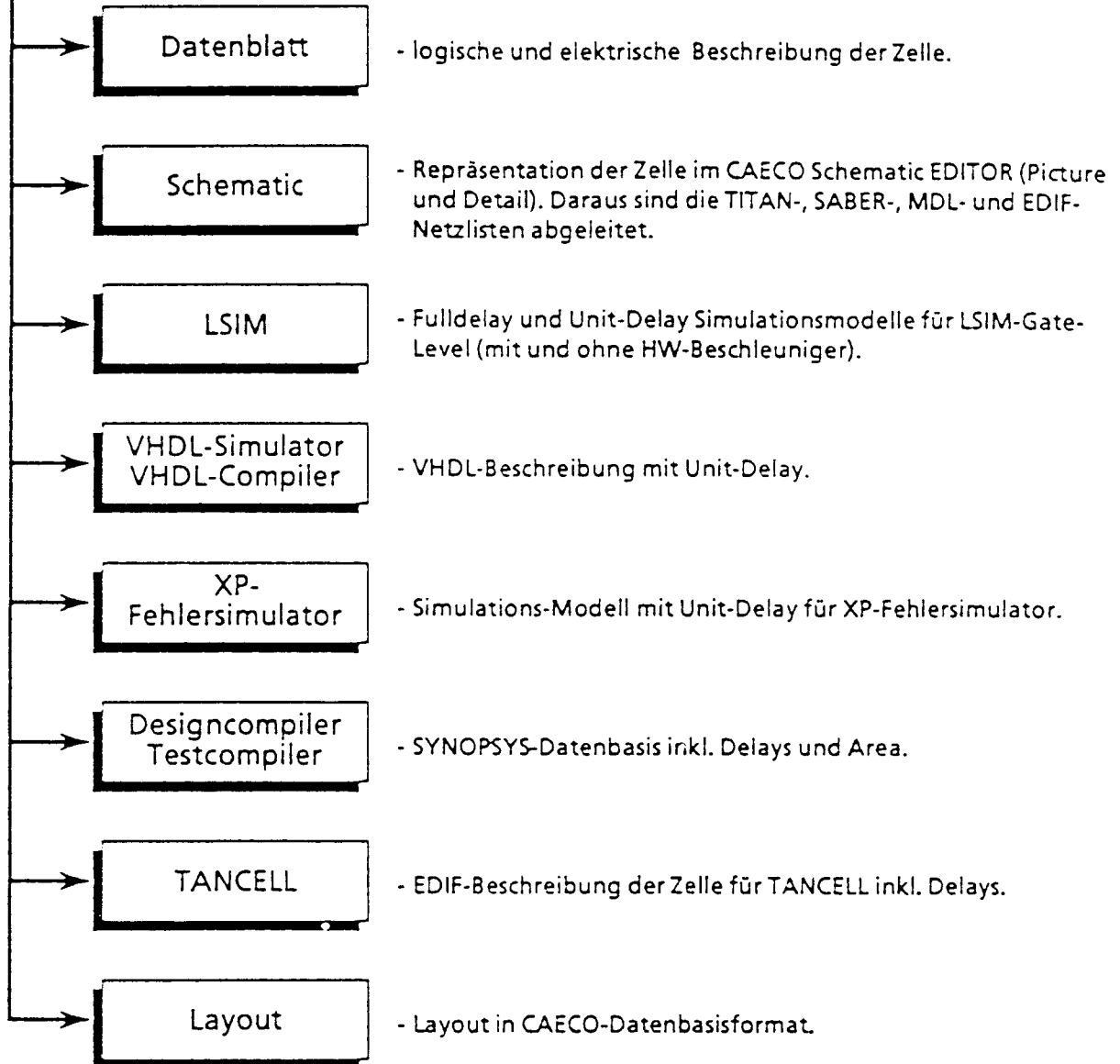


Shrink durch Grenz-Designregeln

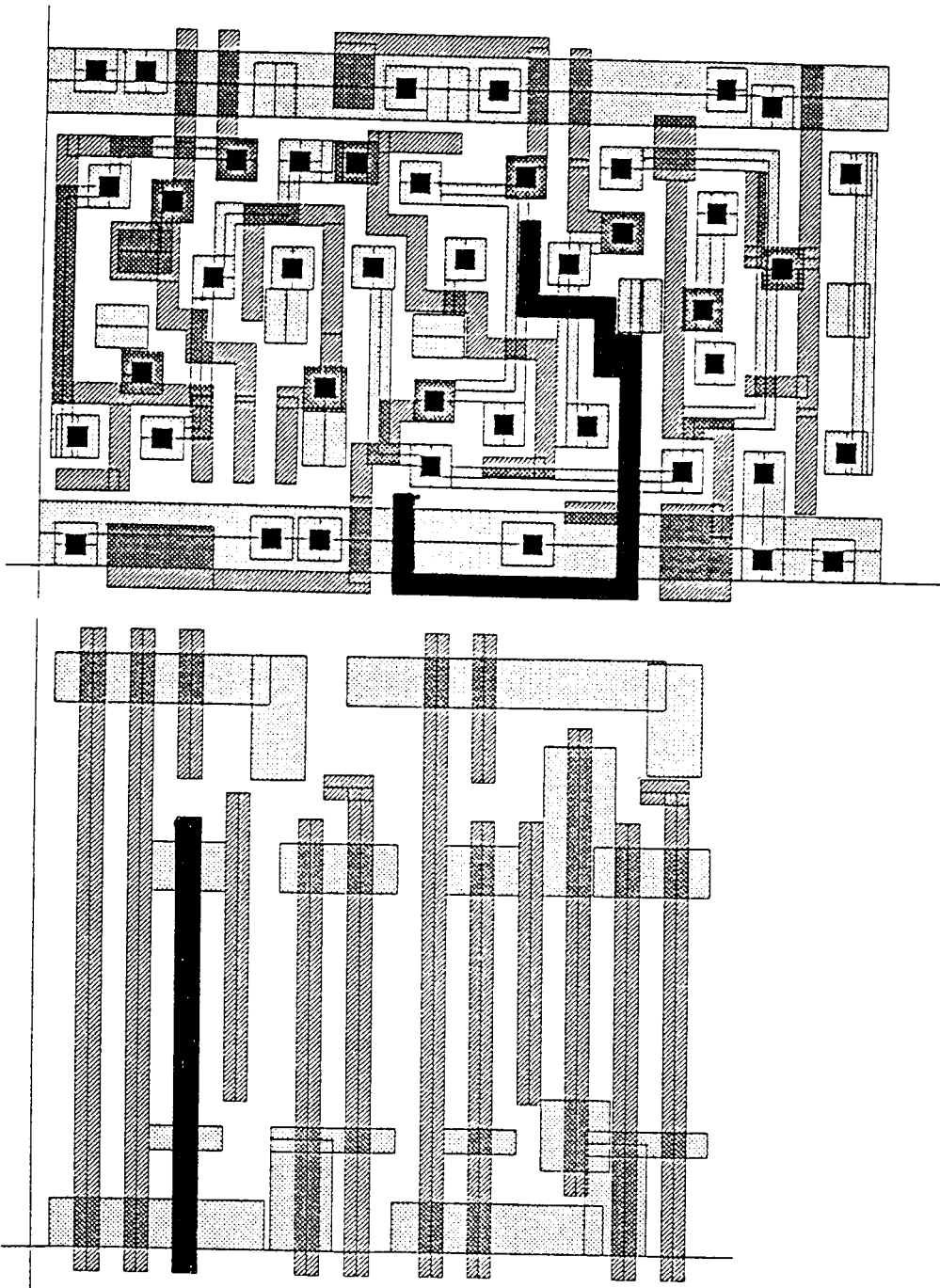
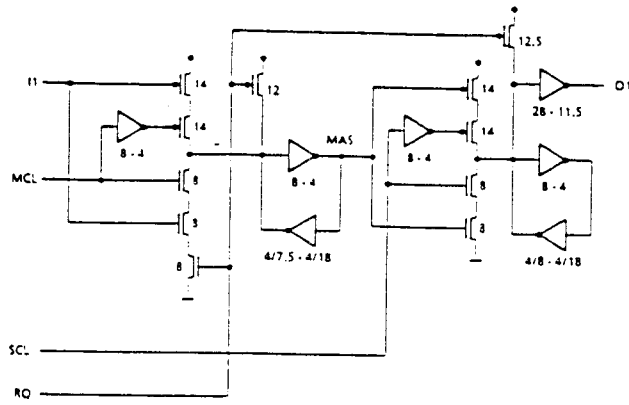


ROM - Zellen

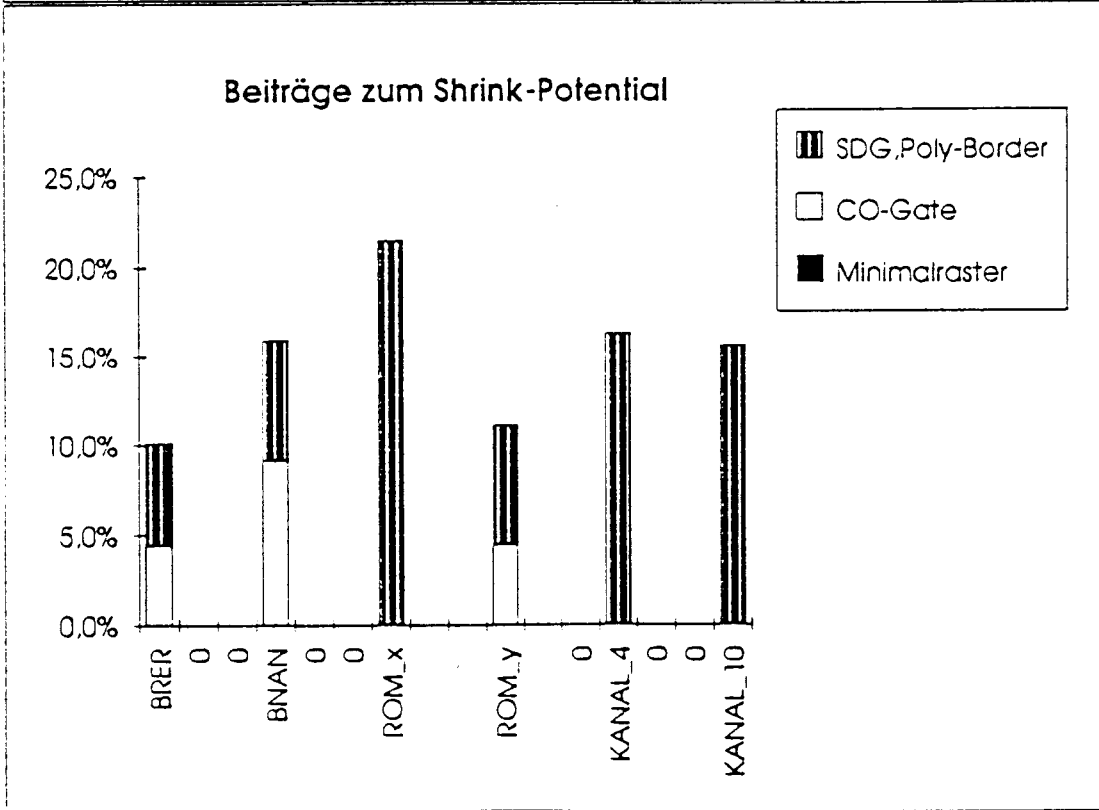
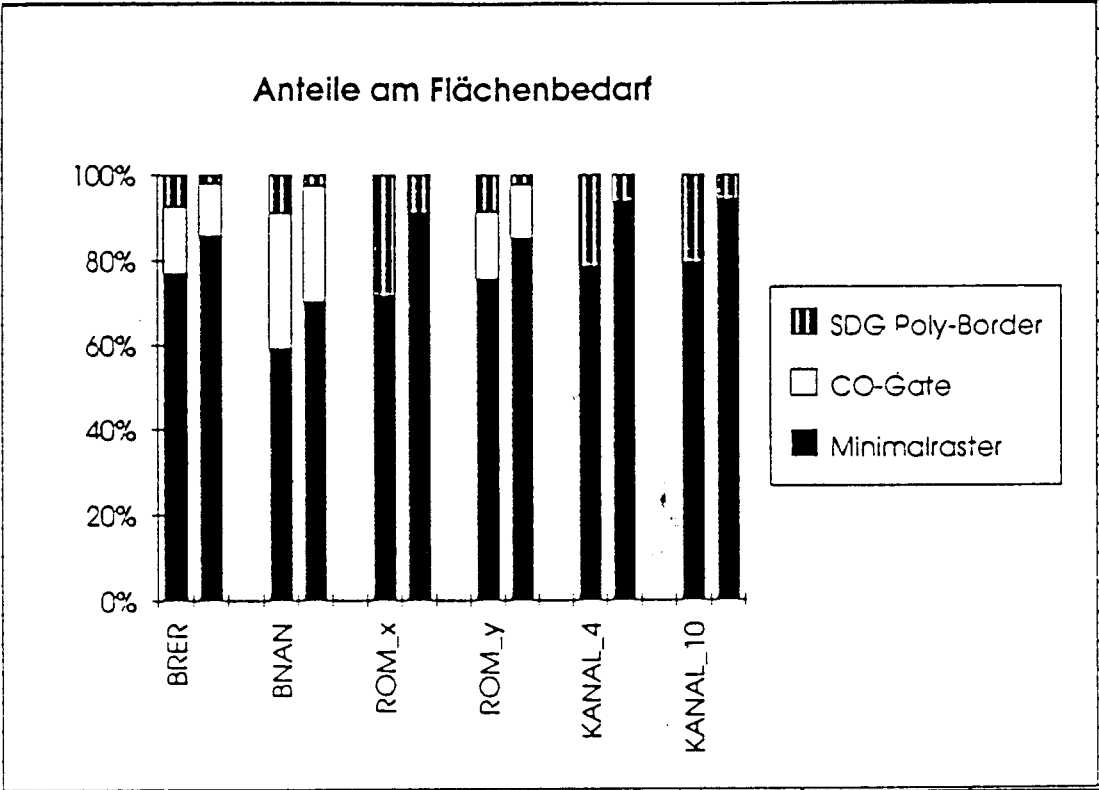
C5P BASELIB Zelle

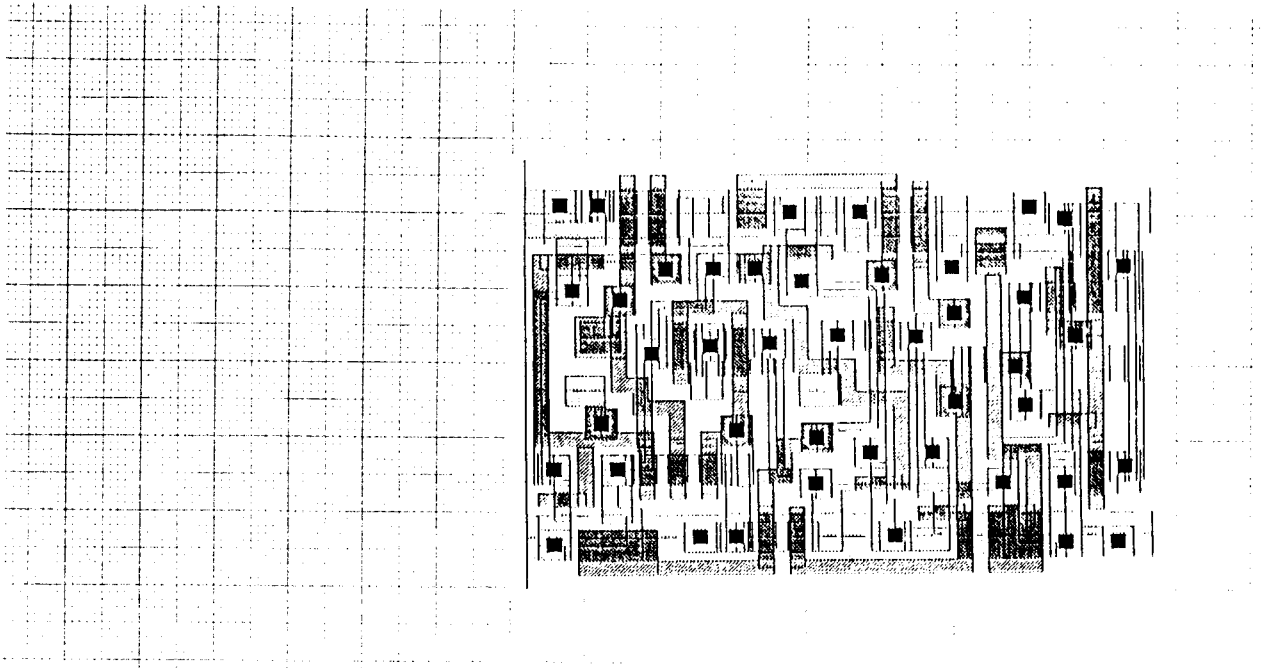


Eine ausführliche Beschreibung der Implementierungen der einzelnen Zellen Views ist im CAD-Handbuch "BASELIB in ASCIA" (SYS.ASC 5) enthalten.

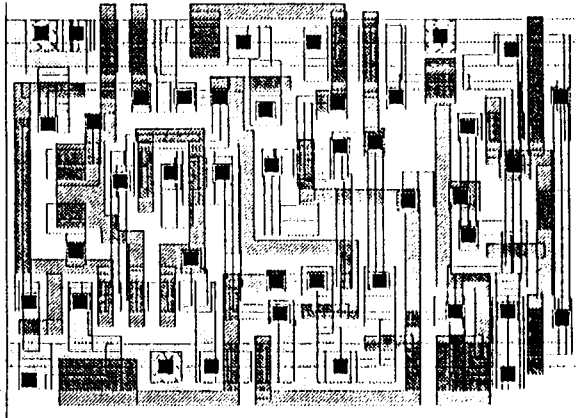


BASELIB-Registerzelle

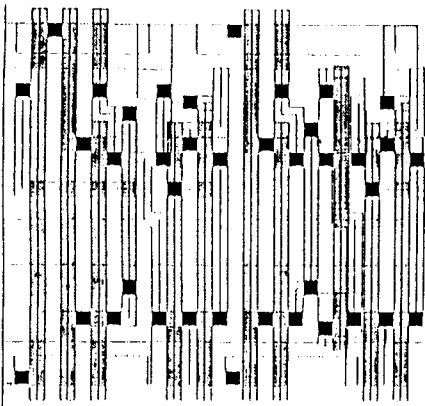




mit borderless contacts



mit borderless
und overlapping contacts

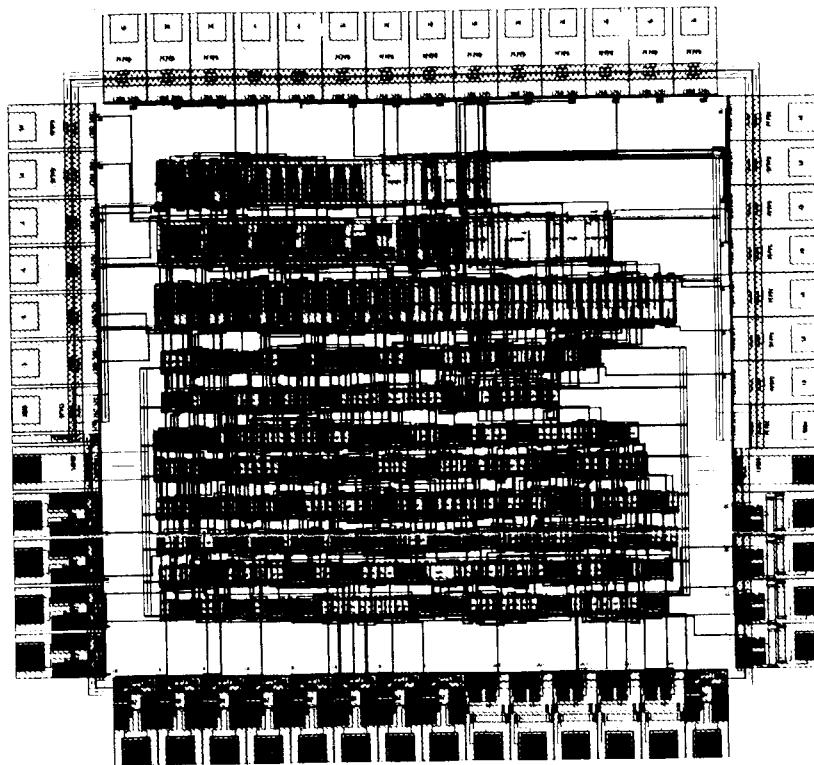


Registerzelle

Chip - Komplexität (DRAM-Bits)	Einführungsjahr	Minimale Struktur (μm)	"Struktur- dichte" ($\mu\text{m}/\mu\text{m}^2$)	Zellen- fläche (μm^2)	Chip- fläche (mm^2)	Scheiben- durchmesser (mm)	Herstell- kosten (DM/ 10^6 Bit)
1M Startprodukt	1987	1,20	4,5	25	60	150	8
1M letzter Shrink	1994	0,90	6,0	12	30	150	2
4M Startprodukt	1990	0,85	6,0	10	90	150	4
4M letzter Shrink	1997	0,65	8,5	5	45	150	1
16M Startprodukt	1993	0,60	8,5	4	140	200	2
16M letzter Shrink	2000	0,45	12	2	70	200	0,5
64M Startprodukt	1996	0,40	12	1,6	200	200	1
64M letzter Shrink	2003	0,30	17	0,8	100	200	0,25
256M Startprodukt	1999	0,25	17	0,65	300	300	0,5
256M letzter Shrink	2006	0,20	24	0,30	150	300	0,12
1G Startprodukt	2002	0,18	24	0,25	450	300	0,25
1G letzter Shrink	2009	0,15	33	0,12	230	300	0,06
4G Startprodukt	2005	0,13	33	0,10	650	500	0,12
4G letzter Shrink	2012	0,10	50	0,05	330	500	0,03
16G Startprodukt	2008	0,09	50	0,04	900	500	0,06
16G letzter Shrink	2015	0,07	70	0,02	450	500	0,015

mit freundl. Genehmigung von Dr. Widmann, Siemens AG

12-Bit Analog-Digitalumsetzer mit 16 analogen Eingängen



- Entwurf: Fachhochschule Aalen
Bearbeiter: Reinhold Wolpert und Jürgen Weber
Betreuung: Prof. Dr. B. Kohlhammer, Dipl.-Ing(FH) G. Busch,
- Layouterstellung: EDA-Zentrum, FH Aalen
- Chipfertigung: MIETEC Alcatel Belgien
- Herstelldatum: II. Quartal 1994
- Kostenträger: MPC-Mittel FH Verbund Baden-Württemberg
- Technologie: MIETEC 2,0 μm CMOS-Prozess
- Chipdaten: Chipgröße: 4,2 x 3,8 mm²
Analoge Signalpins : 27
Digitale Signalpins: 22
Anzahl Transistoren: ca. 7000
- Funktion: Die Analog-Digital Umsetzung erfolgt nach dem Iterationsverfahren
Die Ausgabe des Digitalwertes erfolgt parallel
- Anwendung: Heizungsregelung

Diplomarbeit Testchip Ringostar

Labor Integrierte Elektronik FHT Esslingen

Aufgabenstellung

Im Rahmen einer Kooperation des Labors Integrierte Elektronik der FHTE und der Brunel University of West London werden zur Zeit Forschungsarbeiten über den Einfluß von Variationen der CMOS-Prozeßparameter auf die Leistungsfähigkeit von VLSI-Schaltungen durchgeführt. Der Begriff Leistungsfähigkeit ist bei VLSI-Schaltungen eng mit der maximalen Taktrate verknüpft. Diese Kenngröße wird hauptsächlich durch zwei Komponenten, die eigentlichen MOS Transistoren als aktive Elemente und die Verbindungsleitungen zwischen diesen Bauelementen bestimmt.

Die Signalübertragung zwischen einzelnen Schaltungskomponenten auf einem Chip soll unter nachrichtentechnischen Aspekten betrachtet werden. Eine solche Übertragungslinie setzt sich im einfachsten Fall aus je einem CMOS-Inverter als Sender und Empfänger, sowie einer Microstrip-Leitung auf dem Siliziumsubstrat zusammen. Im Rahmen dieser Diplomarbeit sollten die o. a. Elemente so auf einem Chip realisiert werden, daß die Wechselwirkungen zwischen Leitung und Sender bzw. Empfänger mit Hilfe geeigneter Meßverfahren erfaßt werden können. Ebenso soll der Einfluß der einzelnen Komponenten bestimmt werden können. Der Chip sollte dann am Institut für Mikroelektronik in Stuttgart produziert werden.

Folgende Spezifikationen wurden erstellt:

1. Die Oszillatorfrequenz eines Ringoszillators mit minimalen Verbindungsleitungen soll gemessen werden können. Dadurch läßt sich die Verzögerungszeit eines einfachen Inverters, des Grundelements des Ringoszillators, bestimmen.
2. Messung der Oszillatorfrequenz von Ringoszillatoren mit unterschiedlichen eingebauten Leitungslängen. Daraus sollen die Verzögerungszeiten der Leitungen bestimmt und die Leitungsparameter abgeleitet werden.
3. Automatische Durchführung der in 1. und 2. beschriebenen Analysen on-chip mit integrierten Ansteuer- und Auswerteschaltungen. Die Ausgabe der Messergebnisse soll über eine serielle/parallele Schnittstelle an einen Rechner o.ä. erfolgen.

Realisierung

Der Entwurf gliedert sich in zwei Teile, die Ringoszillatoren und die Auswerteschaltung. Umgesetzt wurde der Entwurf auf einem Gate Forrest GF4 des IMS Stuttgarts in 1,2 µm CMOS Technologie. Dabei waren einige zusätzliche Designschritte notwendig, die später noch erläutert werden.

Die Ringoszillatoren bestehen aus 51 einstufigen Invertern und können aktiviert bzw. deaktiviert werden. Es wurden insgesamt vier verschiedene Typen von Ringoszillatoren implementiert. Bei der Grundschialtung sind die einzelnen Inverter so angeordnet, daß sich zwischen ihnen nur sehr kurze Verbindungsleitungen befinden. Damit soll der Einfluß der Leitungen auf die Oszillationsfrequenz so gering wie möglich gehalten werden und nur die Verzögerungszeiten der Transistoren erfaßt werden. Bei den anderen drei Ausführungen ist die

Inverterkette aufgebrochen und verschiedene Typen von Leitungen mit unterschiedlichen Leitungslängen sind eingefügt worden. Die erste Leitung ist eine Microstrip-Leitung mit zwei übereinanderliegenden Leitungsbahnen, wie sie in der Hochfrequenztechnik verwendet wird, wobei die untere Leiterbahn (Metal 1) auf Ground liegt, während die obere (Metal 2) die Signalleitung bildet. Bei den anderen beiden Typen von Leitungen wird eine Signalleitung (Metal 1) einmal hauptsächlich über reines Gate-Gebiet geführt und im anderen Fall abwechselnd über Gate- und aktives Gebiet. Der Ground liegt hierbei im Substrat. Es können also alle gängigen Arten von Leitungen, wie sie bei integrierten CMOS Schaltungen vorkommen, untersucht werden.

Bei der Umsetzung des Designs mußten einige Punkte beachtet werden, die über den normalen Entwurf von Logikschaltungen auf Gate-Forrest Ebene hinausgehen. Dadurch erfolgte das Layout der Ringoszillatoren im wesentlichen von Hand. Es mußte z.B. sichergestellt werden, daß sich die Inverter unmittelbar nebeneinander befinden, daß die definierten Leitungslängen eingehalten wurden oder daß sich keine anderen Leitungen im Gebiet der Ringoszillatoren befinden um eine gegenseitige Beeinflussung ausschließen zu können.

Der zweite Teil des Entwurfs dient nun zur Steuerung und Auswertung des Messvorganges. Das Messprinzip beruht im wesentlichen darauf, daß die Oszillationsfrequenz des Ringoszillators mit einem externen Referenztaktsignal verglichen wird. Dazu wird das Signal des Ringoszillators, der mit ca. 20MHz schwingt sehr stark heruntergeteilt so daß sich eine Frequenz im Bereich von mehreren Hertz ergibt. Nun zählt man die Periodendauer dieser niedrigen Frequenz mit dem externen Referenztakt und erhält so einen Wert aus dem sich die Oszillationsfrequenz des Ringoszillators berechnen läßt. Das Ergebnis wird als 16bit-Festkommazahl über eine parallele Schnittstelle ausgegeben.

Auswertung

Die Auswertung des Experiments ist zur Zeit noch im Gange. Aus den Messungen sollen die Leitungsparameter abgeleitet werden. Weiterhin ist geplant, Messungen, analoge Simulationen mit SPICE und digitale Simulationen miteinander zu vergleichen.

Voltage-Controlled Oscillators

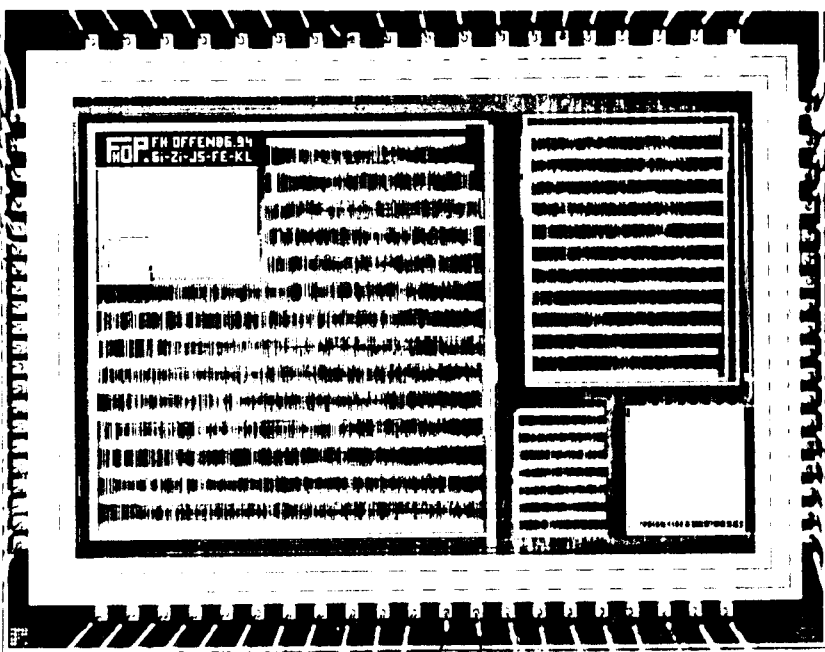
Achim Bumüller

Entwurf: Fachhochschule Furtwangen,
De Montfort University Leicester;
Masterprojekt: Integrierte Hoch-
frequenzoszillatoren;

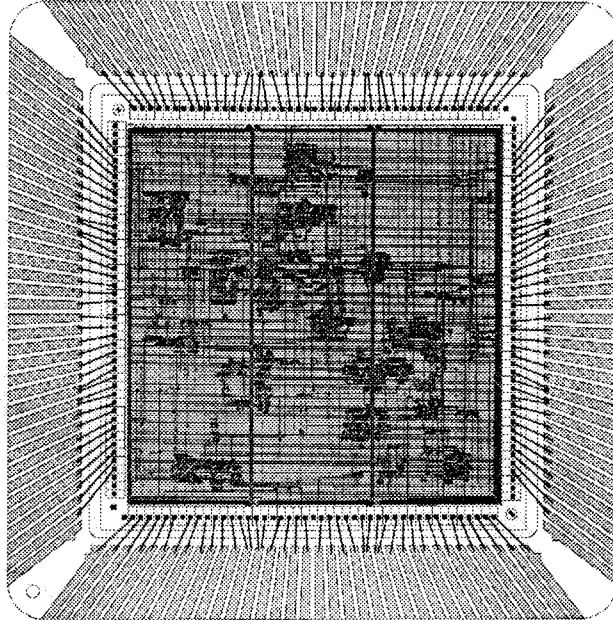
Chipfertigung: SGS-Thomson
Technologie: HF2CMOS, 2 μ m BiCMOS
CAD-Software: ADS auf Cadence Edge
Chipfläche: Chip1: 2mm²
Chip2: 2.2mm²
Chip3: 2.15mm²
Chip4: 1.9mm²

Gehäuse: 4*DIL18
Herstellung: Mai 1994
Auslieferung: Dezember 1994
Kostenträger: MPC FH-Verbund Baden-Württemberg
Beschreibung: Für das Masterprojekt wurden vier
vollständig integrierte VCO Chips
entwickelt. Die VCOs bestehen
jeweils aus einer Eingangs- und
Ausgangsstufe einer Versorgungs-
schaltung und konzeptionell unter-
schiedlichen emittergekoppelten
Multivibratoren.

Anwendung: VCOs werden in PLL Schaltungen und
zur Signalerzeugung eingesetzt.

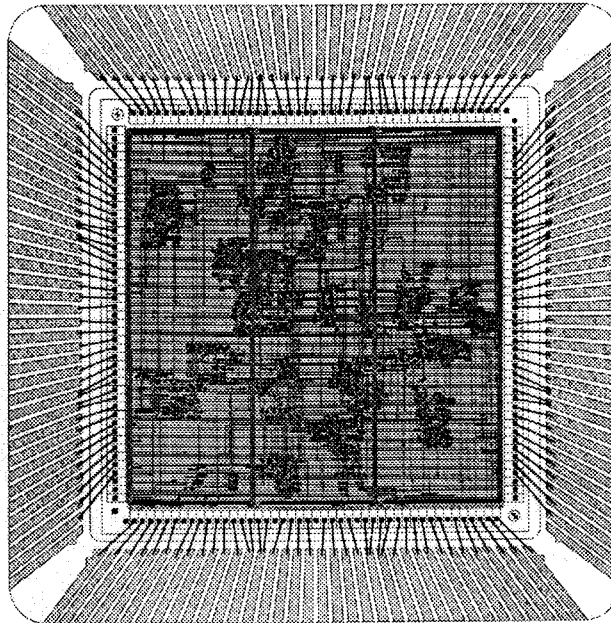
Bezeichnung:		
FHOP - Mikroprozessor - Kernel		
Funktion:		
<p>16 - bit Mikroprozessor mit 115 Befehlen, 3 Adressierungsarten, 8 Registern a 16 bit, Ready- und Hold - Funktion. RISC/ CISC - Architektur, Spitzenleistung bis 5 MIPS bei 30 MHz, eigener Objektcode, externe Busschnittstelle 8/16 Bit multiplex. Der Prozessorkern hat geringe Aumae und kann als Standardzelle in ASICs implantiert werden. Im Testchip sind ferner enthalten:</p> <p>256 Byte RAM - Speicher, Programmierbare Input/Output - Schnittstelle mit 3 Ports, Interruptbetrieb, mehrere Betriebsarten, Dekodierung fr RAM und PIO sowie fr externe Bussteuerung</p>		
Technologie:		
CMOS ES 2 1.0 um EPDC mit 1 Poly / 2 Metal - Routingebenen		
Entwicklungsbeginn:	Lieferung:	
9/93	EUROCHIP , RUN # 114	11/94
Anzahl:	gut/schlecht:	geprft:
20	15/5	Feit/Klump
Entwurfshistorie:		
<ol style="list-style-type: none"> 1. Entwurf 1993 durch die Diplomanden Gieringer und Zimpfer nach Architekturvorgabe durch Prof. Jansen in VHDL. Synthese aller Schaltungsteile und ausfhrliche Simulation auf VHDL wie Gatterebene. 2. Entwurf ergnzt durch PIO und geroutet auf IC - Station (MENTOR) durch Diplomanden F.Klser 3. Gefertigt ber EUROCHIP Run #114 4. Geprft und vermessen im Labor Schaltungstechnik FHO 2/94 <p>Der Design wurde auf der ASIC 94 in Rochester/USA und auf dem EUROCHIP - Workshop/Dresden 1994 international prsentiert.</p>		
Bemerkungen:		
Der Kernel arbeitet komplett, beim PIO nur die Ausgabe wegen Fehler in der Dekodierung. Die Tests sind noch nicht abgeschlossen.		
Dimensionen:	Gehuse:	Komplexitt:
5.0 x 7.0 mm ²	Keramik PGA 84	39033 Transistoren + RAM + ROM
Chipfoto:		
		

Dividierer als Teil eines Digitalen Bildprozessors



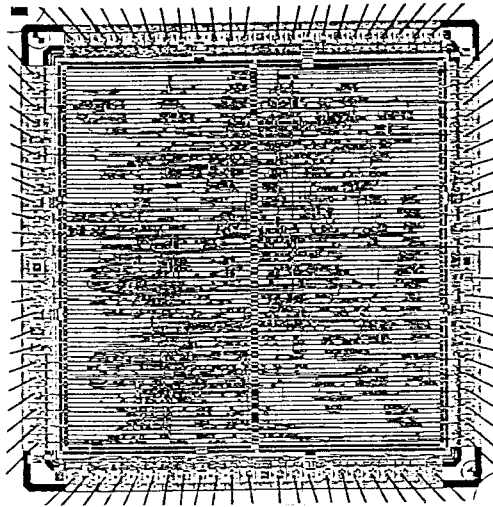
Entwurf:	Fachhochschule Heilbronn Bearbeiter: Diplomand Holger Vogel Betreuer: Prof. Dr. Uwe Jäger Prof. Dr. Hermann Claus
Layouterstellung und Chipfertigung:	Institut für Mikroelektronik (IMS), Stuttgart
Herstelldatum:	IV.Quartal 1994
Kostenträger:	MPC-Mittel FH Verbund Baden-Württemberg
Technologie:	IMS 1,2 μ m Gate Forest
Chipdaten:	Master: GFD- α Chipgröße: 11,3 x 11,3 mm ² Signalpins: 112
Funktion:	Der "Dividierer" wertet die Signale des vorangestellten "Koordinatensummierers" aus und berechnet daraus die X- und Y-Schwerpunktkoordinaten eines Bildobjektes.
Anwendung:	Der Dividierer gehört zu einem aus zwei Chips bestehenden digitalen Bildprozessor zur Echtzeitobjektverfolgung in der Bildverarbeitung.

Koordinatensummierer als Teil eines Digitalen Bildprozessors



Entwurf:	Fachhochschule Heilbronn Bearbeiter: Dipl. Ing. Holger Vogel Betreuer: Prof. Dr. Uwe Jäger Prof. Dr. Hermann Clauss
Layouterstellung und Chipfertigung:	Institut für Mikroelektronik (IMS), Stuttgart
Herstelldatum:	IV. Quartal 1994
Kostenträger:	MPC-Mittel FH Verbund Baden-Württemberg
Technologie:	IMS 1,2µm Gate Forest
Chipdaten:	Master: GFD-α Chipgröße: 11,3 x 11,3 mm ² Signalpins: 112
Funktion:	Der "Koordinatensummierer" ermittelt aus dem Videosignal eines Binärbildes bestimmte Summen von Bildpunkten. Diese werden zur weiteren Auswertung an den nachfolgenden "Dividierer" übergeben.
Anwendung:	Der Koordinatensummierer gehört zu einem aus zwei Chips bestehenden digitalen Bildprozessor zur Echtzeitobjektverfolgung in der Bildverarbeitung.

Zähler-Schaltung



Entwurf: FH Ravensburg-Weingarten
Diplomarbeit Herr Bender,
betreut durch W.Ludescher

Chipfertigung: IMS Stuttgart

Technologie: 1.2um CMOS, Gate-Forest GF4G1

Chipabmessungen: 7x7mm, ca 12000 Transistoren

Pads: 71 Signalpads

Gehäuse: CLCC 84

CAD-Software: Neted, Quicksim von Mentor und
Hilo von Genrad

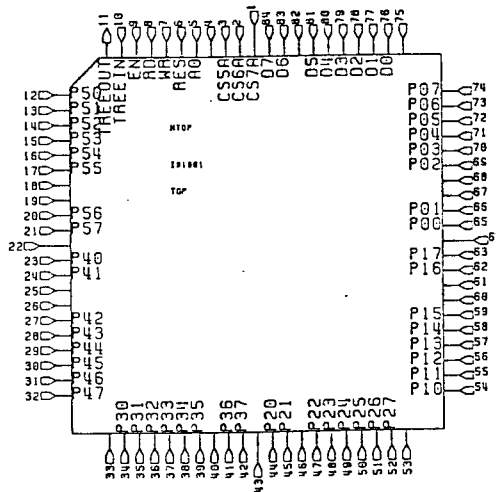
Eigenschaften: Zähler zur Messung von Frequenz,
Periodendauer, Tastverhältnis und
Phase.
Zeitbasis-Teiler, Vorteiler,
Torsteuerung und uP-Schnittstelle

Herstelldatum: "First Silicon" Jan 95

Testergebnisse: liegen noch nicht vor (Dez94)

Kostenträger: MPC-Mittel
FH-Verbund Baden-Württemberg

PIO - Peripherer Input-Output-Baustein



Entwurf: FH Ravensburg-Weingarten
Diplomarbeit Herr Ender,
betreut durch W.Ludescher

Chipfertigung: IMS Stuttgart

Technologie: 1.2um CMOS, Gate-Forest GF4G1

Chipabmessungen: 7x7mm, 25452 Transistoren

Pads: 66 Signalpads

Gehäuse: CLCC 84

CAD-Software: Neted, Quicksim von Mentor und
Hilo von Genrad

Eigenschaften: 48 frei programmierbare I/O-Pins,
8 ICs kaskadierbar, synchrones
Programmieren aller Pins,
synchrones Ein- und Ausgeben.

Herstelldatum: "First Silicon" Juni 94

Testergebnisse: Baustein wird erprobt (Dez94)

Kostenträger: MPC-Mittel
FH-Verbund Baden-Württemberg

Mikrocontrollerkern für die Verwendung in integrierten Schaltungen

In anwendungsspezifischen integrierten Schaltungen (ASICs) für Steuer- und Regelaufgaben ist häufig der Einsatz eines Microcontrollers notwendig. Die kommerziell angebotenen Mikrocontrollerkerne (z.B. 8051) sind für viele Anwendungen überdimensioniert und entsprechen dadurch dem Grundgedanken des maßgeschneiderten ICs nicht oder sie liegen nur für eine bestimmte Technologie vor, die bei der geplanten Entwicklung nicht zum Einsatz kommen soll.

Charakteristische Daten:

Der hier beschriebene Microcontrollerkern ist für einfache Steuer- und Regelaufgaben konzipiert und besitzt folgende Eigenschaften:

Datenwortlänge: 12 bit; Befehlswortlänge : 14 bit

ROM- und RAM-Adressbereich: in 2er-Potenzen gestuft und anwendungsspezifisch wählbar bis maximal 1k Worte bzw. 32 Worte.

16 Befehle: 5 Transport-, 4 Rechen-, 2 Schiebe-, 3 Sprung und 2 Sonderbefehle.

Timer mit maximalem Teilerfaktor 2^{21} und anwendungsspezifisch wählbaren Ausgangssignalen.

1 Paralleleingang (1 Byte), 6 Binäreingänge

2 Ausgänge für pulswertenmodulierte Signale, 6 Binärausgänge

Beschreibungsform:

Der Microcontroller ist hierarchisch aufgebaut und mit VHDL beschrieben worden. Er liegt in einer technologieunabhängigen Schaltungsform vor. Aus dieser kann mit dem Programm AUTOLOGIC eine technologieabhängige Realisierungsform erzeugt werden. Für Testzwecke ist ein Scanpath vorgesehen.

Testmuster:

Eine Testschaltung mit dem Mikrocontrollerkern ist bei ES2 als Standardzellenschaltung in $1\mu\text{m}$ CMOS-Technologie realisiert worden. Der Microcontroller besteht aus ca. 18000 Transistoren und belegt von den $14,6\text{ mm}^2$ Chipfläche etwa 7 mm^2 .