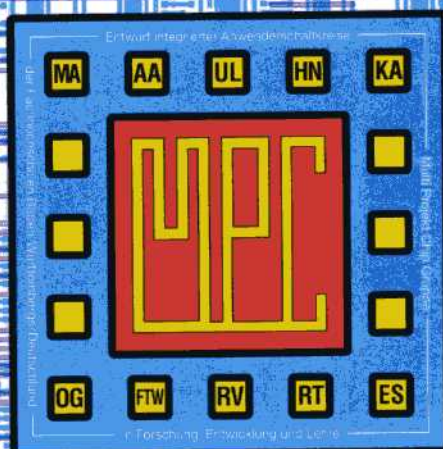


MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Februar 1996

Karlsruhe



MULTIPROJEKT CHIP - GRUPPE

BADEN - WÜRTTEMBERG

Workshop Februar 1996

Karlsruhe

Herausgeber: Fachhochschule Ulm

© 1996 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Inhaltsverzeichnis

| | Seite |
|--|-------|
| 1. Spezifikation und Konstruktion gemischt analog/digitaler Systeme C. Grimm, P. Oehler, K. Waldschmidt, Uni Frankfurt | 5 |
| 2. Verstärkerberechnung mit der Signalflußmethode H. Khakzar, FH Esslingen | 9 |
| 3. Bandgap-Quelle in 0,7 µm-CMOS-Technologie H. Töpfer, C. Holzapfel, FH Esslingen | 29 |
| 4. Integrated High Frequency Oscillator A. Bumüller, FH Furtwangen | 35 |
| 5. Bericht über Erfahrungen beim Einsatz von LOG/iC2 Eval im Labor E. Prochaska, FH Heilbronn | 49 |
| 6. Interaktives Hilfesystem für Mentor Graphics Boardstation G. Busch, FH Aalen | 59 |
| 7. Web-Seiten im Internet B. Jans, FH Aalen | 65 |
| 8. Entwurf eines Lottozahlengenerators als integrierte Schaltung F. Klöser, D. Jansen, FH Offenburg | 71 |
| 9. Verbesserung einer digitalen Winkel- und Lagememeßschaltung C. Löffler, T. Munz, G. Kampe, W. Zimmermann, FH Esslingen | 75 |

| | Seite |
|--|-------|
| 10. Installationsbus für das 230V Netz | 85 |
| T. Luksch, O. Fröhlich, E. Ringwald, A. Führer, FH Ulm | |
| 11. Funkuhrschaltkreise in Mikropowertechnik | 95 |
| H. Sapotta, FH Karlsruhe | |
| Vorträge die an anderer Stelle von Mitgliedern der MPC-Gruppe gehalten wurden | |
| 12. ASIC-Entwurfsmethode bei extremen Temperaturen und besonders niedrigem Leistungsbedarf, ein Anwendungsbeispiel | 105 |
| B.C. Röllgen, K.H. Schmidt, FH Furtwangen | |
| 13. Microelectronics Education at Fachhochschulen in Baden-Württemberg | 117 |
| A. Führer, D. Jansen, G. Kampe, M. Rieger, W.H. Ritzert, K.H. Schmidt | |

Gefertigte Bausteine:

| | Seite |
|--|-------|
| 14. Testchip mit Analogfunktionen H. Töpfer, C. Holzapfel, FH Esslingen | 121 |
| 15. Frequenzmeter mit Melodie D. Jansen, FH Offenburg | 122 |
| 16. Lottozahlengenerator D. Jansen, FH Offenburg | 123 |
| 17. Phasenselektiver Gleichrichter R. Kammerer, R. Hönl, FH Furtwangen | 124 |
| 18. Uhrenschtaltung 5. Semester Elektronik, FH Ravensburg-Weingarten | 125 |
| 19. Breitbandverstärker-IC M. Wöhrle, G. Forster, FH Ulm | 126 |
| 20. Analog-Layout1 und Analog-Layout2 A. Bamba, A. Führer, FH Ulm | 127 |
| 21. Schnittstellentester für serielle Schnittstellen J. Kirner, G. Busch, B. Kohlhammer, FH Aalen | 128 |

Spezifikation und Konstruktion gemischt analog/digitaler Systeme *

Christoph Grimm, Peter Oehler und Klaus Waldschmidt

Technische Informatik, J. W. Goethe - Universität Frankfurt
EMail: {grimm|oehler|waldsch}@ti.informatik.uni-frankfurt.de

Zusammenfassung

In diesem Beitrag wird eine Übersicht über die Spezifikation und Konstruktion gemischt analog/digitaler Schaltungen auf Systemebene gegeben. Es wird hierbei insbesondere auf Spezifikationsaspekte eingegangen. Zur Analyse und Partitionierung der Systemspezifikation in analoge und digitale Subsysteme werden grundlegende Ideen des Konstruktionswerkzeugs KANDIS[1] vorgestellt.

1 Einleitung

Ein hybrides, gemischt analog/digitales System besteht aus einer physikalischen, zeit- und wertkontinuierlichen Umwelt, analogen, elektrischen Systemteilen und digitalen Systemteilen. Diese stehen in Wechselwirkung miteinander. Zur Modellierung werden drei Zeitmodelle verwendet[2]: Differentialgleichungen modellieren zeitkontinuierliche Systemteile. Differenzgleichungen, Datenflußgraphen und Petri-Netze beschreiben zeit- und ereignisdiskrete Systemteile.

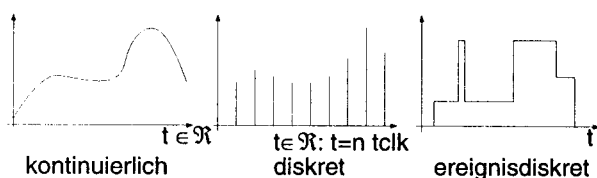


Abbildung 1: Zeitmodelle hybrider Systeme

z - Transformation und Abtasttheorem erlauben eine zeitdiskrete Implementierung zeitkontinuierlich spezifizierter Funktionen zur Signalverarbeitung.

*Diese Arbeit wird von der DFG unter dem Kennzeichen WA 357/9 gefördert.

1.1 Probleme

In [3] wird der Entwurfsablauf wie in Bild 2 dargestellt skizziert. In den unterschiedlichen Zeitmodellen werden unterschiedliche Zeitmodelle und -formalismen verwendet. Deshalb muß das System vor der formalen Spezifikation partitioniert und dann getrennt spezifiziert, konstruiert und verifiziert werden. Die Partitionierung auf die einzelnen Zeitmodelle, die zur Spezifikation verwendet werden, gibt hierbei die Domäne der Implementierung – analog oder digital – vor. Es liegt also eine Überspezifikation vor.

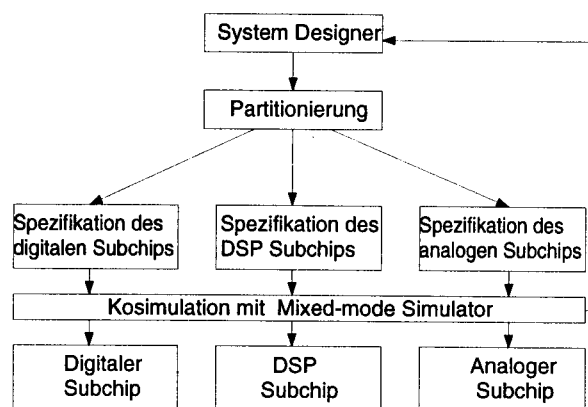


Abbildung 2: Entwurf eines hybriden Systems

Die Aufteilung in unterschiedliche Implementierungsdomänen wird intuitiv vorgenommen. Deshalb kann sie zu ineffizienten Strukturen führen. Eine Spezifikation sollte aber abstrakt genug sein, um eine Implementierung in einer alternativen Domäne zu ermöglichen. Bei der Konstruktion einer Spezifikation muß versucht werden, alternative Strukturen zu berücksichtigen, wenn die Spezifikation dies zuläßt.

2 Spezifikation

Auf hoher Abstraktionsebene können hybride Systeme durch Blockschaltbilder beschrieben werden. Die Funktion eines Blocks wird operational durch Angabe eines Verfahrens oder deklarativ durch Angabe einer Funktion beschrieben. Die Blöcke kommunizieren über gerichtete, rückwirkungsfreie Signale. Diesen Signalen werden keine physikalischen Größen zugeordnet ("Nichtkonservatives System").

Um den Entwurf durch Computer unterstützen zu können, muß die Spezifikation formal sein. Es kann zwischen

- formaler, textbasierter Spezifikation und
- formaler, graphischer Spezifikation

unterschieden werden.

2.1 Textbasierte Spezifikation

Mit Modellierungssprachen wie VHDL-A können hybride Systeme auf verschiedenen Abstraktionsebenen formal textbasiert modelliert werden. Zur Entwurfsautomatisierung ist nur eine Spezifikation auf hoher Abstraktionsebene sinnvoll.

Zur textuellen Spezifikation auf hoher Abstraktionsebene (nichtkonservatives System) kann VHDL-A[5] oder VHDL-hybrid[6] verwendet werden. Die Struktur des Blockschaltbildes kann durch die Verwendung von Komponenten in VHDL dargestellt werden. Die Funktion eines Blocks kann algorithmisch durch sequentielle Anweisungen oder funktional durch Übertragungsfunktionen im Zeitbereich spezifiziert werden. Um Übertragungsfunktionen im Frequenzbereich spezifizieren zu können, können in VHDL-hybrid oder VHDL-A die Komponenten `s_polynomial`, und `s_partial` oder `ddt` und `integ` verwendet werden.

2.2 Graphbasierte Spezifikation

Textbasierte Modelle sind keine geeignete Darstellung, um Transformationen oder Syntheseschritte innerhalb eines Entwurfsalgorithmus darzustellen. Deshalb muß diese Darstellung in eine graphbasierte Darstellung übersetzt werden. Die graphbasierte Darstellung muß in der Lage sein, Verhalten in allen drei Zeitdomänen darstellen zu können. Hierzu sind Datenflußgraphen und Petri-Netze nicht geeignet, da deren Semantik rein ereignisgesteuerter Natur ist[7].

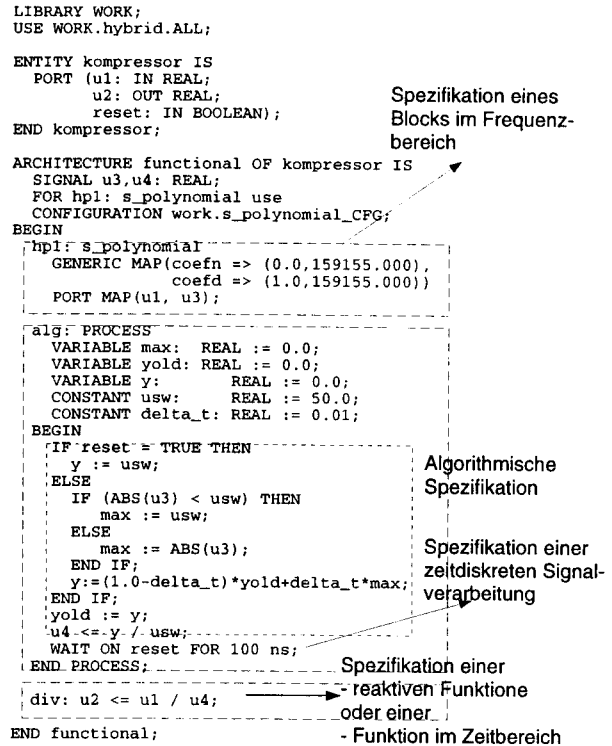


Abbildung 3: Spezifikation in unterschiedlichen Zeitmodellen auf hoher Abstraktionsebene mit VHDL-hybrid

In [8], [9] wird das Modell des KIR - Graphen vorgestellt. Er erlaubt die gemeinsame, graphbasierte Darstellung zeit/ereignisdiskreter und zeitkontinuierlicher Funktionen:

- Neben der durchzuführenden Operation f muß auch beschrieben werden, wann f ausgeführt werden soll. Eine "Schaltregel" a ist Teil jedes Knotens und kann von Knoten zu Knoten verschieden sein. Die Knoten des Graphen besitzen jeweils eigene Schaltregeln.
- Die Kanten des Graphen stellen Signale $d(t)$ dar. Sie sind also eine Funktion der Zeit im jeweiligen Zeitmodell. Dies erlaubt die Integration bzw. Differentiation über die Zeit.

Ein hybrides System wird als Graph mit der Schaltregel a_{DESS} dargestellt. Diese Schaltregel gibt diesem Graph die Semantik eines Blockschaltbildes. Die Operation dieser Knoten kann funktional durch Angabe

einer Funktion im Zeit- oder Frequenzbereich oder operational durch einen Subgraphen, der ein bzw. eine Struktur beschreibt dargestellt werden. Subgraphen mit a_{DTS} beschreiben Funktionen, die in regelmäßigen Abständen ausgeführt werden. Subgraphen mit a_{DEVS} werden in δ -Zeitschritten ausgeführt (vgl. [4]).

3 Konstruktion

Die Spezifikation in Form eines Blockschaltbilds funktionaler Blöcke enthält eine Struktur. Diese Struktur wurde gewählt, um die geforderte Funktion sinnvoll und effizient spezifizieren zu können. Es muß nicht die optimale Struktur der Implementierung sein. Mit Hilfe der z -Transformation und des Abtasttheorems lassen sich auch zeitdiskrete, digitale Implementierungen zeitkontinuierlich spezifizierter Funktionen finden (Abbildung 5). Vor der Implementierung müssen andere, eventuell zu effizienteren Implementierungen führende Darstellungen des selben Verhaltens untersucht werden ("Re-Partitionierung"). Mit diesem Problem beschäftigt sich das Entwurfswerkzeug KANDIS[1]. Hierbei wurde folgender Ansatz gewählt:

Eine Spezifikation auf hoher Abstraktionsebene (vgl. Kapitel 2) wird in einen KIR - Graphen übersetzt. Bei signalverarbeitenden Blöcken wie Filtern oder nichtlinearen Übertragungsfunktionen hat man die Möglichkeit, diese wahlweise analog oder digital zu implementieren. KANDIS vergleicht zwei unterschiedliche Partitionierungen, indem es die Werte für Flächen-, Leistungs- und Zeitbedarf durch Schätzverfahren ermittelt. Ausgehend von einer gegebenen, initialen Partitionierung wird versucht, durch Verschieben der Grenzen zwischen analoger und digitaler Domäne bessere Systempartitionierungen zu finden.

Ist durch das Entwurfswerkzeug KANDIS eine Systempartitionierung gefunden worden, kann in den jeweiligen Domänen mit bekannten Entwurfswerkzeugen entworfen werden.

4 Ausblick

VHDL-A oder VHDL können als Ausgangsbasis für die Konstruktion gemischt analog/digitaler Systeme verwendet werden. Hierzu muß das System auf hoher Abstraktionsebene als *nichtkonservatives System* spezifiziert werden. Das Entwurfswerkzeug KANDIS ermöglicht die rechnergestützte Analyse und Partitionierung so spezifizierter Systeme.

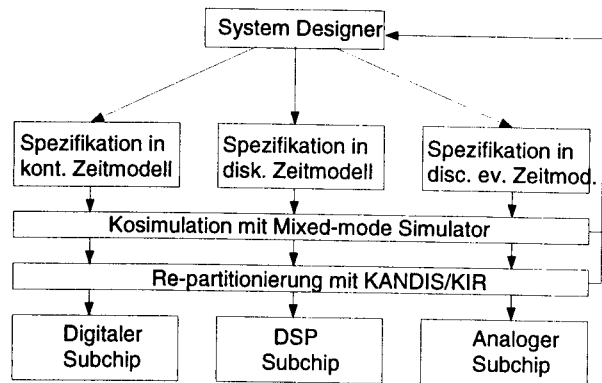


Abbildung 6: Ablauf des Entwurfs hybrider Systeme mit VHDL-A/VHDL-hybrid und KANDIS

Die Entwicklung des KANDIS - Frontends (Compiler VHDL-hybrid nach KIR) ist abgeschlossen. Momentan wird an den Methoden zur Parameterschätzung in beiden Domänen gearbeitet.

Es wird der in Abbildung 6 skizzierte Entwurfsablauf angestrebt. Dieser vermeidet durch die von KANDIS frühzeitig ermittelten Schätzwerte und Systempartitionierungen häufige Designänderungen oder gar Redesigns. Dies kann die Entwurfszeit verkürzen und gibt dem Entwickler mehr Zeit und Möglichkeiten für die Optimierung des Systems.

Literatur

- [1] Peter Oehler, Christoph Grimm, and Klaus Waldschmidt. KANDIS - A Tool for Construction of Mixed Analog/Digital Systems. In *EuroDAC*, Brighton, UK, September 1995.
- [2] Herbert Praehofer and Bernard P. Zeigler. Modeling and Simulation of Non-Homogeneous Models. In F. Pichler and R. Moreno-Diaz, editors, *Computer Aided Systems Theory — EUROCAST'89 (Serie: Lecture Notes in Computer Science, Vol. 410)*, pages 200–211, Las Palmas, Spain, February 26 — March 4 1989. Springer-Verlag.
- [3] S. Donnay, K. Swings, G. Gielen, W. Sansen, W. Kruiskamp, and D. Leenaerts. A Methodology for Analog Design Automation in Mixed-Signal ASICs. In *The European Design Automation Conference*, pages 530–534, Paris, France, February 1994.



Abbildung 4: Systempartitionierung mit KANDIS

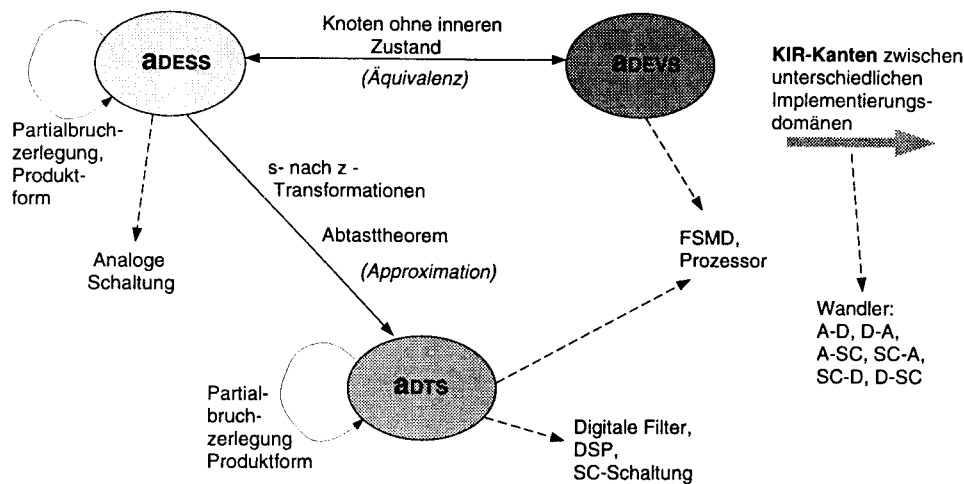


Abbildung 5: Möglichkeiten, einen gegebenen KIR-Graphen zu repartitionieren.

- [4] IEEE Standard VHDL Language Reference Manual (IEEE Std 1076-1993). 1994.
- [5] IEEE VHDL subPAR 1076.1: Analog Extensions to VHDL. Design Objective Document (DOD). Version 1.1. März 1993.
- [6] Christoph Grimm, Peter Oehler, and Klaus Waldschmidt. Modellierung gemischt analog/digitaler Systeme zur Entwurfsunterstützung. In *GI/ITG-Fachtagung "Hardwarebeschreibungssprachen und Modellierungsparadigmen"*, Frankfurt, Germany, February 1995.
- [7] Thomas Leyendecker, Peter Oehler, and Klaus Waldschmidt. *Spezifikation hybrider Systeme*. Interner Bericht 11/95, FB Informatik, J. W. Goethe-Universität, 1995.
- [8] Christoph Grimm. KIR - Ein formales Modell hybrider Systeme. In *GI/ITG/GME - Workshop Hardwarebeschreibungssprachen und Modellierungsparadigmen*, February 1996.
- [9] Christoph Grimm, Peter Oehler, and Klaus Waldschmidt. Eine Zwischendarstellung zum Entwurf hybrider Systeme durch Kopplung verschiedener Konstruktionswerkzeuge. In *7. E.I.S.-Workshop*, Technische Universität Chemnitz, November 1995.

7 Rauscharmer Verstärker

H. Khakzar

7.1 Rechnen mit Rauschsignalen

Rauschsignale sind Zufallssignale (stochastische Signale) d.h.

- die Zeitfunktion $s(t)$ ist nicht bekannt
- es ist kein Amplitudenspektrum berechenbar
- der Amplitudenverlauf weist Gauss'sche Normalverteilung auf
- der lineare Mittelwert $\bar{x}(t) = \lim_{T \rightarrow \infty} 1/T \int_0^T x(t) dt = 0$

7.2 Wie beschreibt man Rauschsignale?

bei Rauschsignalen existiert ein quadratischer Mittelwert (Leistung)

$$\overline{x^2(t)} = \lim_{T \rightarrow \infty} 1/T \int_0^T x^2(t) dt \neq 0 \quad (7.1)$$

dies bedeutet, für die Rauschsignale kann ein Effektivwert angegeben werden, denn es gilt:

$$\overline{x^2(t)} = X^2_{\text{eff}} \quad (7.2)$$

Der Effektivwert kann aber nicht in der üblichen Form mit

$$X_{\text{eff}} = \sqrt{1/T \int_0^T x^2(t) dt} \quad (7.3)$$

berechnet werden, da ja die Zeitfunktion $s(t)$ nicht bekannt ist.

7.3 Wie berechnet man nun diesen Effektivwert?

Da die Zeitfunktion $s(t)$ nicht bekannt ist, geht man von der Autokorrelationsfunktion $R(\tau)$ aus, die wie folgt definiert ist:

$$R(\tau) = \lim_{T \rightarrow \infty} 1/2T \int_{-T}^T x(t) \cdot x(t + \tau) dt \quad (7.4)$$

Mit dem WIENER-KHINTCHINE-Theorem kann ein Zusammenhang zwischen $R(\tau)$ und der spektralen Leistungsverteilung hergeleitet werden. Es gilt

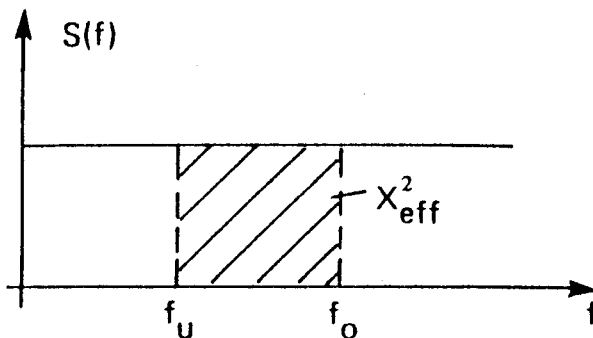
$$R(\tau) \overset{\circ}{\longleftrightarrow} S(f)$$
$$S(f) = \int_{-\infty}^{\infty} R(\tau) e^{-j2\pi f \tau} d\tau \quad \text{oder} \quad (7.5)$$

$$R(\tau) = \int_{-\infty}^{\infty} S(f) e^{j2\pi f\tau} df \quad (7.6)$$

Ein Vergleich der obigen Formeln ergibt folgenden Zusammenhang

$$x^2(t) = X^2_{\text{eff}} = R(0) = \int_{-\infty}^{\infty} S(f) df \quad (7.7)$$

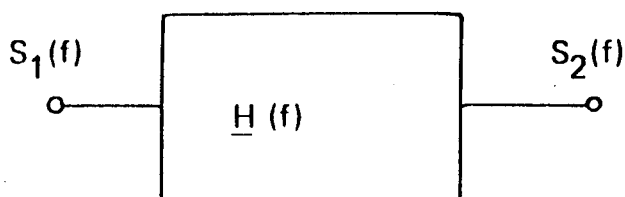
Also kann man den Effektivwert aus der spektralen Leistungsverteilung des Rauschsignals berechnen. Somit ist die *spektrale Leistungsverteilung* das *wichtigste Merkmal* von Rauschsignalen. Bei „weißem“ Rauschen, d. h. frequenzunabhängiger spektraler Leistungsverteilung berechnet sich der Effektivwert wie folgt:



$$X^2_{\text{eff}} = \int_{-\infty}^{\infty} S(f) df = \int_{f_u}^{f_o} S(f) df = S(f) \Delta f \quad (7.8)$$

$$\Delta f = f_o - f_u = B = \text{Bandbreite}$$

Werden Rauschsignale mit linearen Systemen übertragen, so gilt für die spektrale Leistungsverteilung des Ausgangssignales:



$$S_2(f) = |H(f)|^2 \cdot S_1(f) \quad (7.9)$$

Werden Rauschsignale überlagert, so berechnet sich die entstehende spektrale Leistungsverteilung wie folgt:

- 1: Bei *korrelierten Rauschsignalen*, d.h. bei Signalen, zwischen denen eine gewisse statistische Abhängigkeit besteht:

$$S(f)_{\text{ges}} = S_1(f) + S_2(f) + 2k \sqrt{S_1(f) \cdot S_2(f)} \quad (7.10)$$

Dabei ist:

$2k \sqrt{S_1 S_2}$ das Kreuzspektrum
 k der Korrelationskoeffizient

2. Bei unkorrelierten Rauschsignalen

$$S(f)_{\text{ges}} = S_1(f) + S_2(f) + \dots + S_n(f) \quad \text{oder} \quad (7.11)$$

$$X^2_{\text{eff ges}} = X^2_{1\text{eff}} + X^2_{2\text{eff}} + \dots + X^2_{n\text{eff}}$$

Im folgenden wird immer von unkorrelierten Rauschquellen ausgegangen, da Korrelation in vielen Fällen vernachlässigt werden kann, und auch SPICE von unkorrelierten Rauschquellen ausgeht.

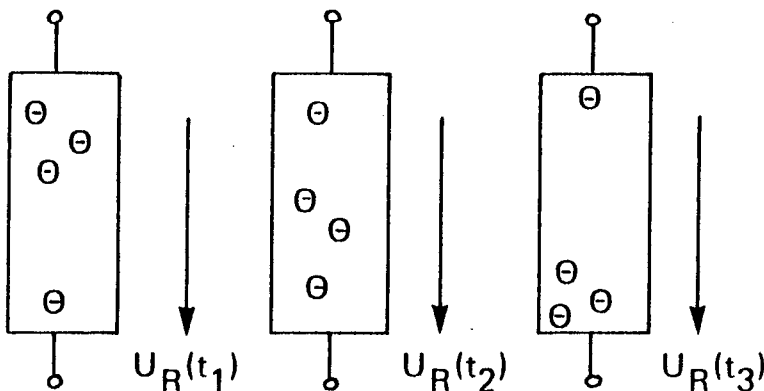
7.4 Rauscharten

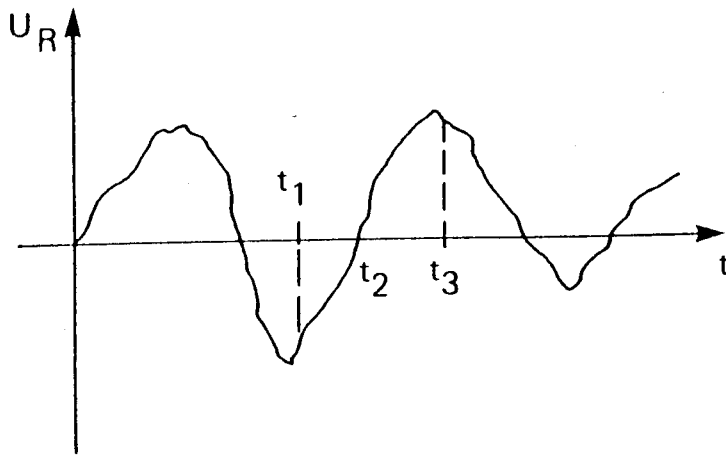
Die drei wichtigsten Rauscharten, die auch in SPICE berücksichtigt werden, sind:

- thermisches Rauschen (thermal noise)
- Schrotrauschen (shot noise)
- 1/f-Rauschen oder Funkelrauschen (flicker noise)

7.4.1 Thermisches Rauschen

Thermisches Rauschen entsteht durch die ungeordnete, thermische Bewegung der Ladungsträger. Stark vereinfacht kann man sich die Entstehung wie folgt vorstellen:





Leistungsverteilung:

Für die *einseitige*, spektrale Leistungsverteilung einer thermisch erzeugten Rauschspannung gilt nach NYQUIST:

$$S_U(f) = 4 k T R \quad [V^2/Hz] \quad (7.12)$$

und für den Rauschstrom

$$S_I(f) = 4 k T 1/R \quad [A^2/Hz] \quad (7.13)$$

Dabei ist:

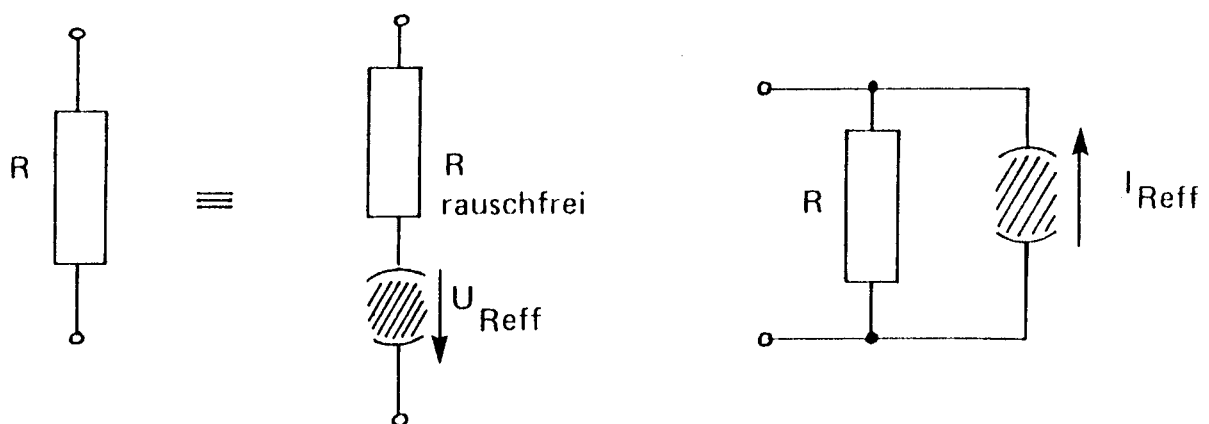
k = Boltzmannkonstante $1.38 \cdot 10^{-23}$ Ws/K

T = absolute Temperatur

Für den Effektivwert gilt:

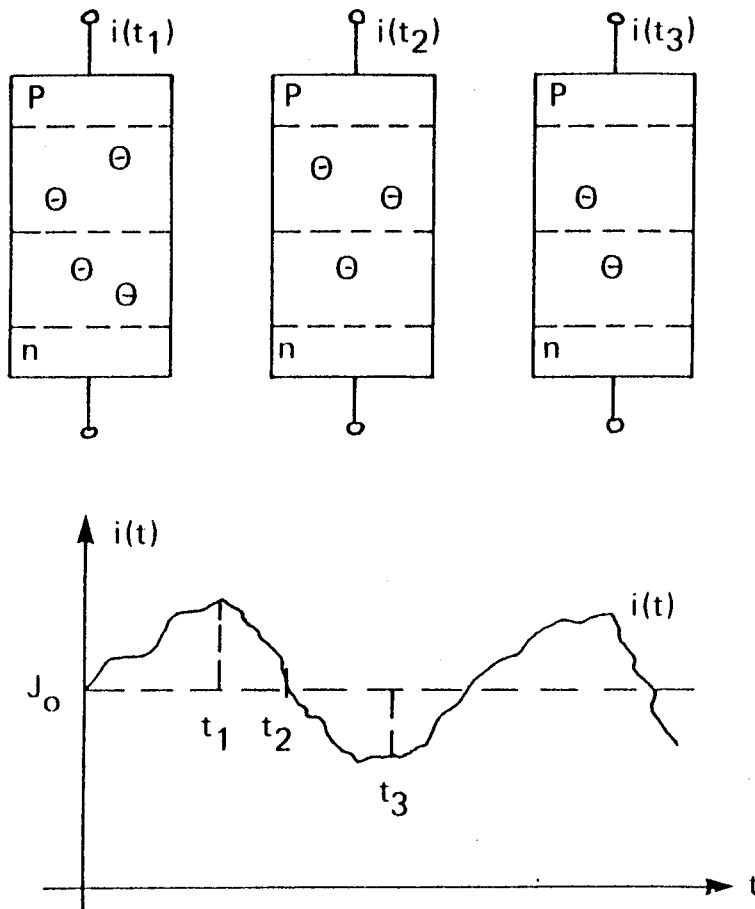
$$U_{\text{Reff}} = \sqrt{4 k T R \Delta f} ; I_{\text{Reff}} = \sqrt{4 k T 1/R \Delta f} \quad (7.14)$$

Rauschersatzbild für Widerstände



7.4.2 Schrotrauschen

Schrotrauschen entsteht dadurch, daß bei einem elektrischen Strom der Ladungstransport nicht kontinuierlich erfolgt, sondern in Quanten der Größe e , deren Anzahl statistischen Schwankungen unterworfen ist. Dieses Rauschen überlagert sich dem Gleichstrom I_0 . Schrotrauschen tritt hauptsächlich in Diffusionszonen von Röhren und Halbleitern auf. In Widerständen tritt praktisch kein Schrotrauschen auf. Stark vereinfacht kann man sich die Entstehung wie folgt vorstellen:



Leistungsverteilung:

Für die *einseitige*, spektrale Leistungsverteilung des Schrotrauschens gilt nach SCHOTTKY:

$$S_I(f) = 2 q I_0 \text{ [A}^2\text{/Hz]} \quad (7.15)$$

Für den Effektivwert gilt:

$$I_{sch} = \sqrt{2 q I_0 \Delta f} \quad (7.16)$$

Ist der Gleichstrom durch die Diode Null ($I_0 = 0$), so ist das Schrotrauschen nicht Null, sondern $I_{sch} (I_0 = 0) = \sqrt{4 q I_S \Delta f}$. Die Verdopplung rührt daher, daß beim Gleichstrom Null der Diffusionsstrom und der Feldstrom sich gegenseitig aufheben, bei der Berechnung der spektralen Leistungsdichte des Rauschstromes jedoch die Rauschbeiträge durch die beiden Ströme sich addieren. Spice berücksichtigt dieses Verhalten durch die Gleichung

$$S_I(f) = 2q(I_0 + 2I_S) \quad (7.17)$$

Diese Gleichung ist exakt beim Strom $I_0 = 0$ und bei großen Strömen ($I_0 \gg I_S$).

7.4.3 1/f-Rauschen

Experimentell stellt man bei fast allen Bauelementen ein nach niedrigen Frequenzen hin ansteigendes Rauschen fest. Für die spektrale Leistungsverteilung gilt näherungsweise:

$$S_I(f) = K_F \frac{I^{AF}}{f} \quad (7.18)$$

Eine Vielzahl von Mechanismen, die zu dem 1/f-Rauschen führen, verhindern eine generelle Beschreibung. Für die Entstehung werden hauptsächlich

- die Beschaffenheit von Grenz- und Oberflächen (Diffusion von Atomen und Molekülen),
- die Generations-Rekombinations-Rauschspektren mit verschiedenen Grenzfrequenzen,
- und die Schwankungen von Oxidladungen (MOS-FET)

verantwortlich gemacht.

Die Grenzfrequenzen bei denen das 1/f-Rauschen kleiner als das „weiße“ Rauschen ist, sind:

- 1 kHz ... 10 kHz bei Röhren
- 100 Hz ... 1 kHz bei bipolaren Transistoren
- ... 100 Hz bei Sperrschicht-FET
- 100 kHz ... 10 MHz bei MIS-FET (MOS-FET)
- 100 kHz ... 10 MHz bei GaAs MES-FET

Wie beschreibt man nun das Rauschverhalten eines Vierpols?

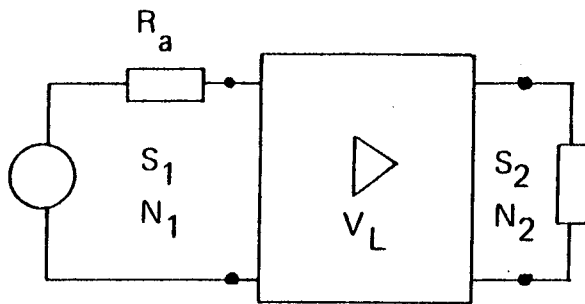
Für die Praxis gut geeignet ist die Angabe der Rauschzahl (Rauschfaktor), die wie folgt definiert ist:

$$F = \frac{\text{Signal-Rauschabstand am Eingang des Vierpols}}{\text{Signal-Rauschabstand am Ausgang des Vierpols}} = \frac{(S/N)_1}{(S/N)_2}$$

Die Rauschzahl F wird oft auch in dB angegeben dann gilt:

$$F_{\text{dB}} = 10 \log F$$

Eine weitere Möglichkeit zur Definition von F erhält man durch folgende Überlegung:



mit $F = \frac{S_1 N_2}{N_1 S_2}$ und $V_L = \frac{S_2}{S_1}$ erhält man

$$F = \frac{N_2}{V_L N_1} = \frac{\text{totale Rauschleistung am Ausgang des Verstärkers}}{\text{Rauschltg. am Ausg. verus. durch Gen-Widerstd. } R_g}$$

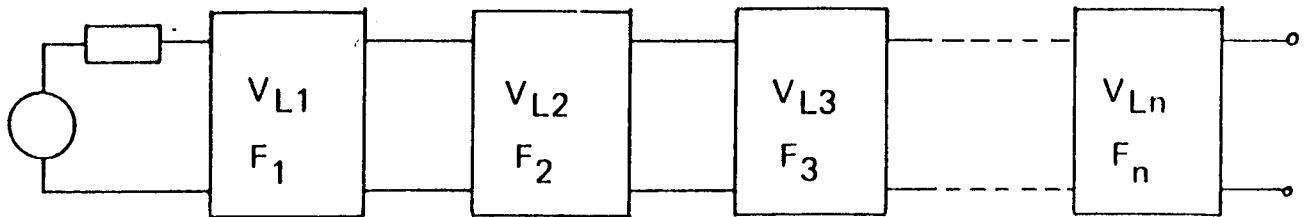
Idealer Vierpol hat $F = 1$ bzw. $F_{\text{dB}} = 0$ dB

Um den Rauschbeitrag des Vierpols zu beschreiben, wurde die Zusatzrauschzahl F_Z eingeführt

$$F_Z = F - 1 = \frac{N_z}{V_L N_1} \quad (7.19)$$

N_z = Rauschleistung des Vierpols

Bei Kettenschaltung von Vierpolen oder Verstärkerstufen gilt:



$$F_{\text{ges}} = F_1 + \frac{(F_2 - 1)}{V_{L1}} + \frac{(F_3 - 1)}{V_{L1} V_{L2}} + \dots + \frac{(F_n - 1)}{V_{L1} \dots V_{L_{n-1}}} \quad (7.20)$$

Der erste Vierpol muß eine möglichst kleine Rauschzahl und eine große Leistungsverstärkung aufweisen.

7.5 Rauschmodelle von Halbleiterbauelementen in SPICE

Die Bilder 7.1 bis 7.4 zeigen die Rauschersatzschaltbilder der Diode, des bipolaren Transistors, des Sperrschichttransistors und des MOS-FET-Transistors.

7.5.1 Diode

Bild 7.1 zeigt das Rauschersatzschaltbild einer Diode.

$$\begin{aligned} I_{RS}^2 &= 4 k T 1/R_S \Delta f \\ I_{DR}^2 &= 2 q I \Delta f + K_F \frac{I^{A_F}}{f} \Delta f \end{aligned} \quad (7.21)$$

Dabei ist:

$$I = I_D + 2 I_S$$

I_D = Gleichstrom in Durchlaßrichtung

I_S = Sperrstrom

K_F und A_F bestimmen 1/f-Rauscheigenschaften typische Werte für Si-Dioden

$$K_F = 10^{-16}, A_F = 1$$

7.5.2 Bipolarer Transistor

Bild 7.2 zeigt das Rauschersatzschaltbild eines bipolaren Transistors. Es gilt:
thermisches Rauschen: *Schrotrauschen und Funkelrauschen:*

$$\begin{aligned}
 I_{RRbb}^2 &= 4 k T 1/R_{bb} \Delta f & I_{BR}^2 &= 2 q I_B \Delta f + k_F \frac{I_B^{A_F}}{f} \Delta f \\
 I_{RRC}^2 &= 4 k T 1/R_C \Delta f & I_{CR}^2 &= 2 q I_C \Delta f + k_F \frac{I_C^{A_F}}{f} \Delta f \\
 I_{RRE}^2 &= 4 k T 1/R_E \Delta f
 \end{aligned}$$

7.5.3 Sperrschicht-FET

Bild 7.3 zeigt das Rauschersatzschaltbild eines Sperrschicht-Feldeffekttransistors. Es gilt:

$$\begin{aligned}
 I_{DR}^2 &= 2/3 \cdot 4 k T g_m \Delta f + k_F I_D^{A_F} / f \Delta f \quad (K_F = 10^{-14}, A_F = 1) \\
 I_{RRS}^2 &= 4 k T 1/R_S \Delta f \\
 I_{RRD}^2 &= 4 k T 1/R_D \Delta f
 \end{aligned}$$

7.5.4 MOS-FET

Bild 7.4 zeigt das Rauschersatzschaltbild eines MOS-Feldeffekttransistors. Es gilt:

$$\begin{aligned}
 I_{DR}^2 &= 2/3 \cdot 4 k T g_m \Delta f + K_F \cdot I_D^{A_F} / f \Delta f \\
 I_{RRS}^2 &= 4 k T 1/R_S \Delta f \\
 I_{RRD}^2 &= 4 k T 1/R_D \Delta f
 \end{aligned}$$

für GaAs MES-FET $\frac{4}{3}$ anstelle $\frac{2}{3}$

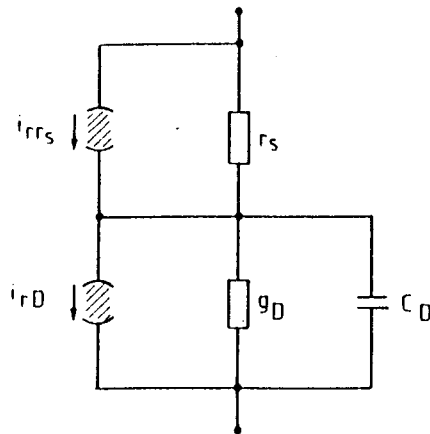


Bild 7.1:
Rauschersatzschaltbild einer Diode

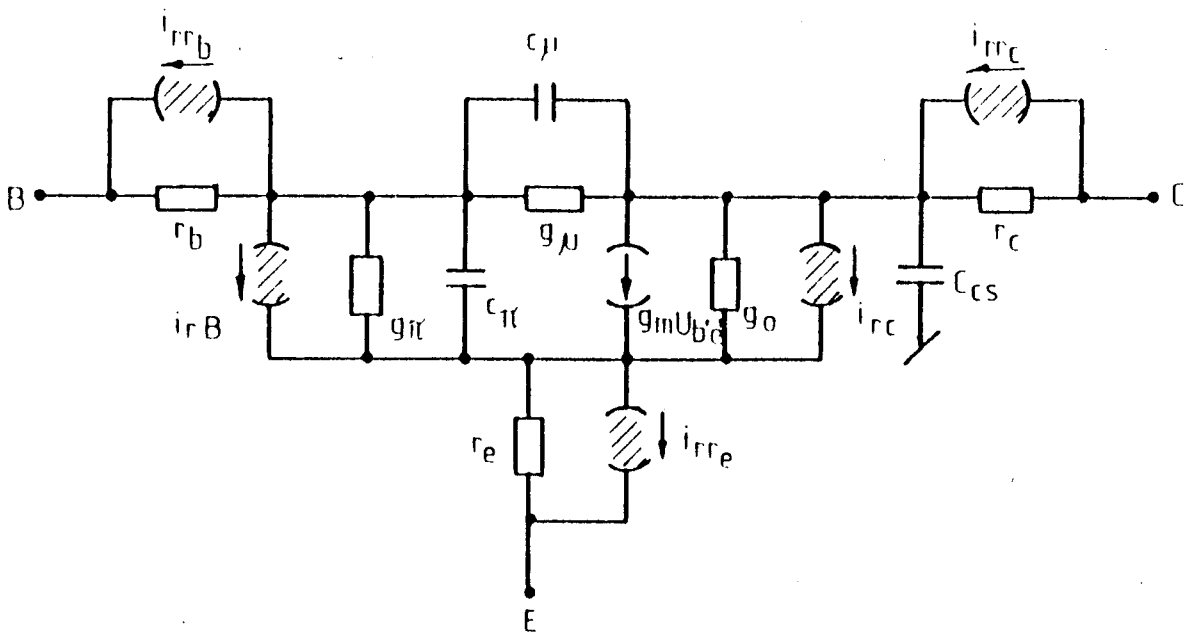


Bild 7.2: Rauschersatzschaltbild eines bipolaren Transistors

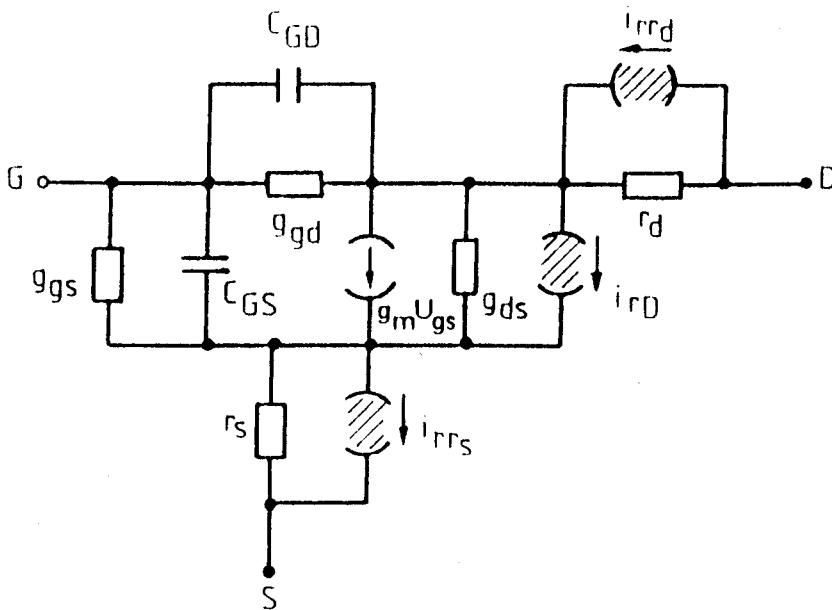


Bild 7.3: Rauschersatzschaltbild eines Sperrschichtfeldeffekttransistors

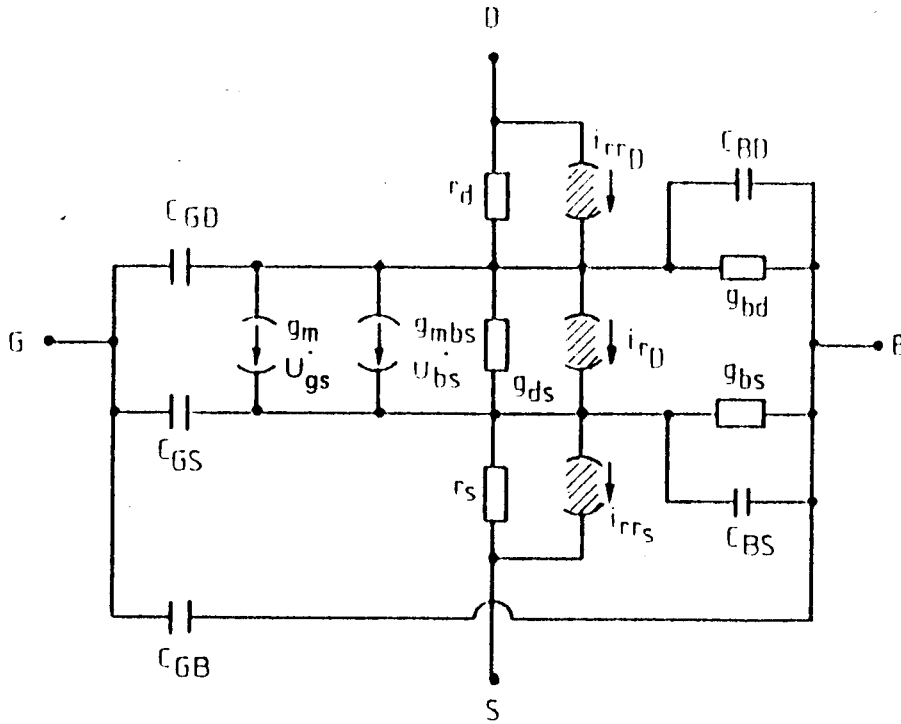


Bild 7.4: Rauschersatzschaltbild eines MOS-Feldeffekttransistors

7.6 Entwurf rauscharmer Verstärker mit SPICE

Die Bilder 7.5 – 7.8 zeigen die Simulation des Rauschfaktors F in Abhängigkeit von Generalwiderstand, dem Kollektor- und Drainstrom sowie der Frequenz.

7.6.1 Verstärker mit bipolaren Transistoren

Wie hängt die Rauschzahl von schaltungstechnischen Maßnahmen ab?

Berechnung von F: In (7.31) sind die Rauschfaktoren aller Schaltungskonfigurationen berechnet und simuliert worden. Im folgenden bringen wir eine Kurzfassung der Resultate. Bild 7.9 zeigt ein vereinfachtes Rauschersatzschaltbild des bipolaren Transistors.

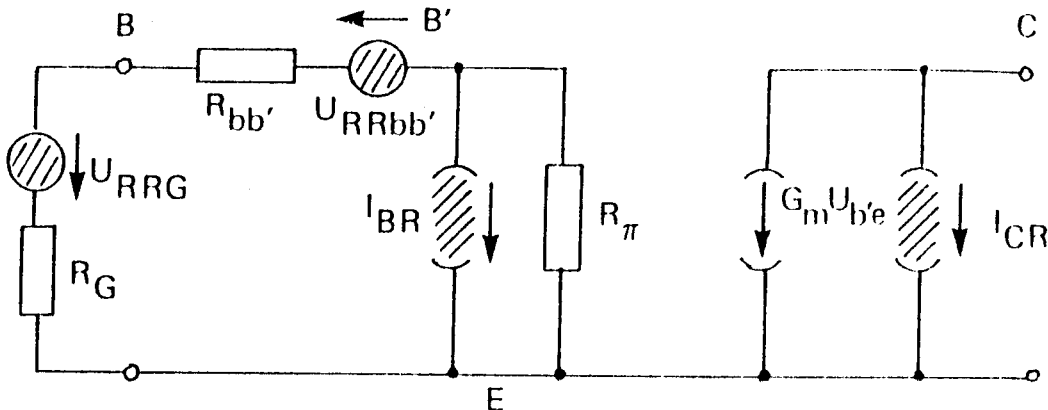


Bild 7.9: Vereinfachtes Rauschersatzschaltbild eines bipolaren Transistors

$$F = \frac{S_{RG}|H_{URRG}|^2 + S_{R_{bb'}}|H_{URR_{bb'}}|^2 + S_{iBR}|H_{iBR}|^2 + S_{iCR}|H_{iCR}|^2}{S_{RG}|H_{URRG}|^2}$$

wobei

$$\begin{aligned} S_{RG} &= 4 k T R_G & S_{iBR} &= 2 q I_B \\ S_{R_{bb'}} &= 4 k T R_{bb'} & S_{iCR} &= 2 q I_C \end{aligned}$$

wir erhalten

$$F = 1 + \frac{R_{bb'}}{R_G} + \frac{1}{2 r_e R_G} \left[r_e^2 + \frac{(R_{bb'} + R_G + r_e)^2}{B_F} \right]$$

Der Rauschfaktor ist für alle drei Grundschaltungen etwa gleich.

Abhängigkeit von R_G :

mit $\frac{dF}{dR_G} = 0$ erhält man

$$R_{Gopt} = \sqrt{(R_{bb'} + r_e)^2 + B_F r_e (2 r_{bb'} + r_e)}$$

Abhängigkeit von I_E :

mit $\frac{dF}{dI_E} = 0$ erhält man

$$I_{Eopt} = \frac{U_T}{(R_{bb'} + R_G)} \sqrt{B_F}$$

Abhängigkeit von f :

Bild 7.10a zeigt den prinzipiellen Verlauf des Rauschfaktors in Abhängigkeit von der Frequenz bei Bipolartransistoren.

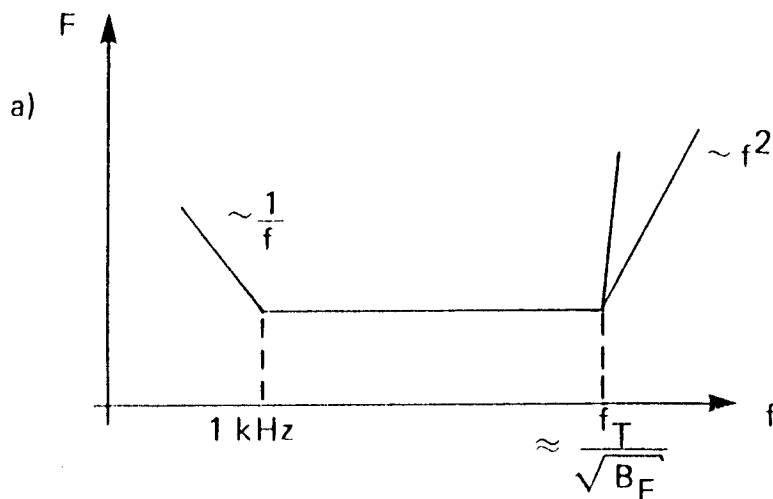


Bild 7.10a:
Prinzipieller Verlauf
des Rauschfaktors
in Abhängigkeit von
der Frequenz

7.6.2 Verstärker mit FET

7.6.2.1 Sperrschicht FET

Aus dem Ersatzschaltbild in Bild 7.3 erhalten wir nach Vereinfachung:

$$F = 1 + \frac{2}{3 R_g g_m} [1 + \omega^2 R_g^2 (C_{gs} + C_{gd})^2]$$

Abhängigkeit von R_g :

mit $\frac{dF}{dR_g} = 0$ erhält man

$$R_{gopt} = \frac{1}{\omega \cdot [C_{gs} + C_{gd}]}$$

Abhängigkeit von I_D :

aus $g_m \sim \sqrt{I_D}$ folgt

$$F \sim \frac{1}{\sqrt{I_D}}$$

Abhängigkeit von f :

Bild 7.10b zeigt den prinzipiellen Verlauf des Rauschfaktors in Abhängigkeit von der Frequenz bei Sperrschicht FET-Transistoren.

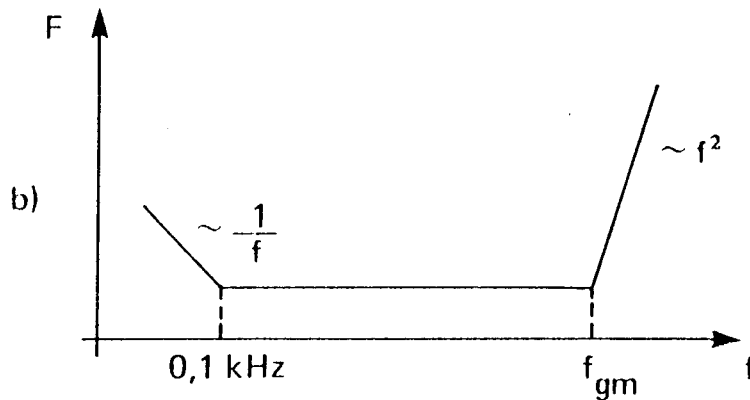


Bild 7.10b

7.6.3 Verstärker mit MOS-FET

Bei niedrigeren Frequenzen gilt:

$$F = 1 + \frac{R_S}{R_G} + \frac{4}{3 g_m R_G}$$

bei hohen Frequenzen

$$F = 1 + \frac{R_S}{R_G} + \frac{41}{24} + \frac{C_{gs}^2 R_G}{g_m} \omega^2$$

mit $\frac{dF}{dR_G} = 0$ erhält man

$$R_{gopt} \approx 0,9 \frac{1}{\omega \cdot C_{gs}}$$

Abhängigkeit von f:

Bild 7.10c zeigt den prinzipiellen Verlauf des Rauschfaktors bei MOS-FET-Transistoren.

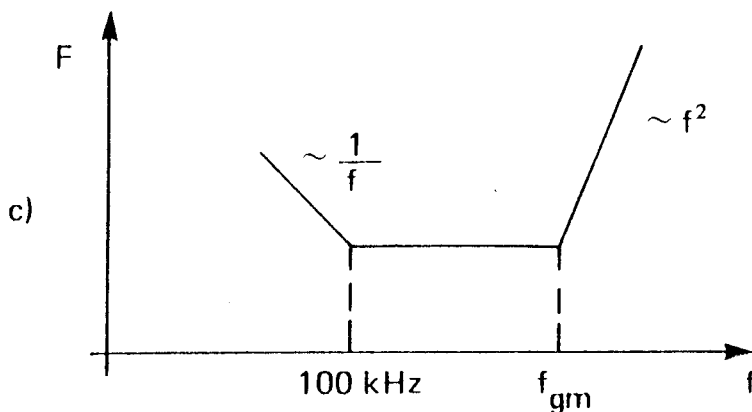


Bild 7.10c

7.7 Zusammenfassung

Bei der Reihenschaltung von Vierpolen (Verstärker) muß der erste Vierpol (die erste Stufe) eine kleine Rauschzahl und eine große Leistungsverstärkung aufweisen. Der Rauschbeitrag des nochfolgenden Vierpols wird jeweils um die Leistungsverstärkung des vorhergehenden Vierpols kleiner.

Bei bipolaren Transistoren ist das Rauschverhalten von allen drei Grundschaltungen nahezu gleich. Bevorzugt wird meist jedoch die Emitterschaltung, da hier die Leistungsverstärkung am größten ist, und das Verhältnis von R_{gopt} und Eingangswiderstand für die Leistungsanpassung am günstigsten ist.

Bei hohen Frequenzen kann jedoch die Basisschaltung wegen der größeren Grenzfrequenz der Stromverstärkung von Vorteil sein.

Bei FET ist der optimale Generatorwiderstand stark frequenzabhängig und bei niedrigen Frequenzen sehr hochohmig. Source- und Drainschaltung sind im Rauschverhalten nahezu gleich. Die Gateschaltung ist aufgrund des niedrigen Eingangswiderstand erst bei hohen Frequenzen geeignet. Bei MISFET (MOS-FET) erhält man ein stärkeres $1/f$ -Rauschen als bei JFET und bipolaren Transistoren. Bei FET besteht die Möglichkeit durch Kühlung das Rauschverhalten zu verbessern, da die meisten Rauschbeiträge thermisch bedingt sind.

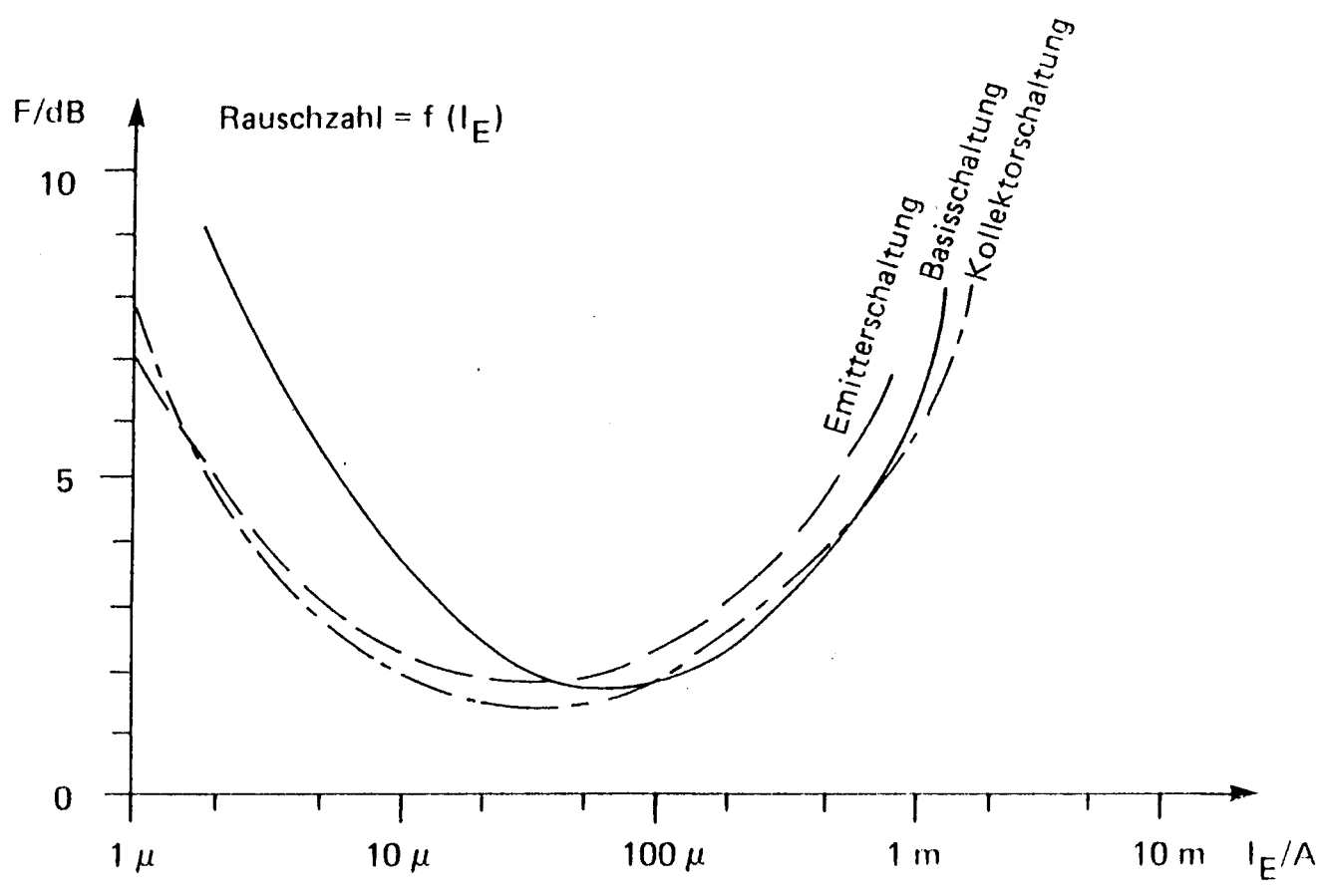
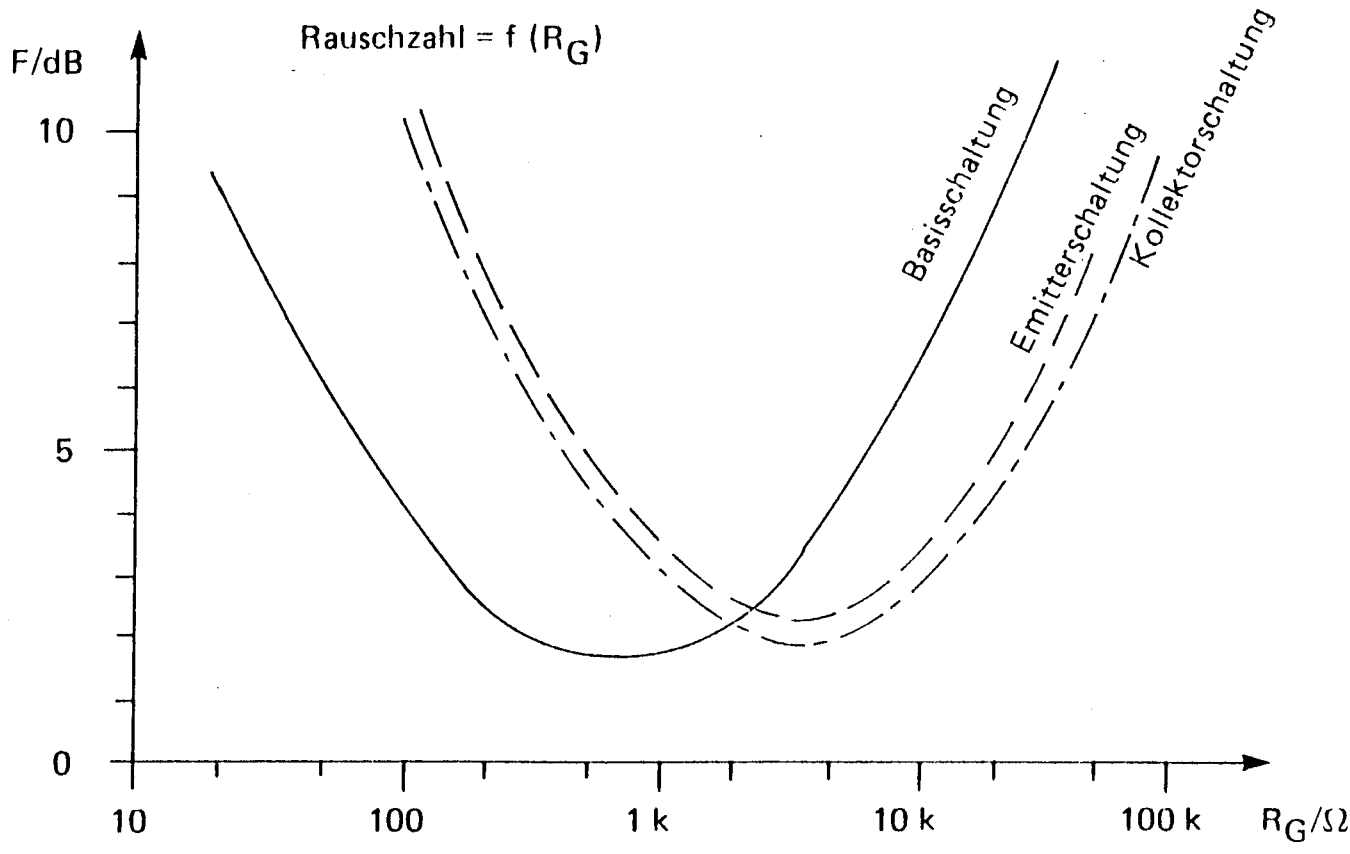


Bild 7.5

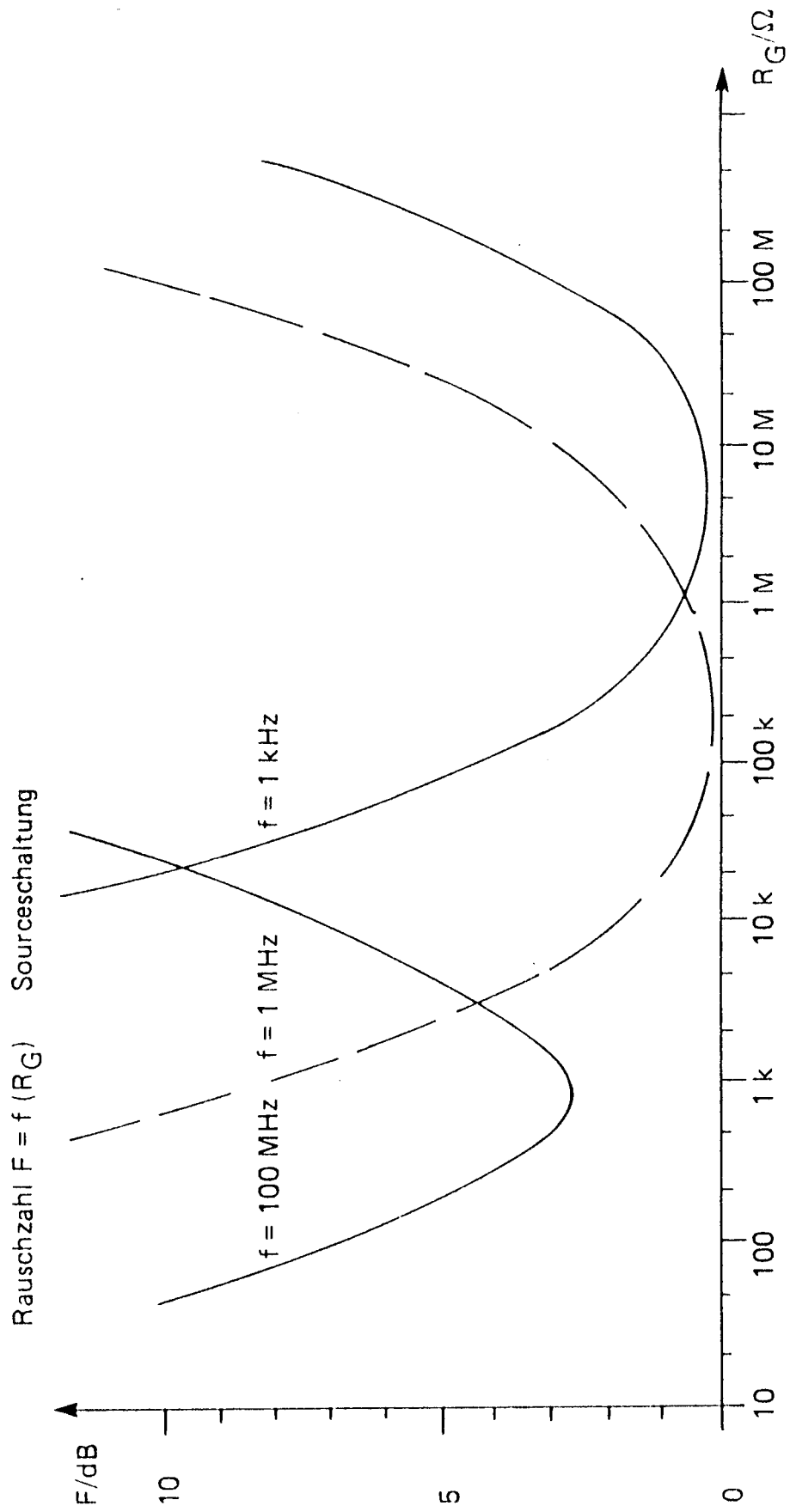
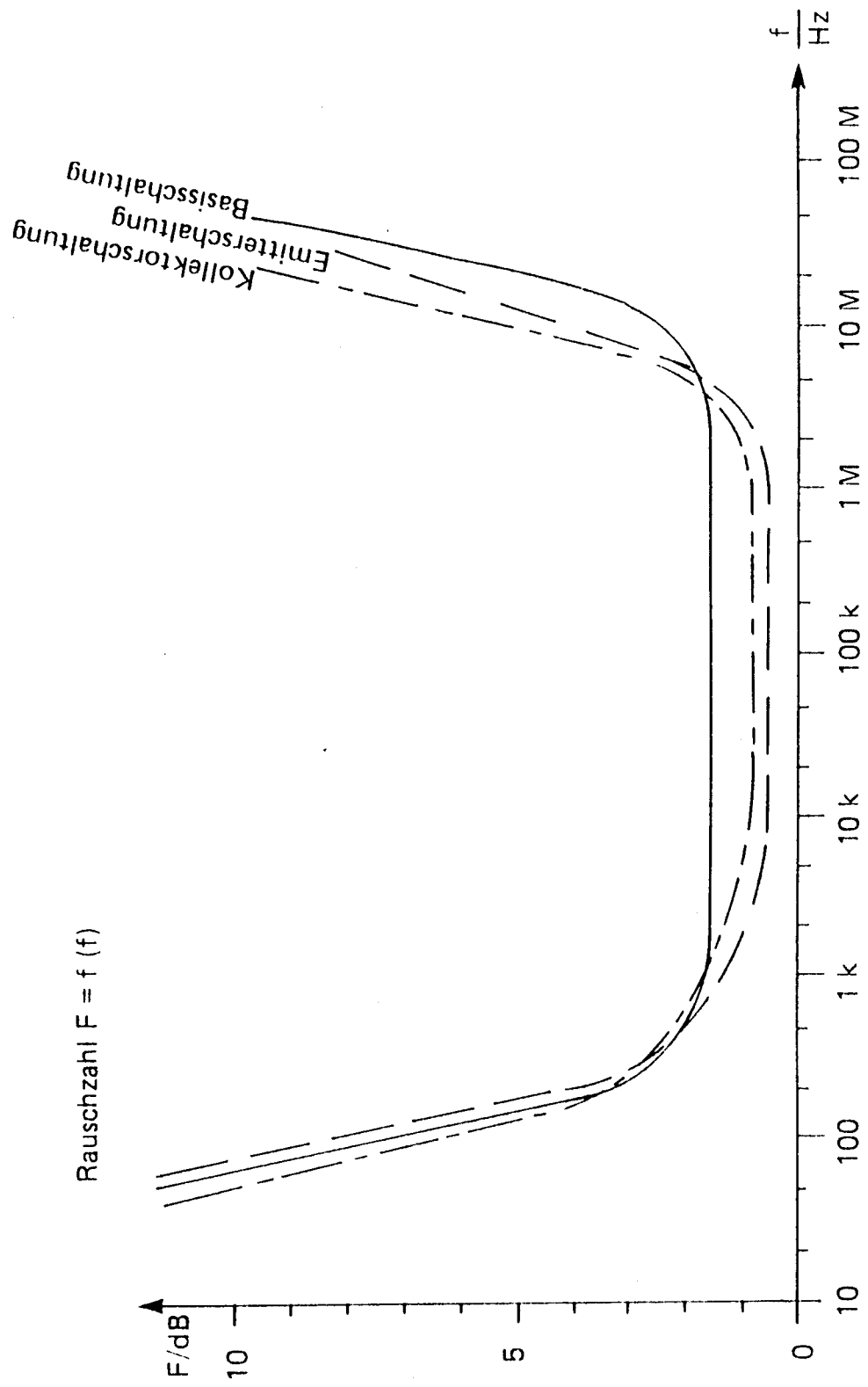


Bild 7.6



379 Bild 7.7

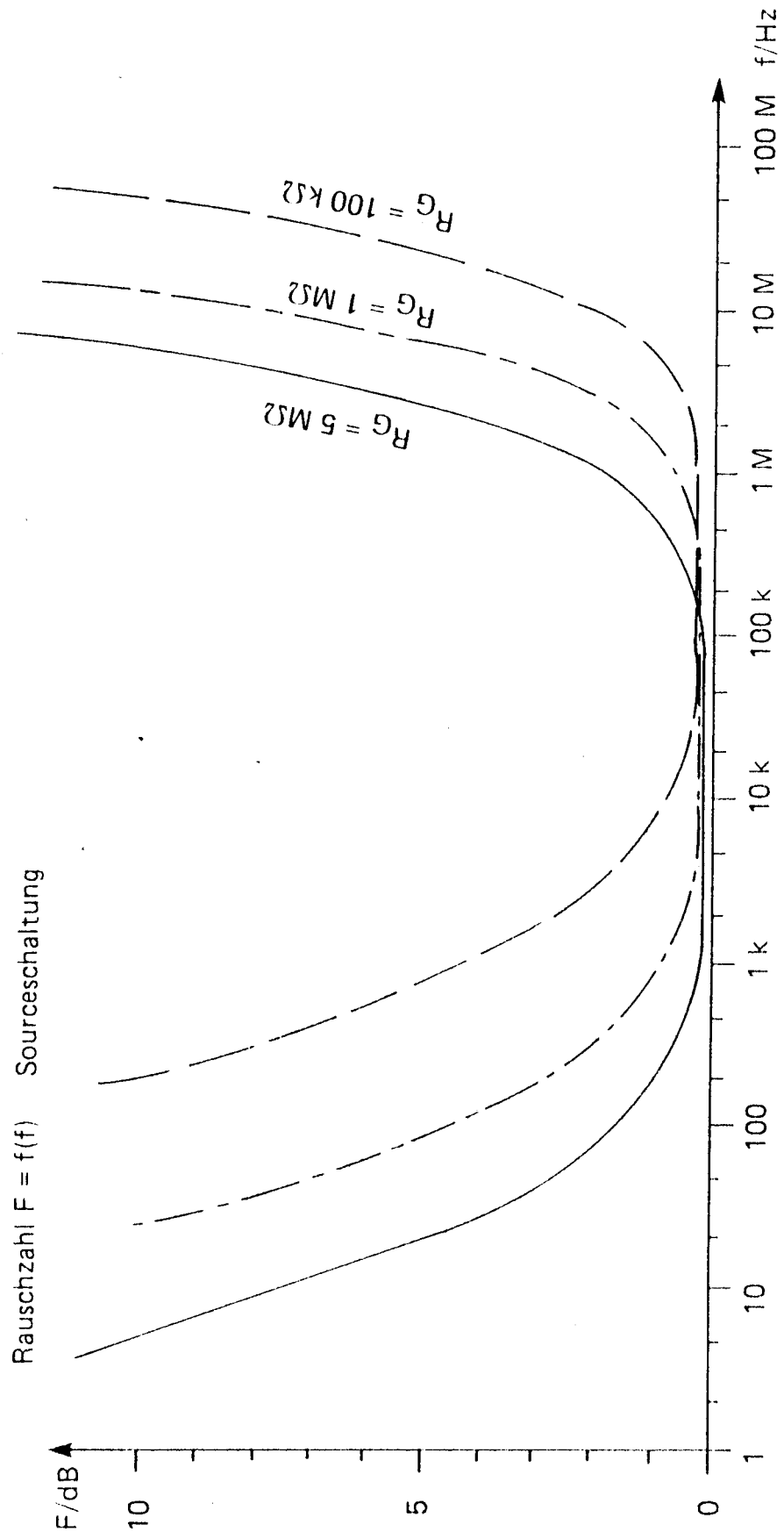


Bild 7.8

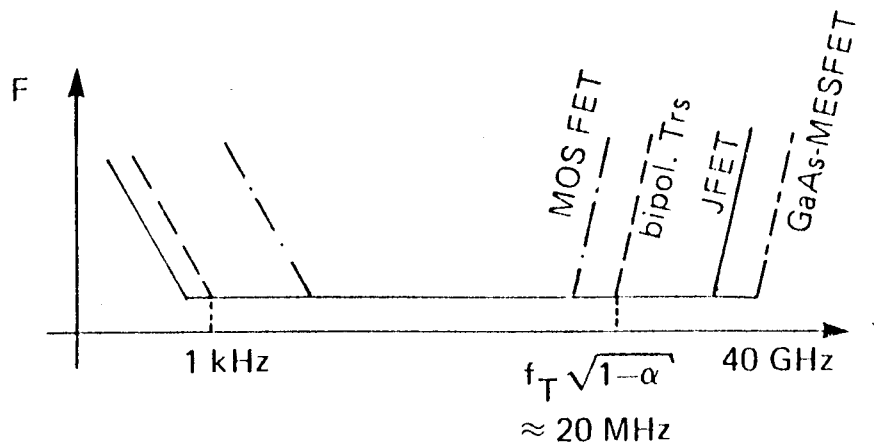


Bild 7.9: Frequenzverhalten von F (s. auch Seite 134)

7.8 Rauschmeßtechnik

7.8.1 Einleitung

Da in der Rauschmeßtechnik im allgemeinen sehr kleine Leistungen gemessen werden, müssen die Rauschbeiträge durch den Meßaufbau, zur Vermeidung von Meßverfälschungen, möglichst klein gehalten werden, oder durch geeignete Maßnahmen eliminiert werden.

In diesem Kapitel soll das Messen der Rauschzahl eines Verstärkers beschrieben werden. Es gibt im wesentlichen zwei Methoden zur Bestimmung der Rauschzahl.

7.8.2 Rauschzahlmessung mit der Empfängermethode

Für diese Messung wird ein selektiver Empfänger benötigt dessen Bandbreite Δf möglichst exakt bekannt sein sollte (z.B. $\Delta f = 1 \text{ kHz}$, $2,7 \text{ kHz}$, $3,1 \text{ kHz}$). Es muß zunächst die Leistungsverstärkung V_L des zu messenden Verstärkers bestimmt werden. Diese läßt sich sehr einfach mit einem Sinusgenerator und einem selektiven Empfänger messen, sie kann aber auch aus den Ein- und Ausgangswiderständen und der Spannungsverstärkung V_U berechnet werden. Die Rauschleistung N_A des Verstärkers am Ausgang läßt sich folgendermaßen bestimmen:

$$N_A = k T_0 \Delta f V_L F \quad (7.85)$$

Bandgap-Quelle in 0.7µm-CMOS-Technologie

H. Töpfer, C. Holzapfel / FHTE Esslingen-Standort Göppingen

Vortrag zum MPC-Workshop am 2.1.1996 im Karlsruhe

In einer einfachen CMOS-Technologie sind Bipolartransistoren nicht vorgesehen. Um Bipolartransistoren in CMOS-Schaltungen zu integrieren, bedarf es zusätzlicher Fertigungsschritte, die das Chip beträchtlich verteuern.

In der häufig verwendeten N-Wannen-CMOS-Technologie fallen jedoch 2 Arten von parasitären Bipolartransistoren an, die mit gewissen Einschränkungen auch für schaltungstechnische Zwecke verwendet werden können.

Bild 1 zeigt diese beiden Bipolartransistoren in einem N-Wannen CMOS-Chip.

Beim vertikalen Bipolartransistor ist der Kollektor fest mit GND verbunden, nur Basis und Emitter sind frei zugänglich. Mit diesem Transistor kann also nur ein Emitterfolger gebaut werden. Vertikale Bipolartransistoren werden deshalb häufig zur Referenzspannungserzeugung, in Ausgangsstufen und als Phototransistoren verwendet.

Mit vertikalen Transistoren lassen sich relativ hohe Ströme erzeugen, da die Emitterfläche beliebig groß gestaltet werden kann. Allerdings wird der Kollektorstrom ins Substrat injiziert. Er muß dann durch großflächige Substratkontakte (im Bild 1 links) abgesogen werden. Es besteht die Gefahr, daß durch den Substratstrom das Substratpotential verschoben wird.

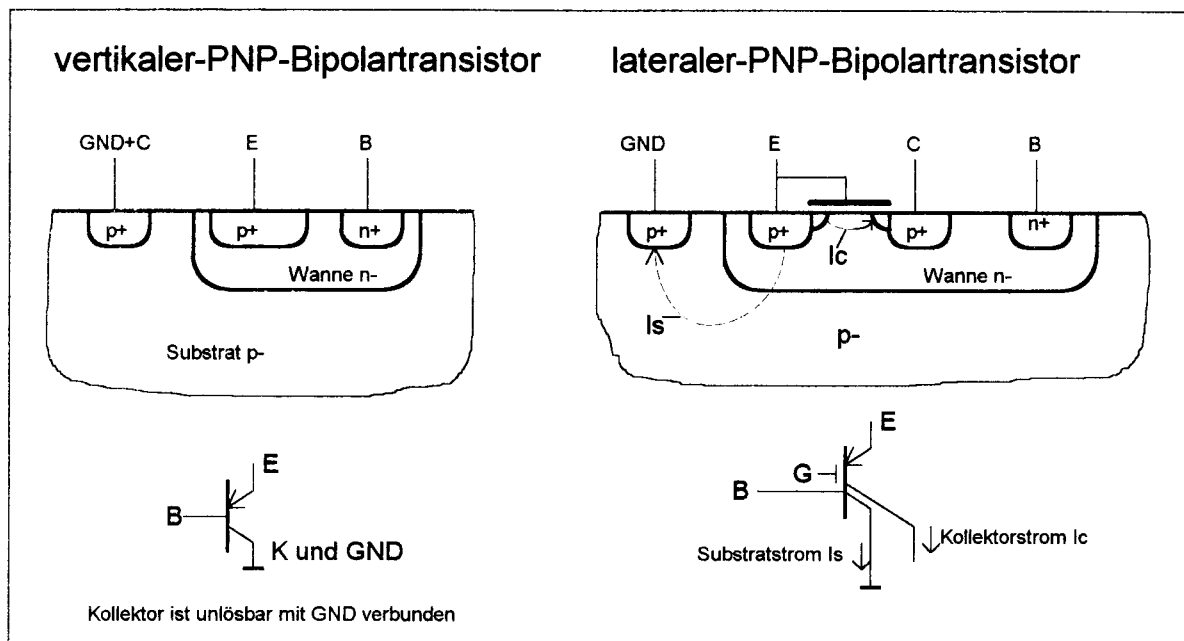


Bild 1: Vertikaler- und lateraler Bipolartransistor in N-Wannen-CMOS-Technologie

Bild 2 zeigt die gemessenen Kennlinien eines vertikalen PNP-Transistors mit einer Emitterfläche von $3 \times 3 \mu\text{m}$. Der Transistor ist bis zu einem Emitterstrom von etwa $10 \mu\text{A}$ brauchbar. Durch Vergrößerung der Emitterfläche sind aber auch größere Ströme möglich.

Bis zu einem Strom von $5 \mu\text{A}$ ist der Emissionskoeffizient der Basis-Emitter-Diode fast exakt 1, der Transistor eignet sich deshalb gut zum Bau einer Bandgap-Quelle.

Den Aufbau des lateralen Bipolartransistor zeigt Bild 1, rechts. Dieser Bipolartransistor entsteht aus einem P-Kanal-MOS-Transistor, dessen Gate mit dem Source verbunden ist. Drain und Source des MOS-Transistors bilden Emitter und Kollektor des Bipolartransistors, die Wanne bildet die Basis.

Bei diesem Transistor ist der Kollektor frei zugänglich, deshalb können mit ihm auch Spannungsverstärker in Emitterschaltung aufgebaut werden.

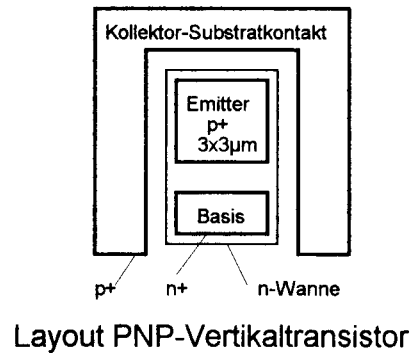
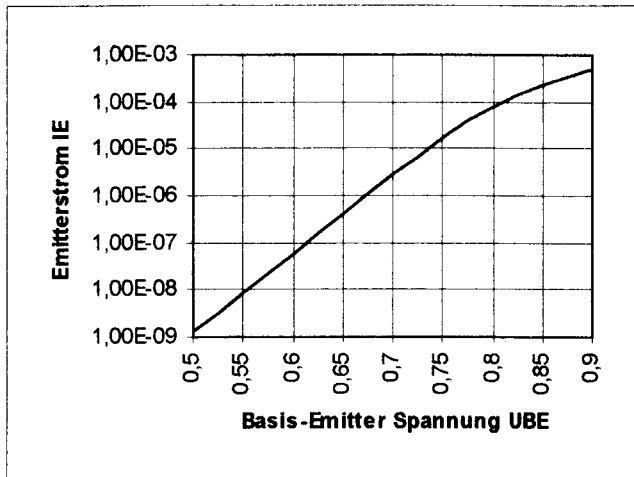
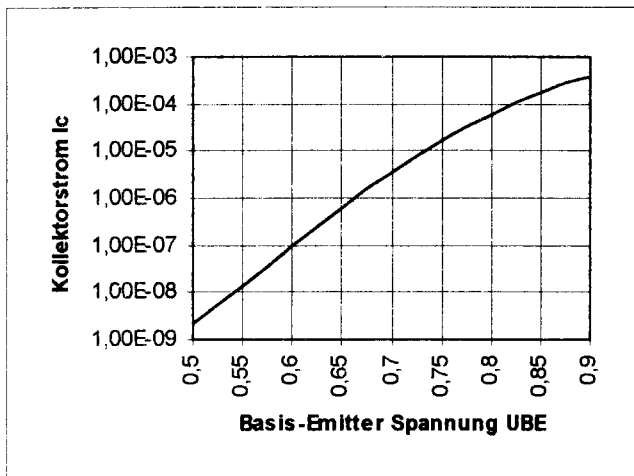


Bild 2: Kennlinie und Layout PNP-Vertikaltransistor



Layout PNP-Lateraltransistor

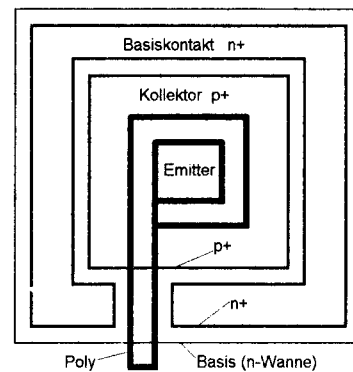


Bild 3: Kennlinie und Layout PNP-Lateraltransistor

Bild 3 zeigt das Layout und die Kennlinie $I_C=f(U_{BE})$ eines lateralen Bipolartransistors. Die Emitterfläche des Lateraltransistors ist wegen der geringen Eindringtiefe der Source/Drain-Diffusion bzw. des LDD-Implantates sehr klein. Deshalb können solche Transistoren nur sehr kleine Ströme abgeben. Im Bild 4 links ist die Stromverstärkung des Lateraltransistors über dem Kollektorstrom aufgetragen. Ab etwa $1\mu A$ fällt die Stromverstärkung stark ab.

Bei Lateraltransistoren fließt neben dem eigentlichen Kollektorstrom I_C auch ein Substratstrom I_S , weil zu jedem Lateraltransistor immer auch ein Vertikaltransistor parallelgeschaltet ist. Bild 4, rechts zeigt das Verhältnis von Substratstrom I_S zu Kollektorstrom I_C .

Der Substratstrom fließt gegen Masse ab. Er sollte darum möglichst klein sein. Da der Substratstrom proportional zur Fläche des Emitters ist, der Kollektorstrom dagegen proportional zum Umfang desselben, wird die Emitterfläche des Lateraltransistors so klein wie möglich designed.

Bei den hier verwendeten Lateraltransistoren wurde die Emitterfläche auf das kleinste nach den Design-Rules mögliche Maß verkleinert.

Die Basisweite der Lateraltransistoren wird durch die Breite des Poly-Silizium-Ringes im p+-Gebiet definiert (siehe Layout Bild 2 rechts unten). Wir benutzten bei allen Lateraltransistoren die minimale Poly-Breite von $0,7\mu m$.

Die Early-Spannung der Lateraltransistoren beträgt nur etwa 10V.

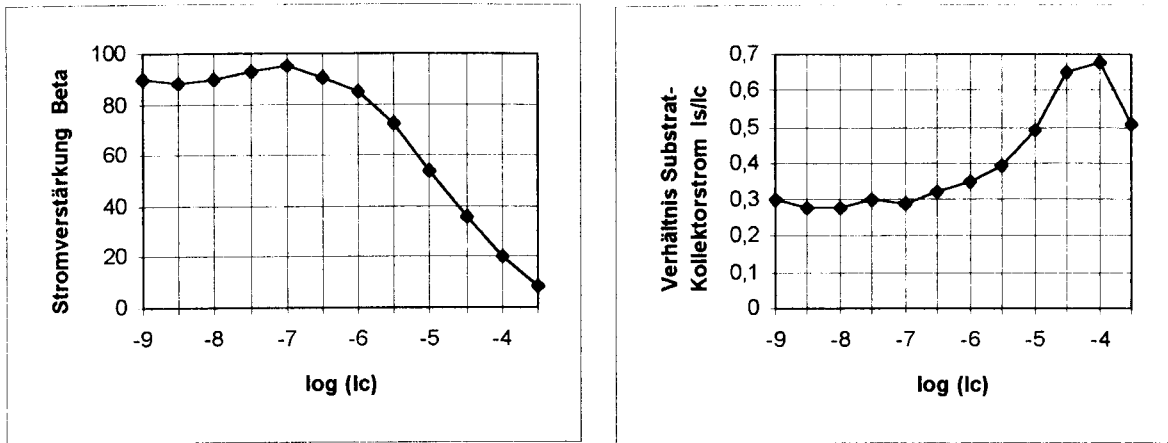


Bild 4: links: Stromverstärkung des Lateraltransistors über Kollektorstrom I_c
rechts: Verhältnis Kollektorstrom I_c zu Substratstrom I_s

Laterale Bipolartransistoren eignen sich wegen der kleinen Stromergiebigkeit nur für niedrige Frequenzen, haben aber dort den Vorteil eines geringen Funkelrauschens und einer niedrigen Offsetspannung. [1][4]
Ein Nachteil von Lateraltransistoren ist der relativ große Basisbahnwiderstand.

Bild 5 zeigt eine Bandgapschaltung, die mit lateralen- und vertikalen Bipolartransistoren aufgebaut wurde.

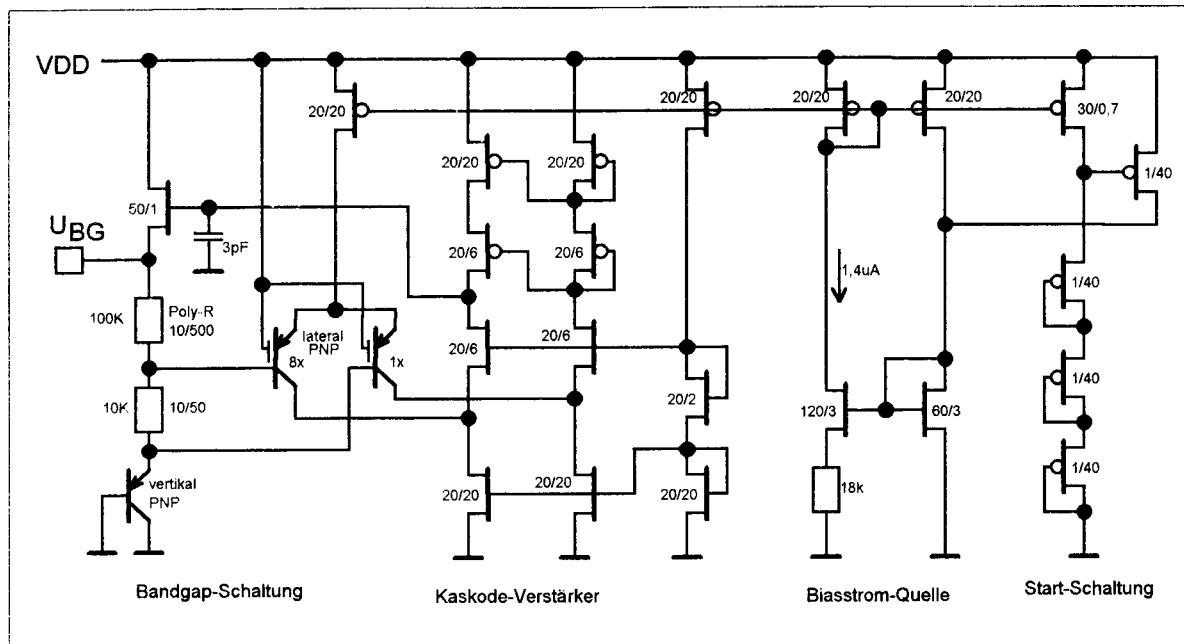


Bild 5: Gesamtschaltung der Bandgap-Quelle

Bild 6 zeigt eine vereinfachte Schaltung. Die Bandgap-Spannung U_{BG} entsteht aus der Reihenschaltung einer Diodenspannung mit negativem Temperaturkoeffizient und der vervielfachten Temperaturspannung mit positiven Temperaturgang.
Die Diodenspannung wird mit einem vertikalen Transistor erzeugt. Die vervielfachte Temperaturspannung wird mit einem unsymmetrischen Differenzverstärker erzeugt. Der Differenzverstärker ist aus 9 Lateraltransistoren aufgebaut, die in einer 3x3 Matrix angeordnet sind. Durch die unsymmetrische Beschaltung des Differenzverstärkers (1 bzw. 8 Transistoren parallel)

entsteht eine Offsetspannung von $2 \cdot U_T$, die durch den Spannungsteiler vervielfacht wird und den negativen Temperaturkoeffizienten der Diodespannung kompensiert.

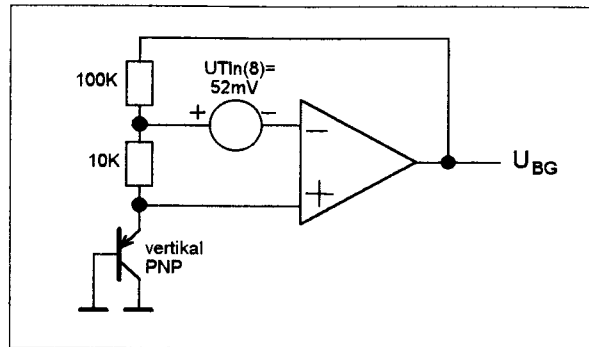


Bild 6: Prinzipschaltung der Bandgap-Quelle

Der Verstärker zur Vervielfachung von U_T besteht aus einer gefalteten Kaskodestufe mit Source-Folger Ausgangsstufe. Bei dieser Schaltung tritt nur eine Polstelle am hochohmigen Verstärkerausgang auf. An diesem Ausgang wurde eine Kompensationskapazität von 3pF eingebaut. Für die Spannungsteilerwiderstände wurde hochohmiges Poly verwendet. In der Mietec-CMOS-0,7 μ m-Technologie gibt es einen speziellen Layer für hochohmige Poly-Widerstände mit einem Quadratwiderstand von 2K Ω . Neben einer relativ guten Reproduzierbarkeit haben diese Widerstände vor allem den Vorteil einer geringeren Spannungsabhängigkeit gegenüber den sonst verwendeten Wannwiderständen.

Die an den Chips gemessene Ausgangsspannung U_{BG} liegt etwa bei 1,26 V, ist also etwas zu hoch.

Bild 7 links zeigt den gemessenen Temperaturgang von U_{BG} .

U_{BG} hat einen ungewöhnlich starken Temperaturgang von 0,2mV/K.. Um den Temperaturkoeffizient auf Null zu bringen, müßte die Ausgangsspannung, z. B. durch Verkleinern des 100K Ω -Spannungsteilerwiderstandes, auf etwa 1.20V abgeglichen werden.

Die im Spannungsteiler eingesetzten Poly-Widerstände haben einen Temperaturkoeffizienten TKR von ca. -0,2 %/°C. Nach [5] entsteht dadurch ein positiver Temperaturgang von U_{BG} von

$$\frac{dU_{BG}}{T} = -U_T \cdot TKR = +0,05\text{mV}/^\circ\text{C}$$

Bild 7 rechts zeigt die Abhängigkeit der Ausgangsspannung U_{BG} von der Versorgungsspannung VDD. Ab 4V Versorgungsspannung ist U_{BG} stabil. Die Ursache für diese hohe Schwelle ist in der Kaskodestufe zu suchen. Sie braucht, wegen der in Reihe geschalteten Transistoren, eine relativ hohe Betriebsspannung, um einwandfrei zu arbeiten.

Daten der Bandgap-Quelle:

| | | |
|--|---|--------------------|
| Ausgangsspannung | $U_{BG} = 1,252\text{V} \dots 1,279\text{V}$ | (7 Chips gemessen) |
| Stromverbrauch | 13 μ A | |
| Durchgriff der Betriebsspannung auf U_{BG} | $dU_{BG}/dVDD = 0,6\text{mV/V}$ | |
| Temperaturstabilität U_{BG} | $dU_{BG}/dT = 0,2\text{mV/K}$ | (T=0...80°C) |
| Spannungstabilität bei Ausgangsstrom | $dU_{BG}/dI_{BG} = 1,5\text{mV/mA}$ | |
| Einschwingzeit bei Ausgangsstromimpuls | $\tau = 4\mu\text{s}$ | |
| Chipfläche | 361 $\mu\text{m} \times 139\mu\text{m} = 0,05\text{mm}^2$ | |

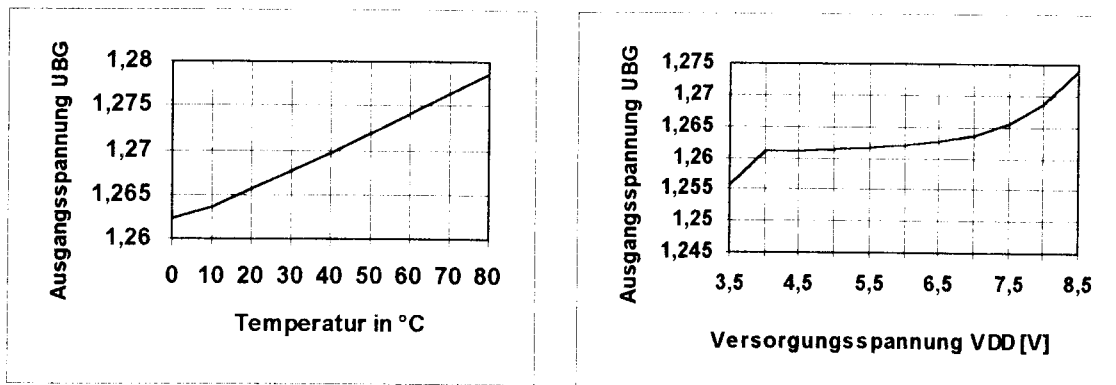


Bild 7: Temperaturgang und Betriebsspannungsunterdrückung der Ausgangsspannung U_{BG}

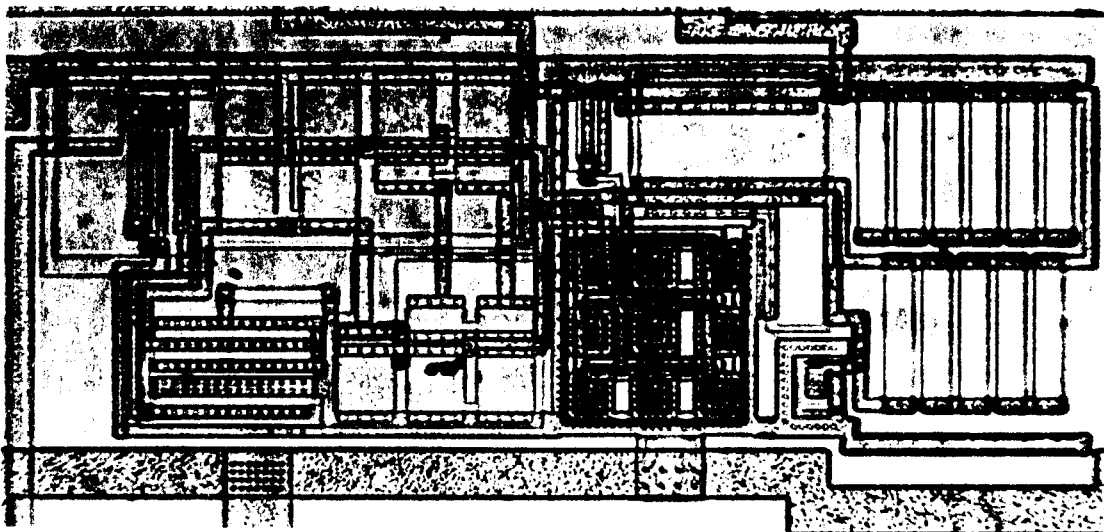


Bild 8: Chip-Photo der Bandgap-Quelle

Literatur:

- [1] Vittoz
MOS-Transistors Operated in the Lateral Mode and their Application in CMOS-Technologie
IEEE-J. of Solid State Circuits 1983, S. 273-279
- [2] Degrauwe, Leuthold, Vittoz u.a.
CMOS Voltage References Using Lateral Bipolar Transistors
IEEE-J. of Solid State Circuits 1985, S. 1151-1157
- [3] Song, Gray
A Precision Curvate-Compensated CMOS Bandgap Reference
IEEE-J. of Solid State Circuits 1983, S. 634-643
- [4] Holman, Connelly
A compact Low Noise Operational Amplifier for a 1,2µm Digital CMOS-Technologie
IEEE-J. of Solid State Circuits 1995, S. 710-714
- [5] Brokaw
A Simple Tree-Terminal IC Bandgap Reference
IEEE-J. of Solid State Circuits 1974, S. 388-393

Integrated High Frequency Oscillator

Achim Bumueller

02.02.1996

Contents

| | | |
|----------|---|----------|
| 1 | Introduction | 2 |
| 2 | Classification of Monolithic Oscillators | 2 |
| 2.1 | Relaxation Oscillators | 2 |
| 2.1.1 | Emitter-Coupled Oscillator | 3 |
| 3 | Oscillator Design | 6 |
| 3.1 | Simplified Oscillator Circuit | 6 |
| 3.2 | Circuit Simulation of Minimal Oscillator | 6 |
| 4 | Design and Layout | 8 |
| 5 | Measurement | 9 |
| 5.1 | Results of Measurements and Simulations | 9 |
| 5.1.1 | Measurement and Simulation of Frequency Versus Control Voltage | 9 |
| 5.1.2 | Dependency of Temperature in Measurement and Simulation | 9 |
| 5.1.3 | Measurement of Frequency Versus Power Supply Variation | 10 |
| 5.1.4 | Measurement of Phase noise | 10 |
| 5.1.5 | Conclusion | 10 |

1 Introduction

The oscillator is an electronic circuit which generates its own periodic, stable and pure signal. Oscillators are widely used in communication systems, analog circuits and complex digital systems. They generate the carrier signal which can be modulated in amplitude or frequency to transmit information, they convert analog voltage or current data into frequency or they generate a stable clock signal in a CPU. Oscillators are key building blocks in complex signal-processing systems such as phase-locked loops and frequency synthesizers.

An oscillator of type emitter-coupled multivibrator that is fully integrated and that produces a stable spectral pure signal of $73\text{dBc/Hz}(f_m = 10\text{kHz})$ is developed, designed and measured. The results of measurements are compared to results of simulations. Further the oscillator is attached to a PLL circuit and phase noise of $101\text{dBc/Hz}(f_m = 10\text{kHz})$ is measured.

2 Classification of Monolithic Oscillators

In general, oscillators can be broken down as depicted in figure 1.

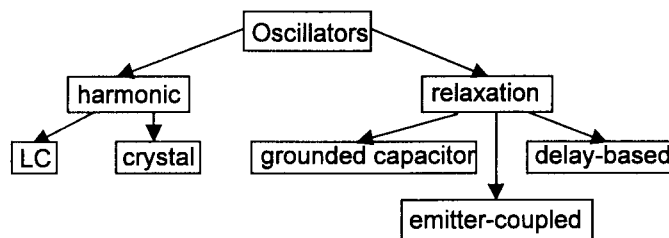


Figure 1: Classification of oscillators

Harmonic Oscillators usually require LC-tank circuits or crystals as the frequency setting component and they produce nearly sinusoidal outputs. The relaxation oscillators, which are also called multivibrators or charge-discharge oscillators normally use as energy storage element, a capacitor and they generate across the capacitors triangular waveforms and across the switching components rectangular signals.

In further work only the relaxation oscillators and especially the emitter-coupled oscillator are studied in detail.

2.1 Relaxation Oscillators

Relaxation oscillators are the most commonly used oscillators in monolithic circuits because they operate in a wide frequency range with only a few or no

external components. In comparison with harmonic oscillators they need no expensive frequency-selective tuning element. Due to their function, switching back and forth between two astable states, they produce periodic rectangular and triangular waveforms. According to the mechanism of the oscillation, relaxation oscillators can be broken down into three types:

- grounded capacitor VCOs,
- emitter-coupled VCOs, and
- delay-based ring VCOs.

The operation of the first two oscillators are similar, the third oscillator works quite differently because the timing relies on delays of the inverters which are connected to a ring.

2.1.1 Emitter-Coupled Oscillator

Emitter-coupled oscillators can be designed by using only npn transistors. Thus the use of all non-saturating npn transistors and the symmetrical circuit configuration makes them suitable for high frequency operation. The simplified emitter-coupled oscillator, and the associated waveforms are shown in figure 2. The transistors Q_1 and Q_2 form the positive feedback gain stage through the collector resistors R_1 and R_2 . The current sources I_1 and I_2 are voltage controlled with an input voltage V_{CON} . Emitter followers Q_3 and Q_4 are used as coupling elements from transistors collectors to transistors bases in the loop and are biased by current sources I_3 and I_4 at their emitters. The diodes, usually diode-connected transistors, Q_5 and Q_6 , act as voltage clamps and limit the value of the voltage drop across the resistors, R_1 and R_2 . The operation of the oscillator can be described as follows. Assuming current flows through resistors R_1 and R_2 , the voltage drop is sufficient to turn on the diodes Q_5 and Q_6 . Due to a large $\beta = \frac{I_C}{I_B}$ the base currents are assumed to be negligible.

We start by setting Q_1 off and Q_2 on. Since Q_2 is on, Q_6 conducts with a voltage drop, across R_2 of V_{BE} . The base voltage of Q_4 is

$$V_{B4} = V_{CC} - V_{BE} \quad (1)$$

The base voltage of Q_1 is

$$V_{B1} = V_4 - V_{BE} = V_{CC} - 2V_{BE} \quad (2)$$

Since base currents are neglected, the base voltage of the emitter follower Q_3 is

$$V_{B3} = V_{CC} \quad (3)$$

and, as shown in the waveforms

$$V_{B2} = V_{CC} - V_{BE} \quad (4)$$

$$V_{E2} = V_{CC} - 2V_{BE} \quad (5)$$

Let the initial value of C_1 be zero (uncharged). This leads to

$$V_{E1} = V_{E2} = V_{CC} - 2V_{BE} \quad (6)$$

The current source I_1 charges C_1 , and V_{E1} is pulled lower at a rate of $\frac{I_1}{C_1}$. Q_1 turns on, when $V_{E1} = V_{CC} - 3V_{BE}$. At this point regenerative switching occurs to the other quasistable state. As a result Q_5 starts conducting, which subsequently turns off both Q_2 and Q_6 . This causes V_{E1} to be pulled up to one diode drop. Since the voltage across C_1 cannot change instantaneously the voltage step of $1V_{BE}$ is coupled to the other side of timing capacitor C_1 , changing the voltage V_{E2} from $V_{CC} - 2V_{BE}$ to $V_{CC} - V_{BE}$. Now the first half of the period finishes and the second one starts in the same way with the roles of the transistors of the right side and the transistors of the left side interchanged since the circuit is symmetric.

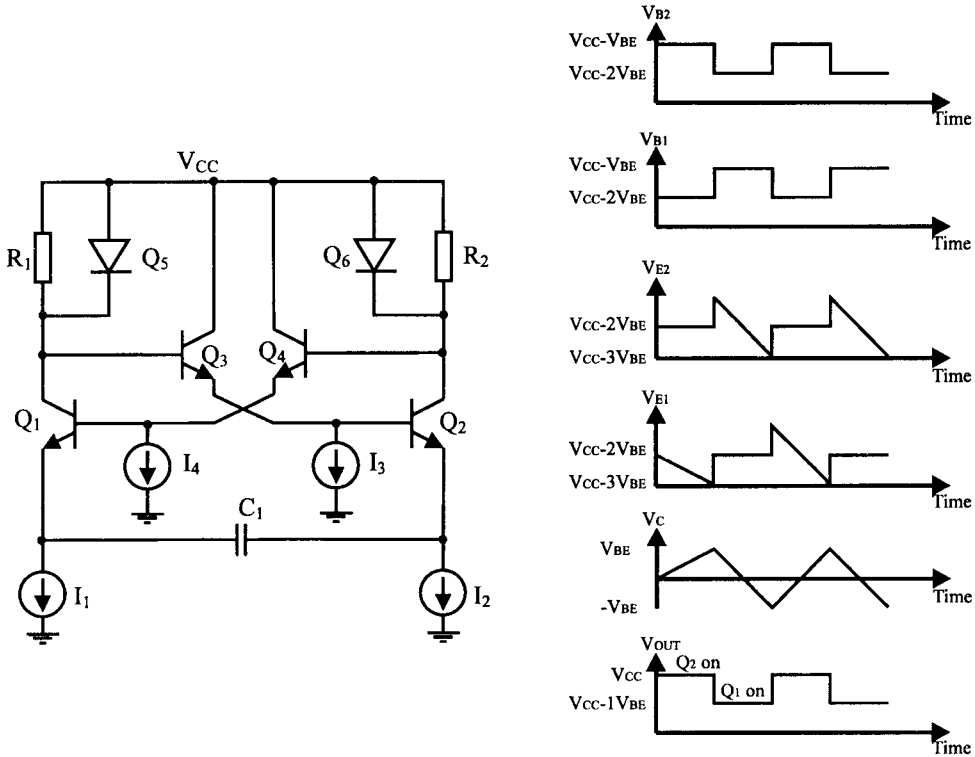


Figure 2: Emitter-coupled oscillator and waveforms at interesting nodes

The time for a half cycle is

$$\frac{T_p}{2} = C_1 \frac{2V_{BE}}{I_o} \quad (7)$$

where T_p is the period of oscillation and $I_o = I_1 = I_2$. The frequency of oscillation is

$$f_0 = \frac{1}{T_p} = \frac{I_o}{4C_1 V_{BE}} \quad (8)$$

There are several output waveforms available, being a rectangular waveform with a peak-to-peak voltage swing of $1V_{BE}$ at node V_{B1} and V_{B2} and two linear ramps at node V_{E1} and V_{E2} with a peak-to-peak voltage swing of $2V_{BE}$. A linear triangular waveform is available by subtracting V_{E1} from V_{E2} with a simple differential-to-single-ended amplifier.

The upper limit of the oscillation frequency is determined by the switching delays around the positive feedback loop and the parasitic capacitances at the emitters of Q_1 and Q_2 . These parasitics are contributed from the base-emitter junction capacitances of Q_1 and Q_2 and the collector-to-substrate capacitances of transistors making up of the current sources. If an external capacitor is used, the parasitic capacitances of the package and the bonding wires must also be included. A typical value of this parasitic is $5pF$.¹ The lower limit of the oscillation frequency for the configuration shown in figure 2 is attainable by examining equation (8). It is valid only when the voltage swing at the collectors of Q_1 and Q_2 is clamped at $1V_{BE}$ by Q_5 and Q_6 . Therefore when I_o is decreased to a value of $2I_oR = V_{BE}$, the oscillation frequency reaches a minimum of

$$f_{o,min} = \frac{1}{8RC_1} \quad (9)$$

Further decrease of I_o will not change the oscillation frequency.

The major drawback of this oscillator is the poor stability with temperature due to the fact that oscillation frequency depends on V_{BE} . The temperature coefficient can be calculated as

$$\frac{1}{f_o} \frac{\partial f_o}{\partial T} = -\frac{1}{V_{BE}} \frac{\partial V_{BE}}{\partial T} = \frac{2 \text{ mV}/^\circ C}{800 \text{ mV}} = 2500 \text{ ppm}/^\circ C \quad (10)$$

since V_{BE} varies at a rate of about $-2 \text{ mV}/^\circ C$ with temperature. The frequency of oscillation has a positive TC of $2500 \text{ ppm}/^\circ C$. This temperature effect can be compensated by making the charge current I_o with the same dependence of V_{BE} . This technique can yield to a TC of $\pm 300 \text{ ppm}/^\circ C$ for frequencies up to 5 MHz. Due to the symmetric configuration and the exclusive use of npn transistors a wide frequency range of 1000:1 typically can be obtained.

Regarding phase jitter, the emitter-coupled oscillators have poor performance due to the low quality of frequency-selective elements. To achieve low jitter a large voltage swing across the timing capacitor, and a small input-referred noise at the bases of the switching transistors Q_1 and Q_2 are required.

¹There is also an inductance of about $L_{effec} = 3nH$ present.

3 Oscillator Design

3.1 Simplified Oscillator Circuit

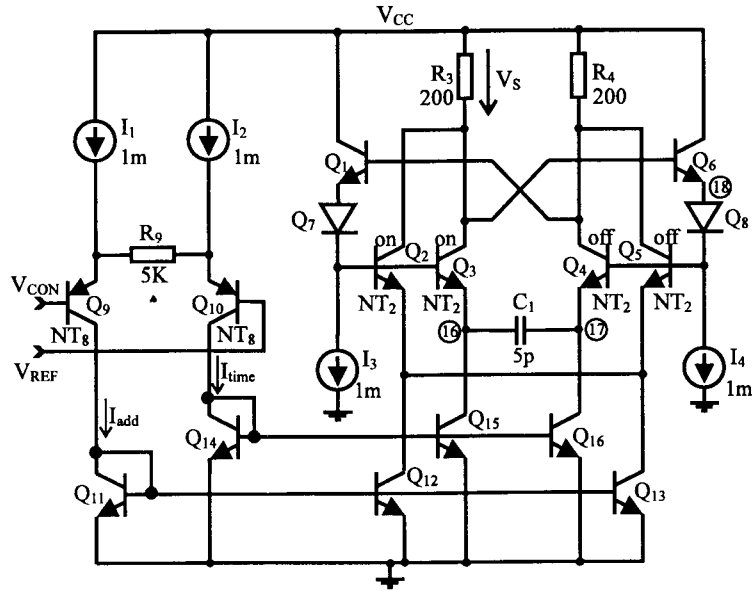


Figure 3: Minimal circuit of the oscillator

In figure 3 the minimal circuit of an oscillator is shown. It consists of a voltage-to-current converter, two current mirror stages and the proper oscillator. The converter is an ordinary pnp differential amplifier with a common-emitter resistor. It produces two differential currents, I_{time} and I_{add} , which are propagated through the current mirror stages and are applied to the inner oscillator.

The main structure is equivalent to the circuit depicted in figure 2. In order to obtain an oscillator that is controlled by a voltage, the oscillator has two additional current branches built of two transistors, Q_2 and Q_5 , that are parallel to the branches of the switching transistors, Q_3 and Q_4 . Due to these additional branches the voltage drop, V_S , over the collector resistors, $R_3 = R_4 = R$, is fixed at a constant voltage that is defined as

$$V_S = 2 * (I_{time} + I_{add}) * R \quad (11)$$

The working method is the same as described in section 2.1.1. Note, that the diode drop V_{BE} that occurs over resistor R_1 respectively R_2 in figure 2 must be substituted by the described voltage drop, V_S , here.

3.2 Circuit Simulation of Minimal Oscillator

The simulation is done with an equivalent circuit as shown in figure 3. For the sake of simplicity, the input stage together with the two current mirror subcircuits

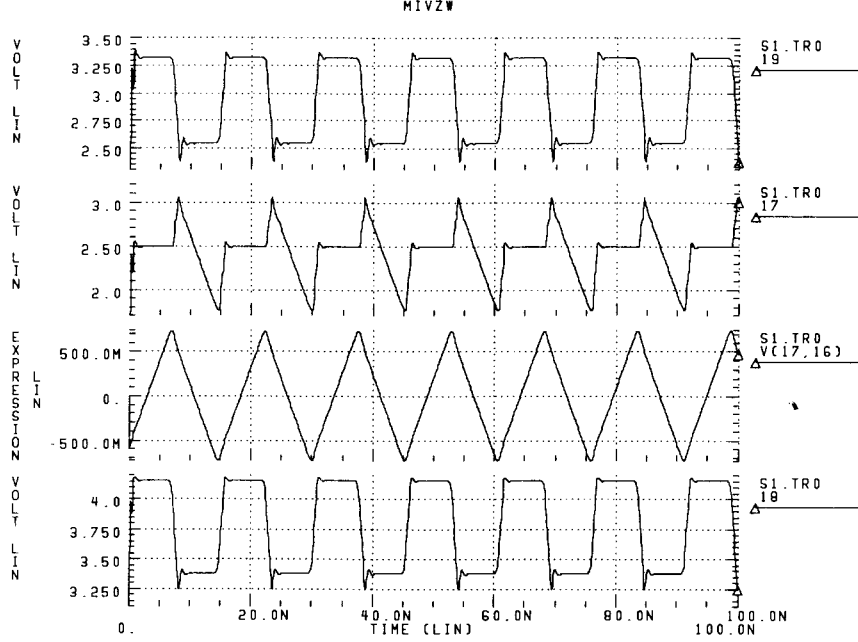


Figure 4: Waveforms of interesting nodes of the oscillator

are completely substituted by four ideal current sources, I_{12} , I_{13} , I_{15} and I_{16} , each driven with $I = 1mA$. The waveforms of voltages at interesting nodes are depicted in figure 4.

The voltage drop, V_S , defined in equation (11) is

$$V_S = 4 * I * R = 4 * 1mA * 200\Omega = 0.8V \quad (12)$$

Thus the theoretical frequency using equation (8) and substituting term V_{BE} by V_S is $f_{theo'} = 62.5MHz$. Actually the simulated frequency of oscillation, f_{sim} , is $f_{sim} = 65.325MHz$. The source of this error is that only a fraction of the total voltage drop is seen at the terminals of the timing capacitor. Using the value of peak-to-peak voltage of the waveform, $V(17,16)$, one obtains $V_{PP}(17,16) = 1.46V$ instead of $V_{PP}' = 1.6V$ as expected and an oscillation frequency of $f_{theo} = 68.493MHz$.

The error of 4.6% is caused by switching delays and the parasitics that are present at emitter nodes of switching transistors.

4 Design and Layout

The VCO has been designed within the ADS environment of Cadence EDGE on Sun workstations. In the chosen $2\mu\text{m}$ BiCMOS technology from SGS Thomson the npn transistors have a cutoff frequency of $f_T = 6\text{GHz}$.

The complete voltage-controlled oscillator contains the circuitry shown in figure 3 and additionally a bias circuit that supplies the current mirror stages and that produces a stable reference voltage of $V_{REF} = 3\text{V}$. Further the complete circuit has an output stage consisting of a differential amplifier and, to each collector branch, an emitter follower with an output resistance of 50Ω .

The layout of the inner oscillator can alter the value of the capacitance that determines the oscillation frequency. The capacitance is designed as a ladder where the steps are substituted by capacitors and where the value is determined by cutting off the unused capacitors by a laser. Thus values between 1pF up to 12pF are attained. For measurement the chosen capacitances are 2pF , 6pF and 12pF . To decouple the "hot" part of the VCO, i.e. the oscillator itself, from the "cold" part, i.e. the bias circuit, two VDD pads are used.

The layout of the fully integrated voltage-controlled oscillator is shown in figure 5. The "capacitance ladder" can be seen on the right side of the picture. It has a value of $C_1 = 2\text{pF}$.

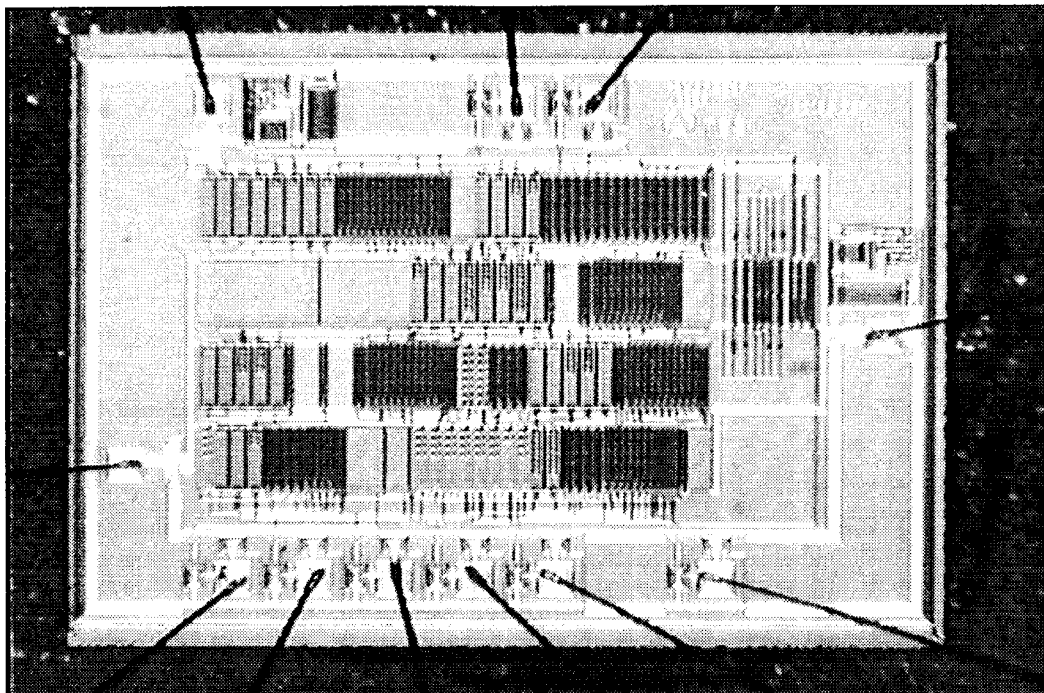


Figure 5: Layout of the VCO

5 Measurement

For measurements of the VCO a testboard was developed. The pins of power supplies and the input pin, VCON, are applied to capacitors which attenuate the ringing on those pins. As mentioned, the reference voltage is applied internally to a constant voltage source of 3V. For comparison of results of measurements and simulations the back annotated simulation input file is used.

To assess the frequency of VCOs in quality and purity different parameters are regarded:

- the linearity of voltage-to-frequency characteristic, $f = f(V_{CON})$,
- the temperature behavior, $f = f(T)$,
- the stability with power supply, $f = f(V_{CC})$, and
- the phase noise.

The first three parameters are determined in the time domain by measuring the frequency as a function of different environmental conditions. The frequency is measured with an oscilloscope and an active probe.

Phase noise is measured in the frequency domain with a spectrum analyzer.

5.1 Results of Measurements and Simulations

5.1.1 Measurement and Simulation of Frequency Versus Control Voltage

The voltage-to-frequency characteristic is measured by varying the control voltage in the range from 2.25V to 4V. The results of measurements are compared to the results of simulations. In figure 6 both results are depicted for a VCO with a timing capacitor of $C_1 = 12pF$.

The graph shows the high linearity of voltage-to-frequency characteristic in a range from 7.9MHz up to 63MHz. The standard deviation of the measured curve is $S = 0.182MHz$ and thus the error is 0.56%. The VCO gain is $K_O = 32.536 \frac{MHz}{V}$. Further the comparison of simulation and measurement shows a very good agreement.

Similar results are achieved up to 217MHz with capacitances of 6pF and 2pF. With a capacitor of 2pF the relative error between measurement and simulation increases to 3.2%.

5.1.2 Dependency of Temperature in Measurement and Simulation

The measurement was done in a temperature cabin. The temperature was varied from 0°C up to 85°C. The control pin, VCON, was applied to 3V. Simulations

are performed in the same temperature range. The results for VCO circuit with $C = 12pF$ are shown in figure 7.

The simulation does not exactly agree with the measurements. The relative deviation of the frequency at $20^\circ C$ is 5%. The temperature coefficient obtained by simulation is $TC_{sim} = -1322 \frac{ppm}{K}$ and by measurement it is $TC_{meas} = -1818 \frac{ppm}{K}$. Regarding TCs the values make plain that accuracy of temperature simulations suffers because of the poor temperature modelling in SPICE.

5.1.3 Measurement of Frequency Versus Power Supply Variation

Varying the voltage at "hot" V_{DD} pin in a range from 4V to 6V yields the results shown in figure 8.

The measurement shows that varying the power supply by 1% changes the frequency by only 0.02%. Note that current which charges/discharges the capacitor is generated within the bias circuit that is unaffected by the variation.

5.1.4 Measurement of Phase noise

Phase noise of the VCO is measured with a direct measurement method, i.e. the spectrum analyzer is directly applied to the output pin of VCO. This method can be used because the signal of the local oscillator of spectrum analyzer is much better than the signal of the VCO. The result is depicted in figure 9.

The VCO shows a phase noise of $\mathcal{L}(f_m) = -73.0dBc/Hz$ ² with an offset of $10kHz$ away from the carrier.

To improve the phase noise the VCO is applied to a PLL circuit. In the locked state the near spectrum of the output signal of the VCO is depicted in figure 10. The phase noise at output of VCO is improved nearly by $30dB$ to a value as high as $\mathcal{L}(f_m) = -100.5dBc/Hz$.

5.1.5 Conclusion

In table 1 a summary of chip data and results of measurements is given. The electrical data belong to the VCO with a timing capacitance of $12pF$.

It has been shown that it is possible to develop and manufacture a fully integrated VCO in BiCMOS technology that runs within a PLL circuit and that produces a spectral pure output signal of $-101dBc/Hz$ ($f_m = 10kHz$). Thus the usage in RF applications is possible.

²The result is obtained by measuring a value of $-44.66dB$ with a resolution bandwidth of $1kHz$. Because phase noise is defined within a bandwidth of $1Hz$ a bandwidth normalization correction factor of $-30.8dB$ must be added. Further a spectrum analyzer effect correction factor of $+2.5dB$ for HP spectrum analyzers must also be added.

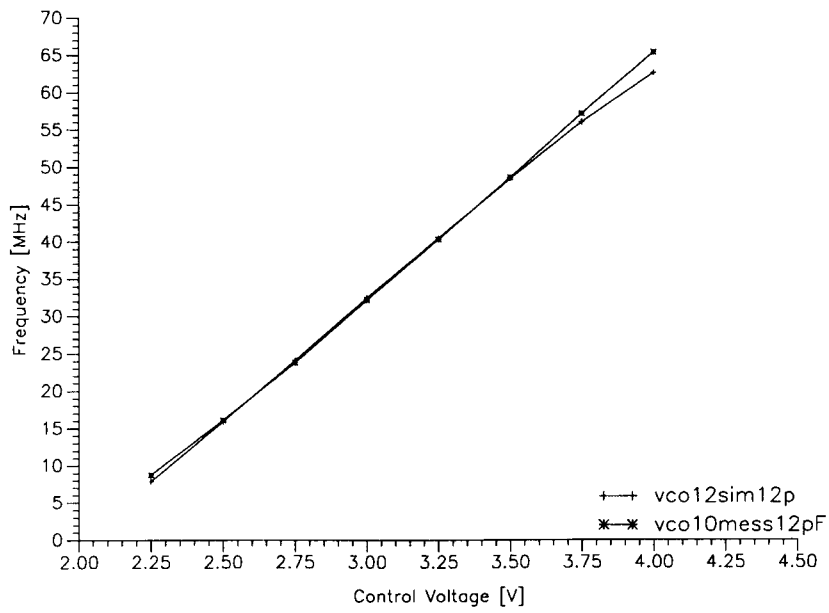


Figure 6: Comparison of measured and simulated curves of the VCO with $C = 12pF$

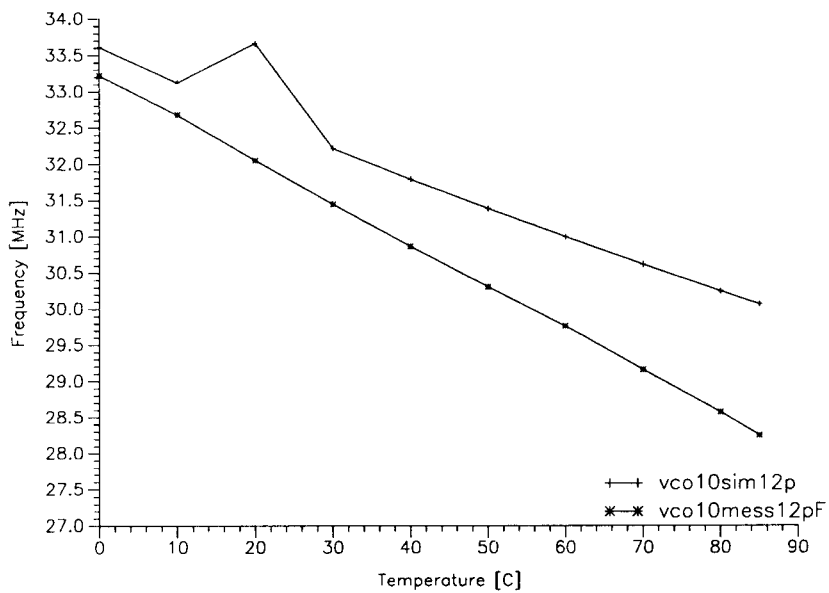


Figure 7: Measured and simulated temperature behaviour of the VCO with $C = 12pF$

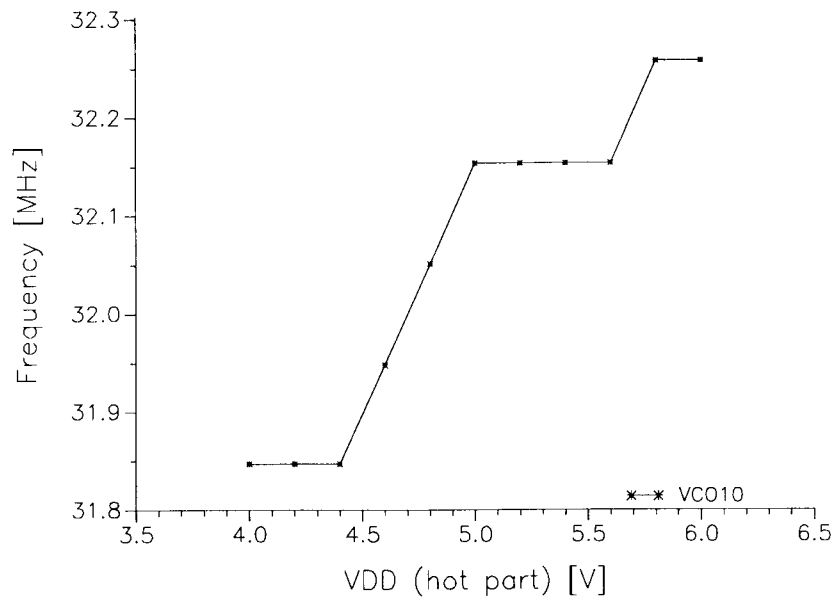


Figure 8: Frequency behaviour versus variation of V_{DD} of the VCO with $C = 12pF$

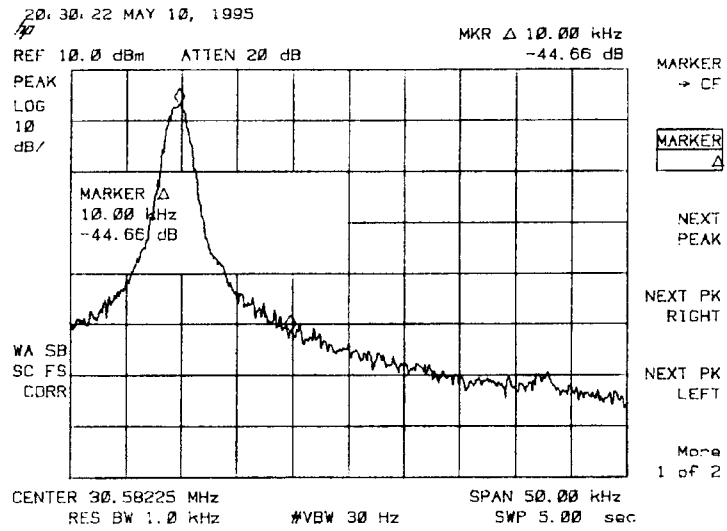


Figure 9: Near spectrum of the VCO at center frequency with $C = 12pF$

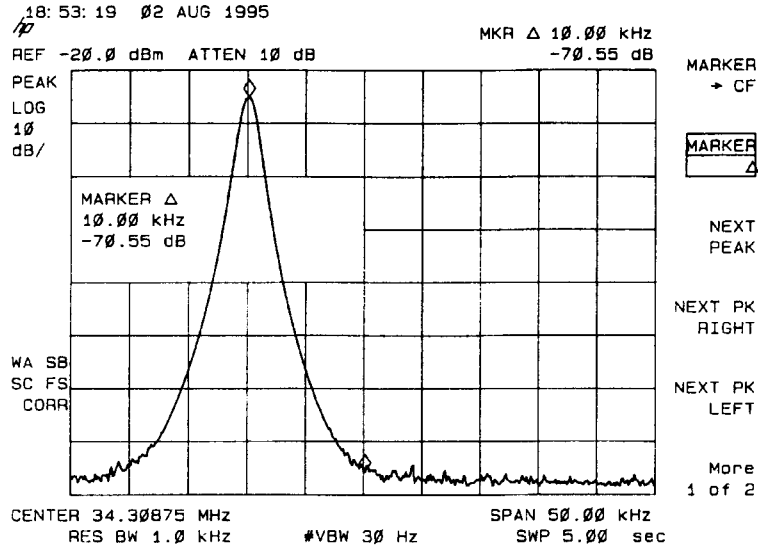


Figure 10: Near spectrum of the VCO output in the PLL circuit

| | |
|---|----------------------------------|
| Total Area | 5.56mm ² |
| Package | DIL 18 |
| Power Supply V_{CC} | 5V |
| Power Dissipation | 68mW |
| Center Frequency ($V_{CON} = 3V$) | 32.44MHz |
| VCO Gain | 32.5 MHz/V \pm 0.6% |
| Temperature Coefficient | -1818 ppm/K |
| VCO Frequency DC Power Supply Sensitivity | 0.02% per 1% Power Supply Change |
| Phase Noise of Freerunning VCO | -73dBc/Hz with 10kHz Offset |
| Phase Noise of VCO in PLL | -101dBc/Hz with 10kHz Offset |

Table 1: Summary of VCO Parameters

References

- [1] D. O. Pederson, K. Mayaram: *Analog Integrated Circuits for Communication, Principles, Simulation and Design*, Kluwer Academic Publishers (1991), ISBN 0-7923-9089-X
- [2] A. B. Grebene: *Bipolar and MOS Analog Integrated Circuit Design*, John Wiley & Sons (1984), ISBN 0-471-08529-4
- [3] P. R. Gray, R. G. Meyer: *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons (1984), ISBN 0-471-87493-0
- [4] Liu Ting-Ping: *High-Frequency, Temperature-Compensated Monolithic Voltage-Controlled Oscillator Design Techniques*, Dissertation, University of California, Berkley (1988)
- [5] Liu Ting-Ping: *A 250-MHz Monolithic Voltage-Controlled Oscillator with Low Temperature Coefficient*, IEEE J. Solid-State Circuits, vol. 25, pp.555-561, April 1990
- [6] R. Maeusl, E. Schlagheck: *Messverfahren in der Nachrichten- Uebertragungstechnik*, Huethig (1991), ISBN 3-7785-2057-1
- [7] Hewlett Packard: *RF and Microwave Phase Noise Measurement Seminar*, Seminar skript
- [8] Hewlett Packard: *Understanding and Measuring Phase Noise in the Frequency Domain*, Application Note 207, (1976)

Bericht über Erfahrungen beim Einsatz von LOG/iC2 Eval im Labor

**Vortrag in Karlsruhe am 2.2.96 für die
MPC-Gruppe
der Fachhochschulen in Baden-Württemberg**

1

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax 252470

Vortragsgliederung

- **Ziele der Einführung in die Digitaltechnik an der FH Heilbronn**
- **Programmierbares Bauelement (Lehre)**
- **Beispiele mit programmierbaren Logikschaltungen: einfache kombinatorische und sequentielle Logik, Tastkopf, Logikanalysator/Generator**
- **Zusammenfassung und Ausblick**

2

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh heilbronn.de

Planung an der FH Heilbronn: Digitaltechnik

- **Neue Schwerpunkte werden in der Vorlesung Mikroelektronik gebildet: PLD**
- **Entwicklungssoftware ist für Studierende legal verfügbar**
- **Studierende können mit einer Experimentierschaltung (22V10) zuhause und im Labor Schaltungsentwürfe in Hardware umsetzen**
- **Neue praxisnahe Laboraufgaben sollen Lehrinhalte vertiefen**

3

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Professoren für Digitaltechnik

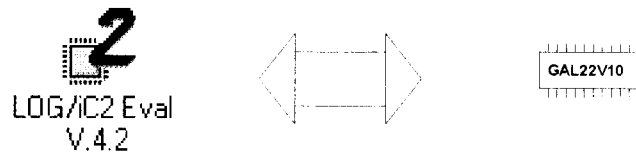
- **Prof. Dr. W. Auth, EL**
- **Prof. Dr. Doneit, PT**
- **Prof. Dipl.-Phys. G. Gruhler, FT**
- **Prof. Dipl.-Ing. E. Prochaska, PR**
- **Prof. Dr. D. Schmidt, MB**

4

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

PLD in der Lehre: GAL22V10

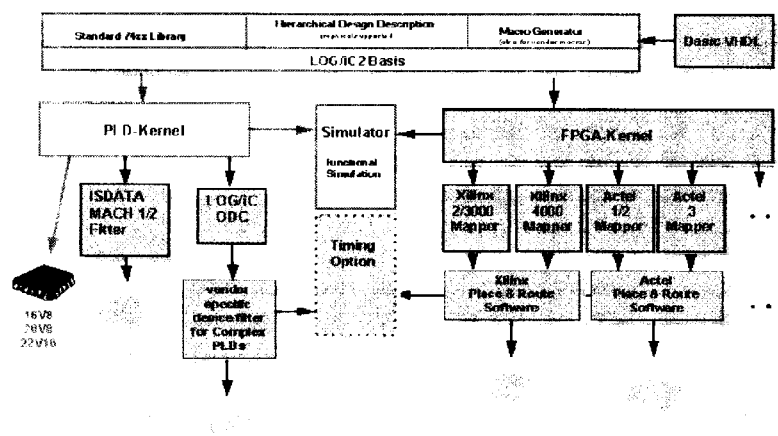
- Wiederprogrammierbarkeit
- bis zu 16 Minterme pro ODER-Verknüpfung
- Änderbarkeit von Logikfunktion und Anschlußbelegung
- Änderbarkeit von Logikfunktion für Prüfzwecke
- Reduktion der Lagerhaltung für verschiedene Bauelemente
- Wird von LOG/iC2 Eval unterstützt



5

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
 Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Leistungen LOG/iC2 Eval



6

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
 Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

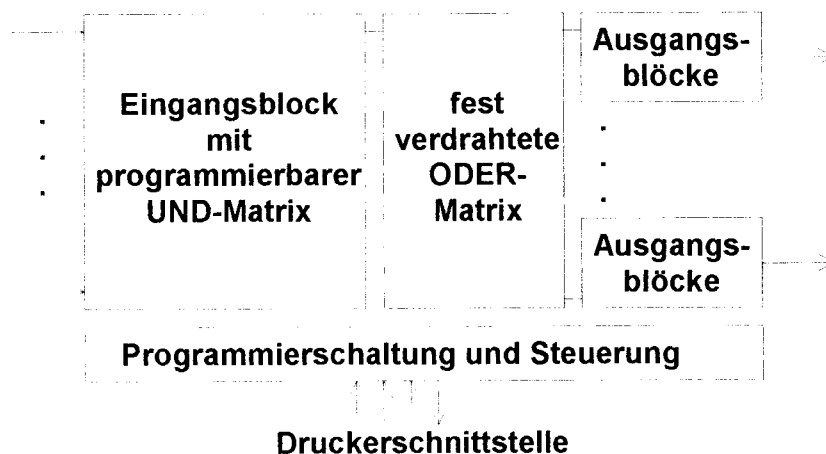
Voraussetzungen für Hard- und Software

- 486-PC mit VGA
- DOS 6.2 und Windows 3.1
- Hauptspeicher 8 MB
- Freier Plattenspeicher 25 MB
- Swapdatei 10MB für Windows
- LOG/iC2 Eval läuft vorerst nicht mit Windows 95

7

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Prinzipieller Aufbau eines GAL



8

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Wirtschaftlichkeitsbetrachtungen

- **Experimentierschaltung für jeden Laborteilnehmer**
- **Selbststudium für Bedienung und Syntax durch Kombination von Lernprogramm und Evaluationsversion**
- **Programmbedienung als Aufgabe der Laborvorbereitung**
- **Einführungsunterlagen mit Beispielen**

9

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon. 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Laboraufgaben

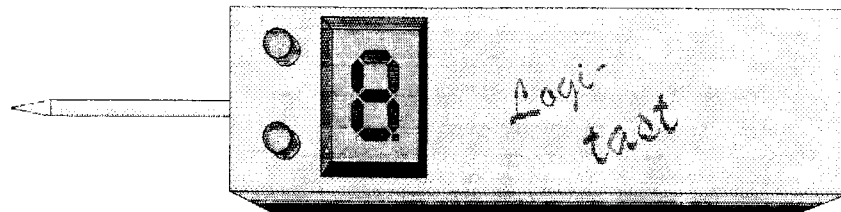
Vorliegende Hardwarekonzepte:

- **Kombinatorische Schaltungen**
- **Zähler verschiedenster Ausführung**
- **Rauschgenerator mit Lautsprecher**
- **Logikastkopf**
- **Garagentorsteuerung**
- **Verkehrsampel**
- **Pneumatische Steuerung**

10

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon. 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

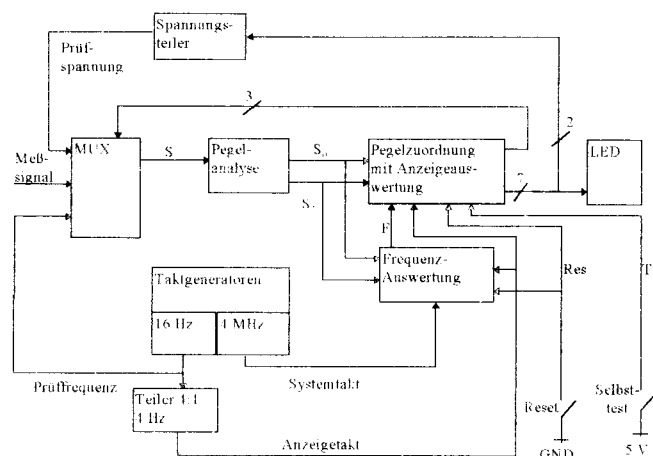
Logiktastkopf



11

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh-heilbronn.de

Stromlaufplan Logiktastkopf



12

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh-heilbronn.de

Bericht über Erfahrungen beim Einsatz von LOG/iC2 Eval im Labor

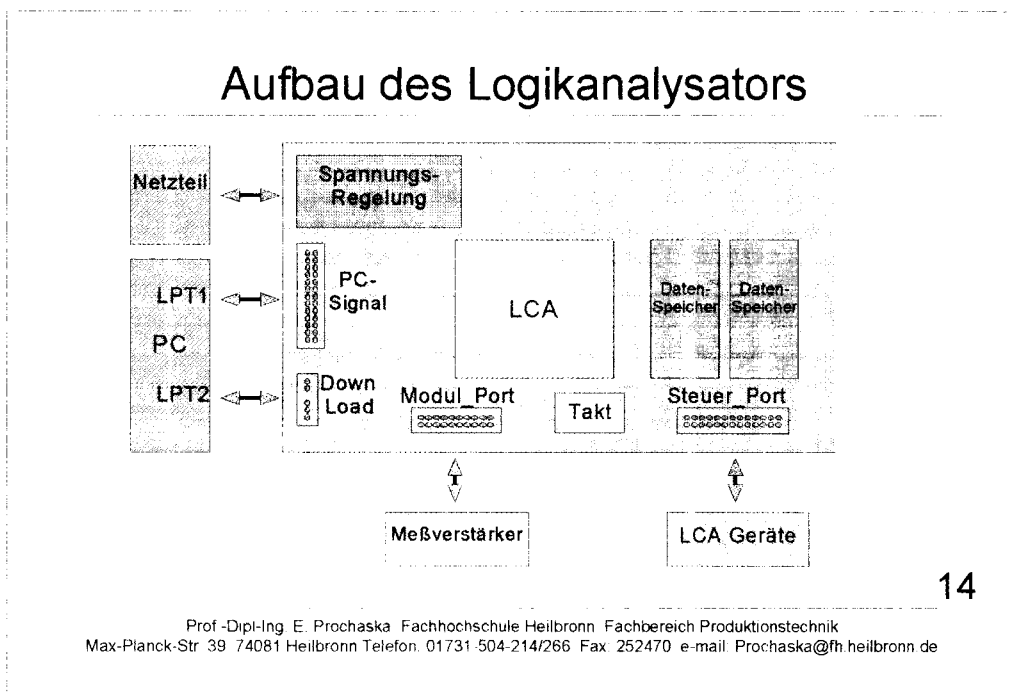
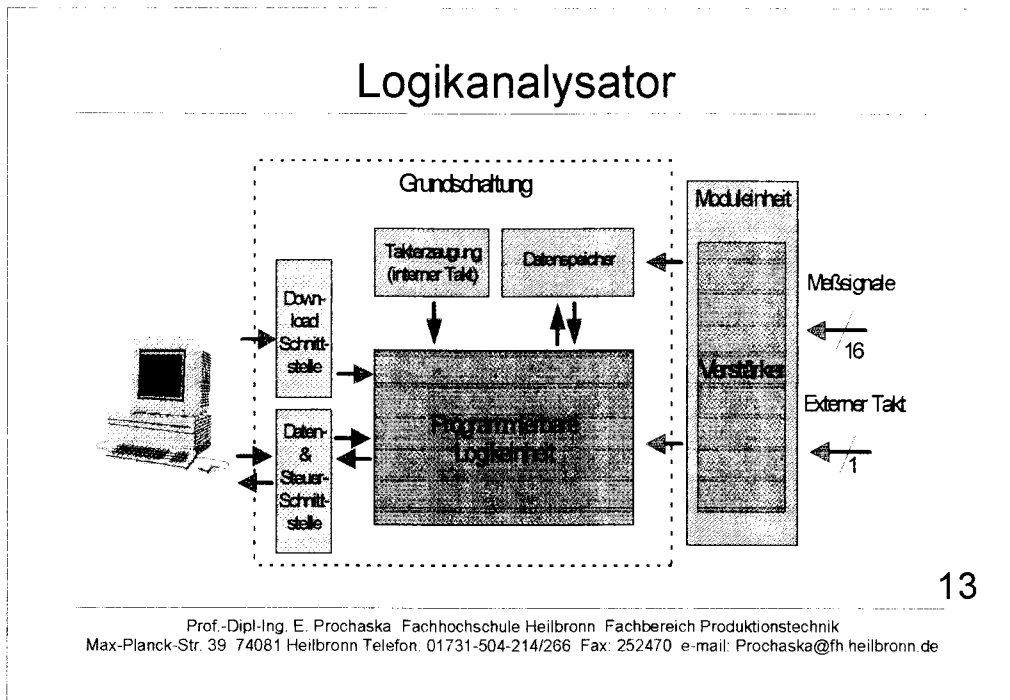
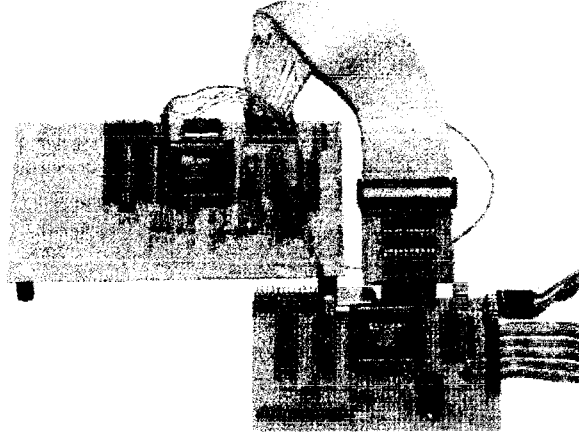


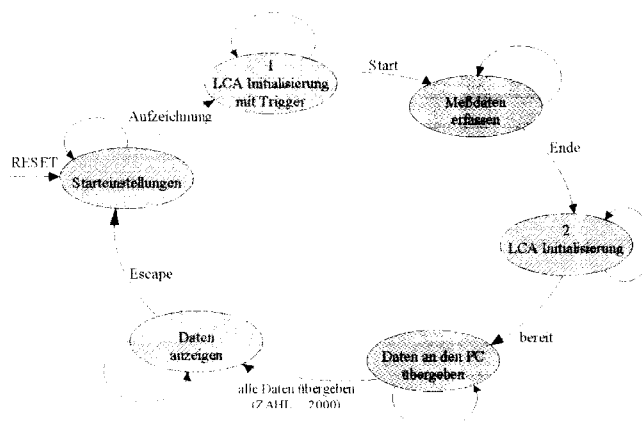
Photo des Versuchsaufbaus



15

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

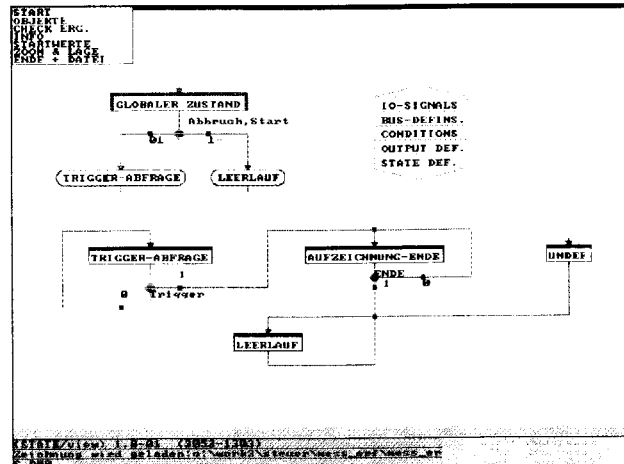
Zustandsdiagramm



16

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str. 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

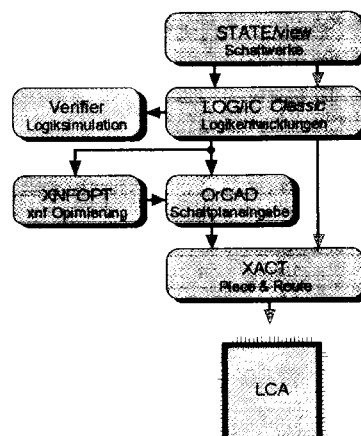
Zustandsdiagramm in STATE/view



17

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
 Max-Planck-Str 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

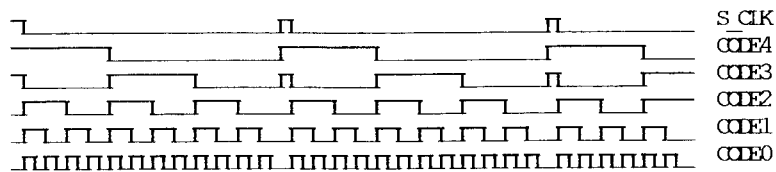
Schaltungsentwicklung



18

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
 Max-Planck-Str 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Ec: 63 Ae: 63 Tb: 379 Di=2 Jr=0 Tp missing



Def Break Find Pos Go Trp Step Reset_TP Mode Hard T_vect Quit Vers

19

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

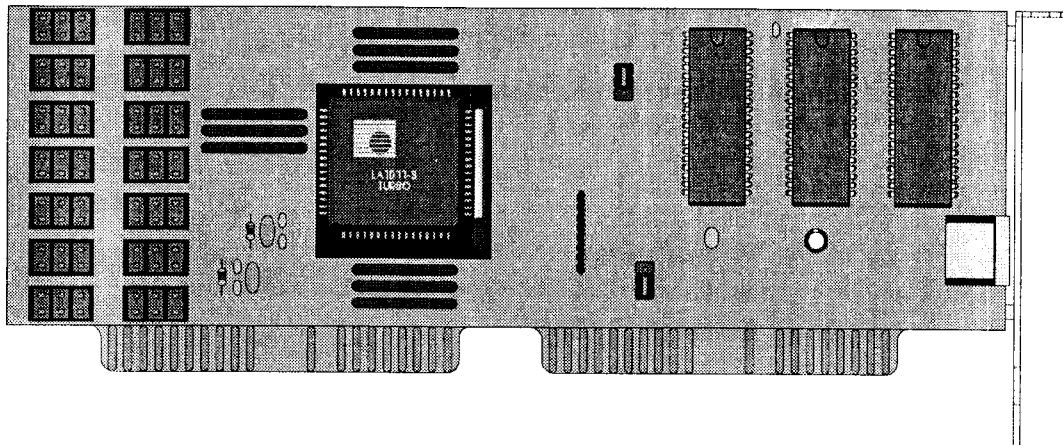
Zusammenfassung

- Programmierbare Logikschaltungen sind Industriestandard
- Programmierbare Logikschaltungen beeinflussen drastisch Systemkonzept, Schaltungsentwicklung, Produktion und Wartung von Geräten
- Programmierbare Logikschaltungen beeinflussen die Lehre
- Programmierbare Logikschaltungen bieten Chancen für innovative Gerätehersteller

20

Prof.-Dipl.-Ing. E. Prochaska Fachhochschule Heilbronn Fachbereich Produktionstechnik
Max-Planck-Str 39 74081 Heilbronn Telefon: 01731-504-214/266 Fax: 252470 e-mail: Prochaska@fh.heilbronn.de

Interaktives Hilfesystem für Mentor Graphics Boardstation



Vortrag zum MPC Workshop am 02.02.96 in Karlsruhe
über ein an der Fachhochschule Aalen entwickeltes Hilfesystem

- Kurzübersicht
- Struktur der Hilfetextmenüs
- Struktur der Hilfedemos
- Erstellen der Hilfe-Werkzeuge
- Installation des Hilfesystems
- Weiterentwicklung

Referent: Dipl.-Ing. Gerhard Busch
EDA-Zentrum der Fachhochschule Aalen
email: gbusch@fh-aalen.de
<http://www.eda.fh-aalen.de>

1 Kurzübersicht

- Zielsetzung des Hilfesystems
 - Einführung für unerfahrene Benutzer
Es soll einem neuen Benutzer ermöglicht werden sich weitestgehend ohne fremde Hilfe in den Leiterplattenentwurf einzuarbeiten
 - Gedächtnisstütze für erfahrene Benutzer
Auch erfahrene Benutzer, die nicht ständig mit dem System arbeiten sollen einen schnellen Zugriff auf die wichtigsten Vorgehensweisen und Einstellungen erhalten
 - Verwendung bei Seminaren
Um den Seminarleiter zu entlasten sollte auch bei Problemen zuerst diese Online-Hilfe konsultiert werden
- Umfang des Hilfesystems
 - Umfasst alle Programme der Mentor Graphics Boardstation:
Design Manager, Design Architect, Librarian, Package, Layout, Fablink
Das heißt, daß der Benutzer während des ganzen Entwurfsablaufs eine einheitlich strukturierte, in deutsch verfasste Hilfestellung erhält
 - Enthält Demoabläufe, z.B. Entwurf eines Logiksymbols im Design Architect
Diese Demos sollen, vor allem bei neuen Benutzern, das Verständnis für die oft recht komplexen Entwurfsabläufe erleichtern

2 Struktur der Hilfetextmenüs

- Aufruf der Hilfetexte
 - Durch einen sog. "Stroke" wird ein kontextbezogenes Hilfemenü aufgerufen
Das Hilfemenü bezieht sich immer auf den jeweiligen Gültigkeitsbereich des Programms, welches gerade ausgeführt wird. Dadurch wird bei dem Benutzer eine sehr gute Akzeptanz des Hilfesystems erreicht, da er immer (meistens) die Hilfe erhält, die in dem gegebenen Zusammenhang sinnvoll erscheint.
- Komplexität der Hilfetexte
 - Der neue Benutzer wird nicht allzusehr überfordert, da er sich nicht durch ein 200 seitiges Dokument wühlen muß, um sich die 10% Informationen herauszufiltern, die er in der Lage zu verstehen ist
 - Die inhaltliche Tiefe des Systems ist ausreichend für die ersten Entwürfe eines Benutzers.
Das Hilfesystem vermittelt nicht die ausgefallensten Tricks um einen optimalen Entwurf zu erzielen, sondern bleibt der Übersichtlichkeit und Verständlichkeit halber bei einfachen Beispielen und Standardabläufen.

3 Struktur der Hilfedemos

- Aufruf der Demonstrationsabläufe
 - über Tastenkombination => z.B. Alt-F1
- Inhalt und Ablauf der Demos
 - komplexe Zusammenhänge werden dargestellt, z.B. Entwurf eines Logiksymbols
Nach dem Motto „Ein Bild sagt mehr als 1000 Worte“ liegt der Sinn der Demos in der einfachen Veranschaulichung von Vorgängen, bei deren Textbeschreibung man sich zum einen die Finger wund schreiben und zum anderen den Leser durch allzugroße Wortfülle überfordern würde.
 - Ablauf ist in mehrere Abschnitte unterteilt
die Ablaufgeschwindigkeit der Demos ist einstellbar und es ist in Abschnitte gegliedert, damit der Benutzer Zeit hat, das gezeigte zu verarbeiten.

4 Erstellen der Hilfe-Werkzeuge

- Erzeugen der Hilfetexte
 1. Hilfemenü erstellen (AMPLE)
 - Es muß ein kleines Ample-Programm erstellt, oder ein vorhandenes kopiert werden, in dem die Menüeinträge und der Verweis auf die Hilfetextdateien enthalten ist
 2. Hilfetexte in ASCII-Datei schreiben
 - Damit die Hilfetexte leicht änderbar sind (wovon nach unserer Ansicht ein Hilfesystem lebt) wurden die Texte im ASCII Format verfasst. Um eine möglichst große Flexibilität zu erreichen wurde auch festgelegt, daß jede aufzurufende Hilfeseite in einer separaten Datei gespeichert ist.
- Erzeugen der Demonstrationsabläufe
 1. Demomenü erstellen (AMPLE)
 - Es muß ein kleinea Ample-Programm erstellt, oder ein vorhandenes kopiert werden in dem die Demoablaufsteuerung realisiert wird.
 2. Demonstrationsablauf erstellen
 - In der Anwendung, für die das Demo erstellt werden soll, wird ein Protokollmodus eingestellt, der alle vom Benutzer ausgeführten Aktionen aufzeichnet. Dann wird in der Anwendung (z.B. Design Architect) ganz normal gearbeitet und anschließend der Protokollmodus wieder ausgeschaltet. Mit einer weiteren Anweisung kann dann der aufgezeichnete Ablauf wiederholt werden. Wichtig dabei ist allerdings, daß genau die gleiche Systemumgebung eingestellt ist (Fenstergröße, Lage der Menüzeile etc.).

5 Installation des Hilfesystems

- Systemvoraussetzungen

- Hilfetexte: Mentor V8

Die Installation der Hilfetexte ist versionsunabhängig, der Inhalt der Hilfetexte geht allerdings von den Systemvoraussetzungen und Dialogfeldern der Version V8.2_5 aus. Wobei die Änderungen zu späteren Versionen (im Moment V. A4-F) kaum zum Tragen kommen und aufgrund der Struktur des textbasierenden Teils auch leicht vorgenommen werden können.

- Hilfedemo: Mentor V8.2

Bei den Demos ist das schon etwas problematischer. Durch die Art der Aufzeichnung funktioniert das Abspielen nur, wenn genau die gleichen Fenster- und Menüeinstellungen vorliegen. Ist zum Beispiel bei einer späteren Version die Lage das „OK“ Schaltfeldes in einem Formularfeld aufgrund neuer Einträge zwei Zeilen weiter unten als bei der vorigen Version, funktioniert das Demo nicht mehr.

- Bezug des Hilfesystems

- WWW-Homepage des EDA-Zentrums

Das Hilfesystem kann über den WWW-Server des EDA-Zentrums per FTP bezogen werden. Die Adresse des Servers ist: <http://www.eda.fh-aalen.de>. Dort ist das Hilfesystem unter dem Eintrag „Projekte“ zu finden. Dort ist auch die Dokumentation des Bearbeiters, der das Hilfesystem entwickelt hat, abgelegt. Das Dokument ist mit Winword 6.0 erstellt und erläutert den genauen Aufbau des Hilfesystems. Ebenso werden alle Vorgehensweisen zur Erstellung von Hilfsfunktionen dargestellt.

- Installation

- Die Dateien sind unter HP-UX 9.05 mit *tar* zusammengefasst, mit *compress*

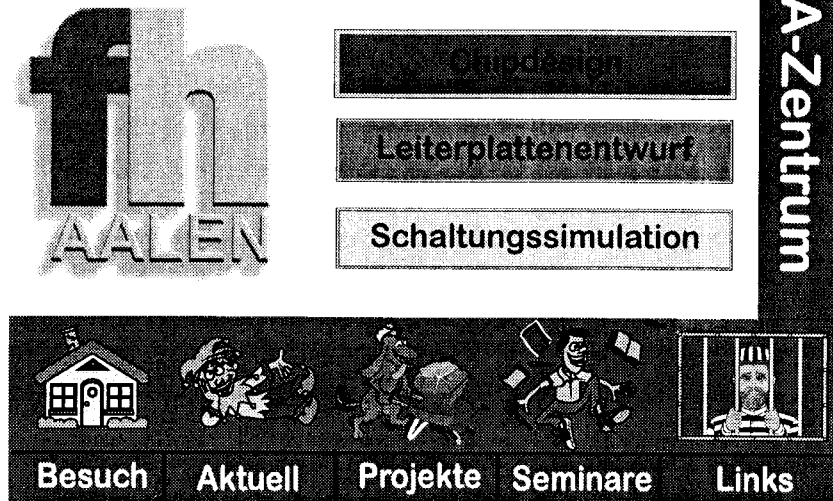
gepackt und mit *uuencode* kodiert. Es ist bei jedem Paket eine README-Datei beigelegt, die alle notwendigen Schritte zur Installation beschreibt. Im wesentlichen müssen nur einige Umgebungsvariablen gesetzt und ein Eintrag in der Location Map gemacht werden.

6 Weiterentwicklung

- Verbesserung durch "Feedback"
 - Einsatz in Seminaren zeigt Schwachstellen
Durch die Verwendung des Hilfesystems in Seminaren werden viele Anregungen geäußert, allerdings auch viele die nicht zu realisieren sind.
- Erweiterung um Simulation
 - Es ist geplant, daß das Hilfesystem um den Bereich der Schaltungssimulation mit Accusim II erweitert wird um den ganzen Bereich des konventionellen Schaltungsenwurfs abzudecken.
- Hilfesystem "Asic-Entwurf"
 - Design Architect bis IC Station
Für den Bereich der Schaltkreisentwicklung soll ein ähnliches Hilfesystem entwickelt werden, bei dem der Benutzer vor allem auch anhand von Demoabläufen in die Thematik eingeführt wird
 - Spezielle Hilfestellungen zu Design Kit's
Es wird auf die besonderen Eigenschaften und Vorgehensweisen eingegangen, die bei der Arbeit mit einem konkreten Design Kit zu berücksichtigen sind.
Geplant ist vorerst die Beschreibung des Mietec und AMS Design Kits.

Web-Seiten im Internet

Electronic Design Automation



Vortrag zum MPC Workshop am 02.20.96 in Karlsruhe

- Einführung
- World Wide Web (WWW)
- Web-Browser & Web-Server
- Web-Server MPC-Gruppe
- Web-Seite der MPC-Gruppe
- Web-Server/Homepages der FHs
- Zusammenfassung

Referent: Dipl.-Ing. Bruno Jans
EDA-Zentrum der Fachhochschule Aalen
Email: bjans@fh-aalen.de
<http://www.eda.fh-aalen.de>

1 Einführung

Zitat aus dem Werbeprospekt eines sogenannten Internet-Providers:

„Internet hat einen ganz neuen Menschentyp geschaffen, den globalen Datensurfer. Besondere Kennzeichen: weit aufgerissene Augen, permanent unbefriedigtes Informationsbedürfnis, atemberaubender Wissensdurst, weltoffen - durftet nach Freiheit und Abenteuer. Sie werden durch die berühmtesten Universitäten surfen, interessante Leute treffen, gezielt arbeiten, Reisen planen und täglich verrückteste Dinge erleben.“

Wenn das Zitat nur in den Ansätzen hält was verspricht, könnte man der Annahme sein, man würde etwas versäumen, sollte man nicht an diesem „technologischen Fortschritt“ teilhaben. Gerade Universitäten und Fachhochschulen sind und waren schon immer Vorreiter solcher Zukunftsversionen. Stellt sich also die Frage ob es sich hier nur um eine „reißerische“ Werbeanzeige oder um einen Prozeß handelt der schon längst ins Rollen kam.

Hierzu noch einige Fakten:

Schon 1993 wurden mehr Computer als Farbfernseher verkauft. Inzwischen befinden sich 7-8 Millionen PCs in Deutschlands Wohnungen und Arbeitsplätzen. Zur Zeit nehmen über eine Millionen Nutzer die Online-Dienste in Deutschland in Anspruch, und in den USA steigt der Zugang zum Internet monatlich um ca. 30%.

Dies und viele andere Tatsachen ließen mich zum Schluß kommen, daß die Entwicklung des Internetmarktes ernst zu nehmen sei. Weiterhin stellte ich mir die Frage welche sinnvolle Nutzung das EDA-Zentrum und in Fortführung die MPC-Gruppe hieraus ziehen könnte. Genau dieser Frage soll auf den nachfolgenden Seiten nachgegangen werden.

Themenübersicht:

- 1 Einführung
- 2 World Wide Web (WWW)
- 3 Web-Browser & Web-Server
- 4 Web-Server MPC-Gruppe
- 5 Web-Seite der MPC-Gruppe
- 6 Web-Server/Homepages der FHs
- 7 Zusammenfassung

Grundkenntnisse über das Internet werden vorausgesetzt oder sind in der Online-Dokumentation „Die Datenautobahn - einfach erklärt“ nachzulesen.

Wer sein Wissen noch weiter vertiefen möchte, der sei auf eine Sendung des WDR-Fernsehens vom 07.11.95 verwiesen. Hieraus wurden auch mehrere Zitate und Passagen für den nachfolgenden Bericht entnommen.

Das damalige Thema der Sendung lautete: „Die Datenautobahn - einfach erklärt“. Die Dokumentation kann unter nachfolgender Adresse Online über das Internet abgerufen werden:

http://www.wdr.com/TV/Quarks_Co/datenautobahn/internet.html

2 World Wide Web (WWW)

- **Einführung in ein unbekanntes Medium?**

Das WWW ist ein **Hypertext und Hypermedia System** im Internet. Die Sprache zur Darstellung der Texte nennt sich **HTML** - Hypertext Markup Language. Die Übertragung erfolgt mit **HTTP** - Hypertext Transmission Protocol und basiert auf TCP/IP.

Im WWW sind die wichtigsten Dienste des Internet unter einer einzigen Oberfläche zusammengefaßt. Es integriert die Dienste **Email, News, FTP, Telnet, Gopher und WAIS**. Diese können nun, ohne komplizierte Tastenkombinationen eintippen zu müssen

, per Mausklick ausgeführt werden.

Somit ist eine einfache Kommunikation zwischen Rechnern möglich.

3 Web-Browser & Web-Server

- **Web-Browser (Netz-Blätterer) oder viewer**

Web-Browser sind Programme die für die grafische Umsetzung der HTML-Sprache verantwortlich sind. Desweiteren ermöglicht es die Ausführung der oben genannten Dienste im WWW. Durchgesetzt haben sich weltweit zwei Programme; Netscape und Mosaic.

- **Web-Server (Netz-Bediener)**

Auf den Web-Servern werden die erstellten HTML-Seiten zentral abgelegt und verwaltet. Sie bilden die Knotenpunkte des WWW und sind über eindeutigen Namen gekennzeichnet (www.eda.fh-aalen.de). Netsite-Produkte von Netscape (Education-Program) und Server von NCSA (Shareware).

4 Web-Server MPC-Gruppe

- **Ausschau und Perspektiven!**

Der Web-Server der MPC-Gruppe verschafft eine Vielzahl von bisher nicht möglich gewesenen Nutzen. Einige Punkte sind im Anschluß stichpunktartig aufgeführt.

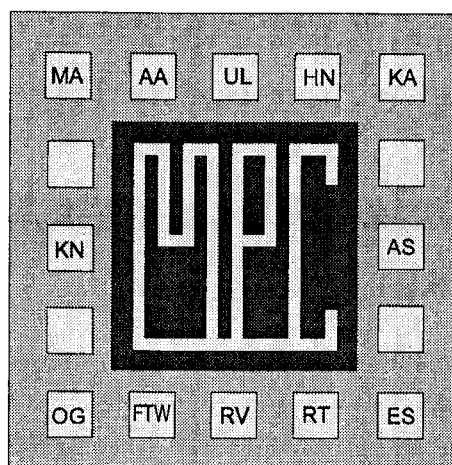
- **Präsentation nach Außen!**
- **Zentraler Anlaufpunkt** für alle Mitglieder der MPC-Gruppe, Wissenschaftler, Firmen und sonstige Interessenten.
- **Austausch der FHs** untereinander z.B. über Newsgroup, Neuigkeiten und Stellenmarkt.
- Zentrale **Ablage der Berichte** wie Tagungen, Workshops, etc.
Die **Verwaltung** des Servers erfolgt **Zentral** bzw. Dezentral.

5 Die Web-Seite der MPC-Gruppe

Die Web-Seite der MPC-Gruppe ist unter nachfolgender Adresse Online abrufbar:

<http://www.eda.fh-aalen.de/mpc/>

Multi Projekt Chip - Gruppe



der Fachhochschulen in Baden Württemberg/Deutschland

Die MPC-Gruppe begrüßt Sie auf Ihrem Web-Server

| | | | | | |
|--------------|---------------------|------------------|-------------------|------------|-----------|
| <u>Aalen</u> | Albstadt-Sigmarinen | Esslingen | <u>Furtwangen</u> | Heilbronn | Karlsruhe |
| Mannheim | Konstanz | <u>Offenburg</u> | Ravensburg | Reutlingen | Ulm |

Entwurf integrierter Anwenderschaltkreise in Forschung und Lehre

| | | | | |
|---------------|--------------------|-----------------|----------------------|---------------------|
| <u>Besuch</u> | <u>Neuigkeiten</u> | <u>Berichte</u> | <u>MPC-Newsgroup</u> | <u>Stellenmarkt</u> |
|---------------|--------------------|-----------------|----------------------|---------------------|

Dipl. Ing. Bruno Jans - FH-Aalen- EDA-Zentrum - MPC-Gruppe - März 1996

6 Web-Server/Homepages der FHs

- **Was ist möglich?**

Welche zusätzlichen Vorteile der MPC-Web-Server für die Mitglieder der MPC-Gruppe bietet wird nachfolgend kurz aufgelistet.

- **FHs sind über den MPC-Server erreichbar.**
- Individuelle Projekte, Ausbildungsplan der FHs, etc. werden durch die Mitglieder **selbst präsentiert.**
- Die **Aktualisierung** der Mitarbeiter, Ausstattung wie Hard- und Software etc. erfolgt **Online** durch die MPC-Mitglieder.
- Jeder verwaltet und organisiert seine **eigene Homepage.**

7 Zusammenfassung

Die Einrichtung eines MPC-Web-Servers rechtfertigt sich nur dann, wenn bestehende Aufgaben (z.B. Tagungsbände, Einladungen, etc.) durch das neue Medium Internet verlagert werden können. Ansonsten können die jetzt schon äußerst personell knapp besetzten Labors und Zentren den zusätzlich entstehende Mehraufwand kaum tragen. Eine wichtige Voraussetzung hierfür ist und bleibt wie immer die Akzeptanz des "neuen" bzw. "alten" Mediums.

Die Welt wird zum Dorf, und die Menschen treffen sich zum Schwätzchen auf dem Marktplatz Internet.

Entwurf eines Lottozahlengenerators

als integrierte Schaltung

F. Klöser, D. Jansen

ASIC Design Center, Fachhochschule Offenburg

email: f.kloeser@fh-offenburg.de

Februar 96

Im Frühjahr 1995 entstand die Idee, einen Lottozahlengenerator als Demonstrations- und Studienobjekt, für die Anwendung komplexer digitaler Entwurfsmethoden, zu entwerfen. Mit Hilfe der Schaltung ist es möglich, 6 verschiedene Zahlen zufällig aus 49 Zahlen zu ermitteln. Bei der Ziehung der einzelnen Zahlen werden verschiedene Töne und Melodien erzeugt. Die Schaltung ist so konzipiert, daß eine einfache Bedienung möglich ist. Der Chip wurde als Standardzellen-Entwurf mit einer Fläche von ca. 7 um^2 geroutet.

Spezifikation [1]

Es soll ein chipkartengroßer Lottozahlengenerator gebaut werden, dessen komplette Logik in einem einzigen integrierten Baustein konzentriert ist. Die Anzeige erfolgt über ein Array von LEDs. Die Schaltung wird von einer Batterie versorgt und benötigt nur ein Bedienelement. Zur Aktivierung dient eine einzige Taste. Die Dauer des Tastendrucks bestimmt die zu ermittelnde Zahl. Dieser Vorgang wiederholt sich für alle 6 Zahlen. Eine Betätigung der Taste nach der Ziehung der 6. Zahl löscht die Anzeige und der Vorgang beginnt von vorne. Die Dauer des Tastendrucks wird modulo N ausgezählt, beim Loslassen der Taste setzt ein Ausrollvorgang ein, bis schließlich die ermittelte Zahl angezeigt wird.

Die Anzeige erfolgt durch eine feldförmige Anordnung (7x7) von SMD-LEDs, die durch eine entsprechende, mit Ziffern beschriftete Abdeckung leuchten. Der Ausrollvorgang ist ebenfalls transparent anzuzeigen. Das Ausrollen ist durch ein „Klickgeräusch“ zu melden, das bei jeder neuen Zahl ertönt. Die ermittelten Zahlen 1. bis 6. Zahl, sind jeweils durch eine Tonfolge aus 2 Tönen, wovon der

1. Ton gleich ist, der zweite Ton mit jeder Zahl in der Höhe zunimmt, zu signalisieren. Die Ziehung der 6. Zahl ist durch eine Melodie „Badnerlied“ (hier: Offenburg liegt im Herzen von Baden) anzuzeigen. Alle Takte und Frequenzen sind synchron von einem Uhrenquarz abzuleiten. Der Ausrollvorgang ist wie, in der bereits früher realisierten Schaltung „Elektronischer Würfel“ [2], zu verwirklichen. Die Tonerzeugung ist mit einem NCO (Numeric Control Oscillator) aufzubauen, die Tonfolgeerzeugung mit einem sequentiellen Zustandsautomaten (FSM). Der Zufalls-generator muß die Forderung erfüllen, daß bereits bestimmte Lottozahlen bei der weiteren Auswahl nicht neu bestimmt werden können. Die Realisierung des Generators erfolgt mit einem Zähler mit One-Hot-Codierung. Dabei werden bereits schon ermittelte Zahlen aus der Zählerkette herausgenommen. Der Generator ist durch eine primäre Taktfrequenz anzusteuern, erst im Ausrollvorgang, nach Loslassen des Tasters, ist diese zu vermindern. Die Ziehung der Zahlen wird durch einen sequentiellen Zustandsautomat (FSM) überwacht. Die Deaktivierung erfolgt automatisch nachdem die Taste einige Sekunden nicht mehr gedrückt wurde. Die Timeout-Schaltung ist unabhängig von den anderen Schaltungsteilen und wird durch Loslassen der Taste getriggert. Die Ansteuerung der Anzeige erfolgt durch ein Multiplexsystem aus 4 x 13 Leitungen. Mit Aktivierung der Schaltung soll ein asynchroner Reset erfolgen.

Gliederung in Baugruppen

Aus dem Blockschaltbild (Abb. 1) des Lottozahlengenerators ist zu erkennen, daß dieser grundsätzlich aus vier Einheiten besteht. Im einzelnen sind dies:

- TIMER
- MELODY
- CONTROL
- ROLLOUT

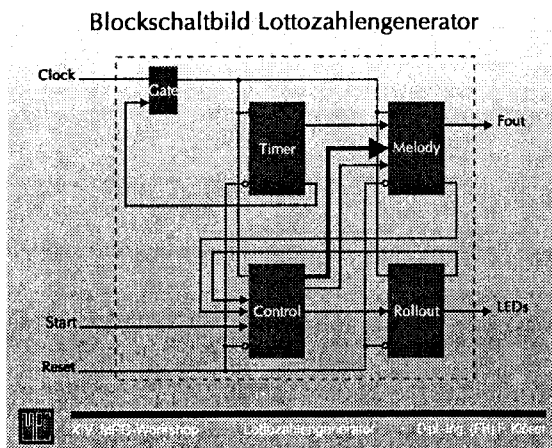


Abb. 1: Blockschaltbild Lottozahlengenerator

Die einzelnen Einheiten werden im folgenden beschrieben.

Timer

Der TIMER erfüllt zwei Funktionen. Zum einen erzeugt er aus der Primärtaktfrequenz von 32 kHz die für die Ton- und Melodieerzeugung erforderlichen Frequenzen und stellt diese der Einheit MELODY zur Verfügung. Die zweite Aufgabe des TIMERS ist die Deaktivierung der Schaltung. Der TIMER enthält eine Art „Watchdog“ der beim Loslassen der Taste getriggert wird. Erfolgt nun eine gewisse Zeit keine Betätigung der Taste, wird mit Hilfe eines Timeout-Signals die Taktversorgung über das GATE für die restlichen Schaltungsteile unterbrochen.

Control

Die Einheit CONTROL ist ein sequentieller Zustandsautomat (FSM) mit der der Ablauf der Ziehung der einzelnen Zahlen gesteuert und überwacht wird. Wie aus dem Zustandsdiagramm (Abb. 2) zu erkennen ist,

geht bei der erstmaligen Betätigung der Taste die FSM in den Zustand *reset* über. In diesem Zustand werden alle anderen Schaltungsteile zurückgesetzt und in einen Urzustand gebracht. Für die Ziehung einer Zahl sind insgesamt vier Zustände erforderlich.

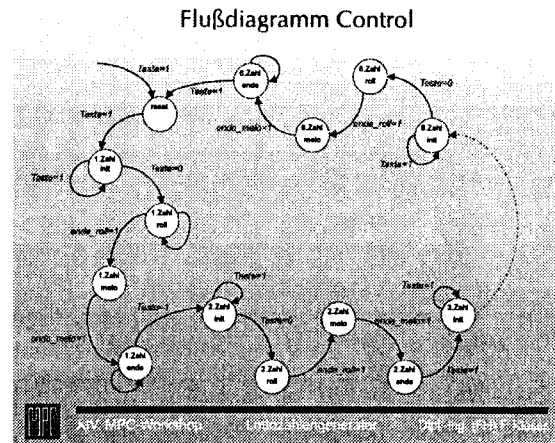


Abb. 2: Zustandsdiagramm Control

Im einzelnen sind dies die Zustände *init*, *roll*, *melo* und *ende*. Im Zustand *init* wird z.B. die entsprechende Melodie für die Ziehung der Zahl ausgewählt. Im nächsten Zustand *roll* wird der Ausrollvorgang und die eigentliche Ziehung der Zahl gestartet. Ist das Ende des Ausrollvorgangs erreicht, geht die FSM in den Zustand *melo* über, indem die entsprechenden Töne oder die Melodie erzeugt wird. Ist auch hier das Ende erreicht, wartet die Schaltung im Zustand *ende* auf eine erneute Betätigung der Taste. Dieser Vorgang wiederholt sich, bis schließlich alle 6 Zahlen bestimmt wurden.

Melody

Wie im Blockschaltbild (Abb. 3) der Einheit MELODY zu erkennen ist, wurde diese in zwei Blöcke aufgeteilt, da die Erzeugung des „Klicks“ beim Ausrollvorgang mit einem NCO und einer FSM zu aufwendig gewesen wäre. Bei jeder Zustandsänderung des Zufallsgenerators (Zähler mit One-Hot-Codierung) wird mit Hilfe der Einheit CLICK für 2 ms ein Signal mit 4 kHz an den Ausgang **Fout** angelegt. Dieses Signal erzeugt im Schallwandler ein kurzes Klickgeräusch. Für die eigentliche Erzeugung der Töne und der Melodie sind die Einheiten MELOCTRL und NCO zuständig. Tritt ein Startsignal an der Einheit MELOCTRL auf, werden verschiedenen Bit-Vektoren mit einem Takt von 10 Hz an den NCO angelegt.

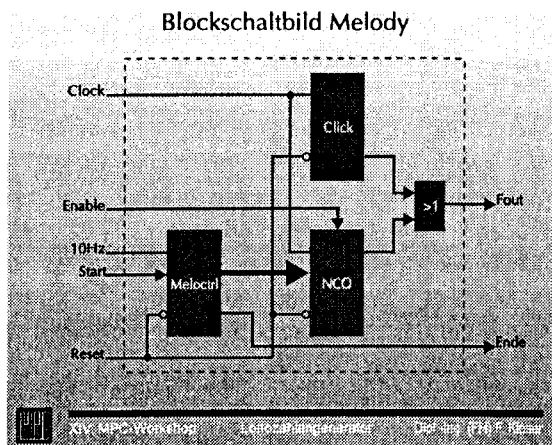


Abb. 3: Blockschaltbild Melody

Der NCO wiederum erzeugt aus den Bit-Vektoren eine dazu proportionale Frequenz. Diese wird wieder über den Ausgang **Fout** an den Schallwandler gegeben. Nun ist es möglich, mit zusätzlichen Steuerleitungen die FSM MELOCTRL so zu steuern, daß verschiedene Bit-Vektoren-Sequenzen an den NCO angelegt und somit verschiedene Tonfolgen mit Hilfe des NCO erzeugt werden. Aus Abb. 4 ist der prinzipielle Aufbau des NCO zu erkennen.

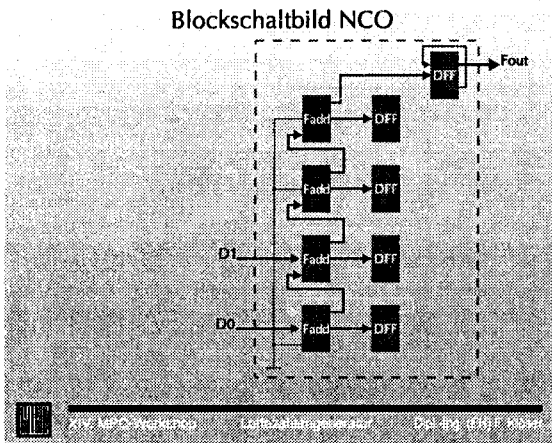


Abb. 4: Blockschaltbild NCO

Der NCO ist eigentlich ein Addierer, bei dem das Ergebnis zwischengespeichert und wieder auf den Eingang des Addierers gegeben wird. Dies bedeutet, daß ein bestimmter Eingangswert bei jedem Takt auf sich selbst aufaddiert wird. Nach einer bestimmten Anzahl von Takten wird der Wertebereich des Addierers überschritten und ein **Carry** tritt am Ausgang des Addierers auf. Dieses Signal wird dazu benutzt, bei jedem Überlauf ein Flip-Flop zu toggeln. Dabei entsteht eine symmetrische Frequenz am Ausgang des Flip-Flops. Diese

Frequenz ist proportional zum Eingangswert des Addierers, da für einen „großen“ Eingangswert weniger Takte notwendig sind, bis es zu einem Überlauf kommt als bei einem „kleinen“ Eingangswert. Damit wird das Flip-Flop öfter getoggelt und somit eine größere Frequenz am Ausgang des Flip-Flops erzeugt. Der Eingangswert DATA für eine gewünschte Frequenz am Ausgang des NCO läßt sich mit Hilfe folgender Formel bestimmen:

$$DATA = \frac{2^N \cdot f_{ton}}{f_{osz}}$$

wobei N die Bitbreite und f_{osz} die Taktfrequenz des Addierers sind und f_{ton} die gewünschte Ausgangsfrequenz.

Rollout

In der Einheit ROLLOUT erfolgt die Generierung des Ausrollvorgangs mit den Blöcken COUNTER und NCO. Weiterhin enthält die Einheit die Blöcke SHIFTER (Zufallsgenerator) und den Block MUX (Multiplexer) zur Ansteuerung der LED-Matrix. Der Ablauf wird mit Hilfe der Einheit ROLLCTRL gesteuert und überwacht. In Abb. 5 ist das Blockschaltbild der Einheit ROLLOUT dargestellt.

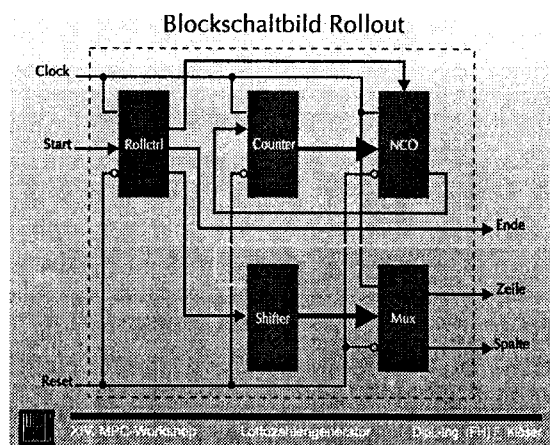


Abb. 5: Blockschaltbild Rollout

Wird die Taste des Lottozahlengenerators betätigt, wird ein Startsignal an der Einheit ROLLCTRL erzeugt. Solange die Taste gedrückt ist, wird über eine Steuerleitung alle Eingänge des NCOs auf logisch „1“ gelegt. Somit entsteht am Ausgang des NCOs eine maximale Frequenz von 16 kHz bei einer Primärtaktfrequenz von 32 kHz. Beim

Loslassen der Taste setzt der Ausrollvorgang ein. Nun wird an den Eingang des NCOs der Ausgang des COUNTERs gelegt. Dieser COUNTER ist ein Rückwärtszähler und wird mit jedem Überlauf des NCOs dekrementiert. Der Eingangswert des NCOs wird somit stetig verringert und somit verlängert sich die Zeit bis der COUNTER wieder dekrementiert wird. Somit entsteht am Ausgang des NCOs eine Frequenz die stetig mit einer Exponentialfunktion bis auf Null verringert wird. Mit dieser Frequenz wird die Einheit SHIFTER getaktet. Die Einheit SHIFTER ist ein Zähler von 1 bis 49 mit One-Hot-Codierung. Dies bedeutet, daß jeder Zählerzustand durch ein Flip-Flop realisiert wird. Grund hierfür ist, daß bei Beendigung des Ausrollvorgangs der Zählerzustand zwischen-gespeichert und das entsprechende Flip-Flop aus der Zählerkette herausgenommen wird. Dies ist notwendig, da eine bereits ermittelte Zahl nicht erneut gezogen werden darf. Die Einheit MUX (Multiplexer) dient anschließend dazu den 49 bit breiten Vektor in eine 4x13 Matrix aufzulösen und die LEDs der Anzeige anzusteuern.

Layout

Das Design wurde erfolgreich mit Hilfe der ES2 1,0u Library geroutet. In Abb. 6 ist das Layout dargestellt.

Layout Lottozahlengenerator

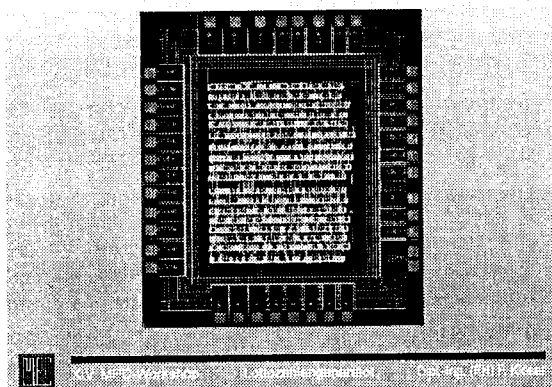


Abb. 6: Layout Lottozahlengenerator

In zwischen erfolgte ein Rerouting auf die ES2 ECPD 0,7 u-Bibliothek. Die Chipfläche beträgt bei Standardtechnologie ca. $7 \mu\text{m}^2$, der Chip ist Padbegrenzt. Ein Mappen auf andere Bibliotheken wie z.B. auf Gate-Arrays ist leicht möglich.

Zusammenfassung

Mit Hilfe der Schaltung ist es möglich, 6 verschiedene Zahlen zufällig aus 49 Zahlen zu ermitteln. Bei der Ziehung der einzelnen Zahlen werden verschiedene Töne und Melodien erzeugt. Die Schaltung ist so konzipiert, daß eine einfache Bedienung möglich ist. Der Chip wurde als Standardzellen-Entwurf mit einer Fläche von ca. $7 \mu\text{m}^2$ geroutet.

Literaturverzeichnis

- ¹ D. Jansen, „Spezifikation Projekt Lottozahlengenerator“, Februar 1995
- ² J. Schweiker, „Entwicklung eines Einchip-Würfels in ES2-Standardzellentechnologie“, SS1993
- ³ U. von Heyne, H. Zwigart, „Entwicklung eines Einchip-Lottozahlengenerators in ES2-Standardzellentechnologie“, SS1995



Verbesserung einer digitalen Winkel- und Lagemeßschaltung

Carsten Löffler, Thomas Munz
Gerald Kampe, Werner Zimmermann
Fachhochschule für Technik Esslingen

1. Einleitung

Zur Lagemessung bei linearen oder rotatorischen Bewegungen, z.B. in Computer-Mäusen oder in Werkzeugmaschinen, werden heute bevorzugt Inkrementalgeber eingesetzt. Dabei kommen sowohl optische Geber mit 'Strichscheiben' und Lichtschranken als auch induktive Geber mit Zahnrädern zum Einsatz. Um mit diesen Gebern neben der Position auch die Bewegungsrichtung erfassen zu können, liefern die Geber in der Regel zwei um eine viertel Periode gegeneinander versetzte Signale.

Die von den Sensoren gelieferten Signale sind näherungsweise sinusförmig, werden aber wegen der einfacheren Signalverarbeitung häufig in Rechtecksignale umgeformt. Die gewünschte Lagemessung kann dann sehr einfach durch digitale Vor/Rückwärtszähler erfolgen. Da die Inkrementzahl der Geber aus mechanischen Gründen begrenzt ist, kann eine erheblich höhere Auflösung des Meßwerts nur erreicht werden, wenn die analogen sinusförmigen Signale direkt ausgewertet werden, anstatt lediglich deren Nulldurchgänge zu verwenden, wie dies bei der Umformung dieser Signale in Rechtecksignale geschieht. Die Bereitstellung eines digitalen Lagemeßwerts wird dabei allerdings erheblich aufwendiger.

Ein mögliches Meßprinzip arbeitet mit einer PLL-Schaltung (Bild 1), bei der über einen Regelkreis das von einem gesteuerten Oszillator erzeugte Quadratursignal $\sin\varphi$, $\cos\varphi$ dem Winkelgebersignal $\sin\alpha$, $\cos\alpha$ phasengetreu nachgeführt wird. Die 'Regeldifferenz' $u_M = \sin\alpha \cdot \cos\varphi - \sin\varphi \cdot \cos\alpha = \sin(\alpha - \varphi)$ wird dabei in einem Quadraturphasenvergleich gebildet. Bei geeigneter Auslegung erzwingt der Regler $u_M = 0$ und damit $\varphi \approx \alpha$, auch wenn $\alpha = \alpha(t)$ ein zeitlich veränderlicher Wert ist. Der Phasenwinkel φ des erzeugten Quadratursignals stellt damit den gewünschten Meßwert für den Phasenwinkel α dar.

Das Grundprinzip dieses Meßverfahrens sowie eine erste Umsetzung in eine digitale Schaltung wurde bereits in [1] vorgestellt. Als Werkzeuge wurden die VHDL-Umgebung und die Simulations- und Syntheseprogramme des MENTOR-CAE-Systems eingesetzt. Die gestellten Anforderungen (Bild 1) entsprechen einem Winkelmeßsystem mit einem Geber mit 1024 Inkrementen je Umdrehung bei einer maximalen Drehzahl von 10000 1/min. Als Winkelauflösung des Meßsystems waren $64 \cdot 1024$ Schritte je Umdrehung bei Maximaldrehzahl (=max. Ein-

gangsfrequenz der sinusförmigen Signale) schrittweise zunehmend bis zu $1024 \cdot 1024$ Schritte bei sehr niedrigen Drehzahlen gefordert. Bei Verarbeitung von Rechtecksignalen wäre dagegen lediglich eine Auflösung von $4 \cdot 1024$ Schritten je Umdrehung möglich. Der Meßgenauigkeit soll mindestens halb so groß sein wie die Auflösung, dh. mindestens 9bit je Inkrement des Winkelgebers bei niedrigen Frequenzen.

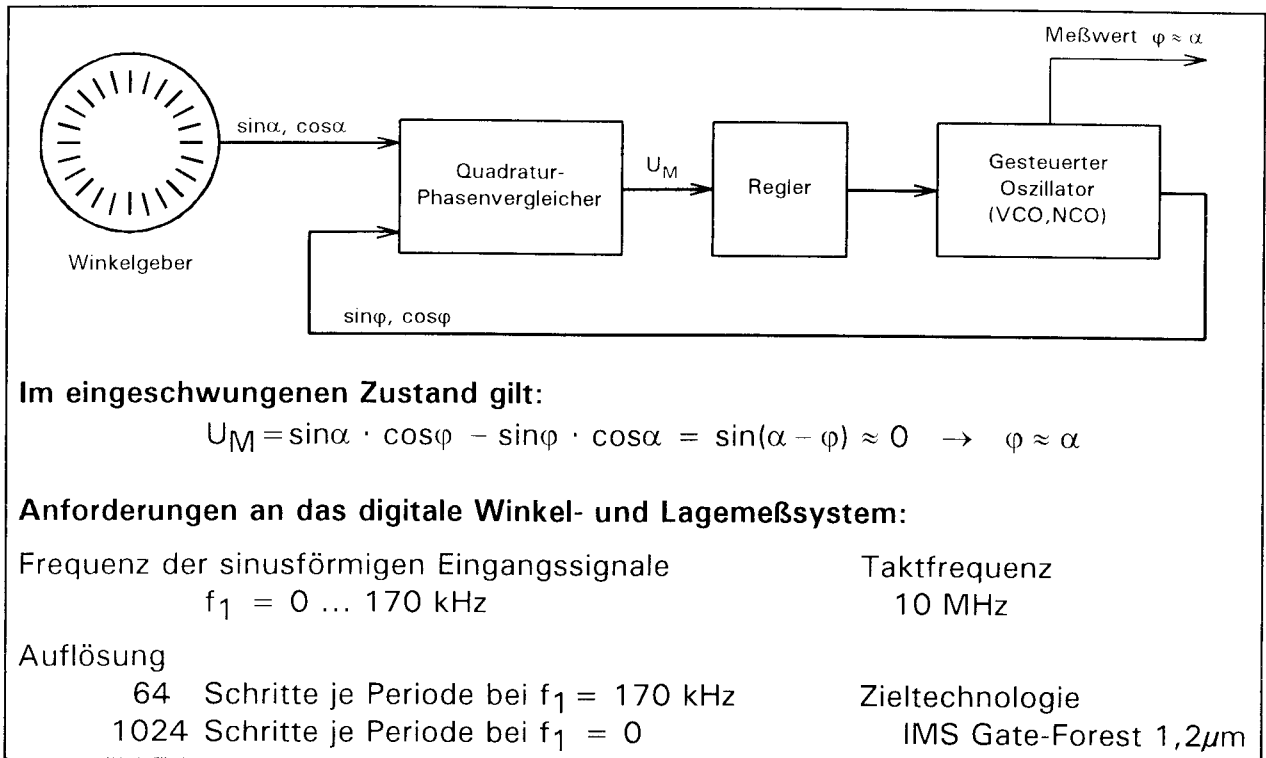


Bild 1 Grundprinzip des Winkelmeßsystems

2. Digitaler Phasenregelkreis

Im Phasenvergleichler müssen die Produkte $\sin\alpha \cdot \cos\varphi$ und $\sin\varphi \cdot \cos\alpha$ der beiden Quadratursignale $\sin\alpha$, $\cos\alpha$ und $\sin\varphi$, $\cos\varphi$ sowie deren Summe (bzw. Differenz) gebildet werden (Bild 2). Der digitale Schaltungsaufwand für die beiden Multiplikationen wird deutlich reduziert, wenn lediglich die Signale $\sin\varphi$, $\cos\varphi$ als n bit breite digitale Parallelworte vorliegen und die Sensorsignale $\sin\alpha$, $\cos\alpha$ als 1 bit breite serielle Datenströme (Bitstrom) verarbeitet werden. Dies vereinfacht auch die Analog-Digitalumsetzung der ursprünglich analogen Sensorsignale. Statt schneller paralleler A/D-Umsetzer sind lediglich 1-bit-Umsetzer erforderlich, wie sie in Form von Sigma-Delta-Umsetzern auch in digitalen Schaltungstechnologien verhältnismässig einfach hergestellt werden können. (Bemerkung: Die Sigma-Delta-Umsetzer wurden als Verhaltensmodell in VHDL beschrieben, aber nicht synthetisiert).

Der steuerbare Oszillator wird durch einen Vor-Rückwärtszähler mit fester Taktfrequenz realisiert, der ein Sinus-Cosinus-ROM ansteuert. Die Zählrichtung wird durch einen Zweipunktreg-

ler (Komparator) 'moduliert' und dadurch die (mittlere) Zählfrequenz eingestellt. Die Regeldifferenz $\sin(\alpha-\varphi)$ muß aufgrund der '1-bit-Multiplikation', die durch einfache XOR-Glieder realisiert wird, vor dem Zweipunktregler noch tiefpaßgefiltert werden. Die Taktfrequenz f_T des Zählers, die auch der Taktfrequenz der Sigma-Delta-Umsetzer entspricht, muß dabei stets größer sein als das Produkt aus Eingangsfrequenz f_1 und gewünschter Auflösung N . Aus diesem Grund wird die Zählerschrittweite und damit die Auflösung von $N=1024$ bei kleinen Eingangsfrequenzen in 2er-Stufen bis auf $N=64$ bei großen Eingangsfrequenzen reduziert.

Der Zählerstand φ des Vor-Rückwärtszählers stellt gleichzeitig den gewünschten digitalen Meßwert für die Winkelposition α dar.

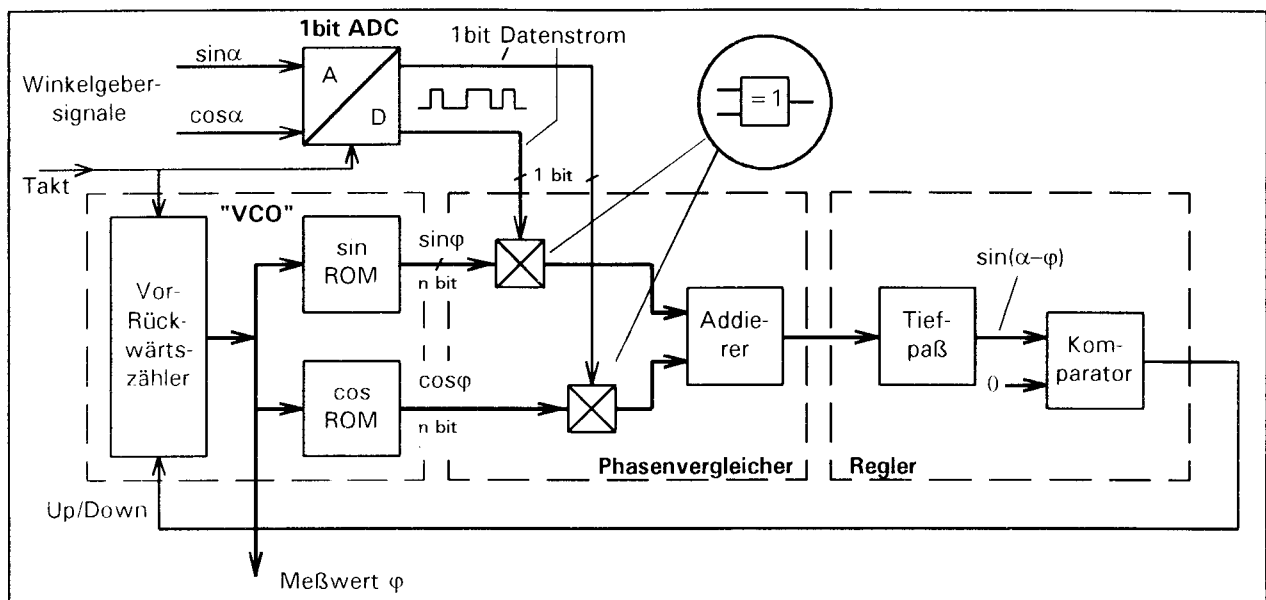
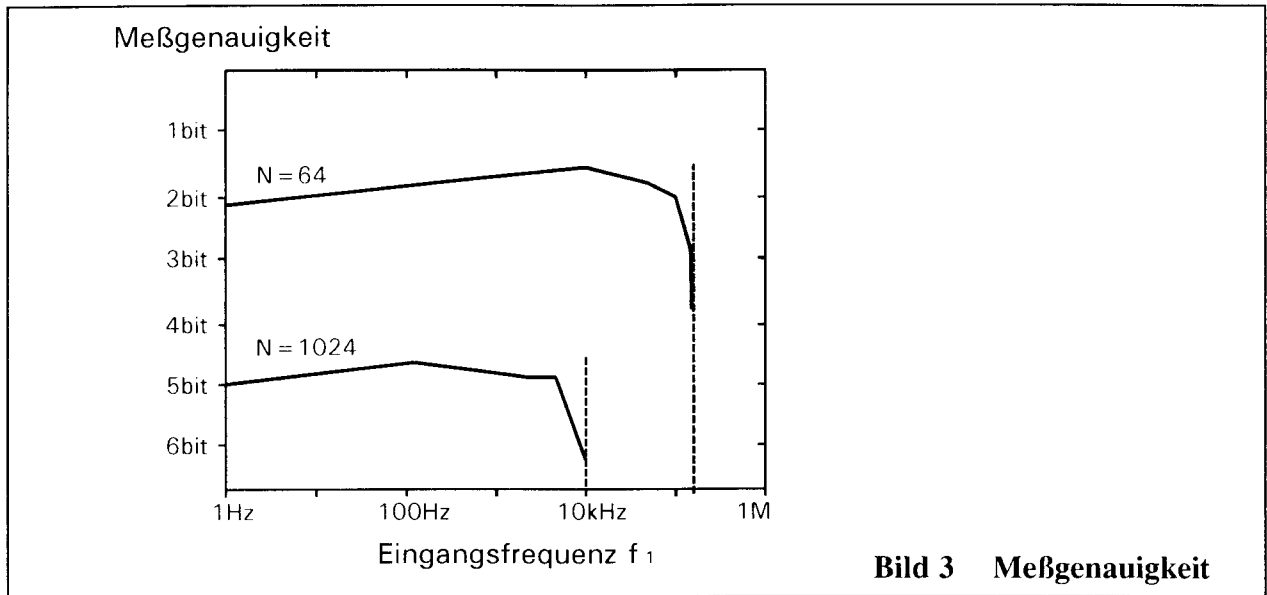


Bild 2 Schaltungskonzept

3. Probleme des ursprünglichen Schaltungskonzepts

Der Regelkreis nach Bild 2 erreicht die in Bild 3 dargestellte Meßgenauigkeit und verfehlt mit einem Wert von etwa 5bit bei niedrigen Eingangsfrequenzen das Ziel von 9bit deutlich. Ursachen hierfür sind einerseits die Darstellung der Gebersignale $\sin\alpha$ und $\cos\alpha$ als 1bit-Datenströme und andererseits die nur deshalb notwendige Tiefpassfilterung innerhalb des PLL-Regelkreises, die beide zu einem schwankenden, 'verrauschten' Meßwert führen. Eine theoretische Untersuchung mit regelungstechnischen Methoden zeigt widersprüchliche Anforderungen (Bild 4). Im Hinblick auf die 1bit-Datenströme sollte die Filterzeitkonstante möglichst groß sein, um die hierdurch verursachte Schwankungsbreite zu reduzieren. Andererseits erhöht eine große Zeitkonstante die Amplitude des stationären Grenzyklus, die der Zweipunktregelkreis im eingeschwungenen Zustand ausführt.



Als zusätzliches Problem ergibt sich, daß das im Regelkreis liegende ROM, das eine Sinus- und eine Cosinustabelle enthalten muß, wegen der erforderlichen Größe in einer Gate-Array-Technologie nicht oder zumindest nicht wirtschaftlich sinnvoll realisiert werden kann. Bei einem externen ROM dagegen muß mit Zugriffszeiten im Bereich von 100ns gerechnet werden, so daß sich die Verzögerung im Regelkreis nochmals erhöht und die Meßgenauigkeit weiter verschlechtert.

Probleme des Schaltungskonzepts

Genauigkeit nicht ausreichend

- Ursachen:
1. Verzögerungen durch Abtastung und Tiefpaß in der Regelschleife
 2. Ripple durch die 1-bit-Datenströme
 3. Taktfrequenz durch Zugriffszeit des ROMs begrenzt

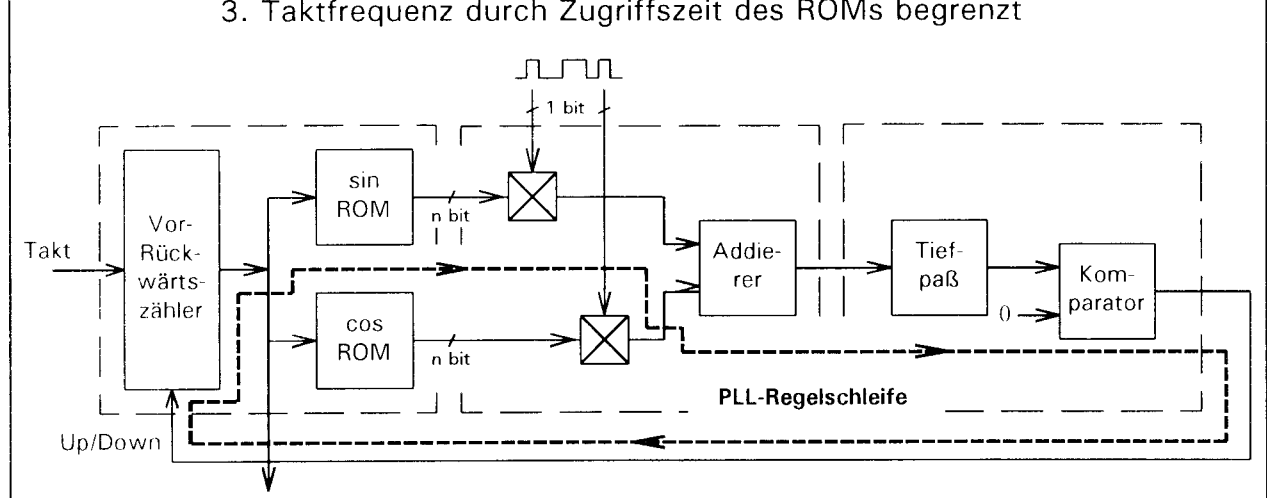


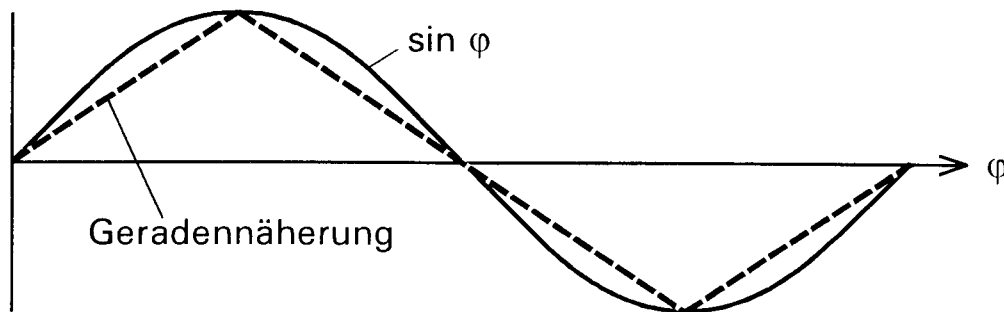
Bild 4 Probleme des ursprünglichen Schaltungskonzepts

4. Verbesserung des Schaltungskonzepts

Das ROM kann vermieden werden, wenn die Sinus- und die Cosinusfunktion durch Geraden angenähert werden (Bild 5). Die bei dieser Realisierung entstehende "Verzerrung" des Meßwertes kann durch eine "Entzerrerkennlinie" korrigiert werden. Die Entzerrung findet sinnvoll

Problemlösung:

- Geradennäherungen statt Sinus- und Cosinusfunktion
 - ROM kann entfallen → reduziert Verzögerung in der Regelschleife
 - Verzerrung des Meßwertes → Entzerrung (außerhalb der Regelschleife)



- Zusätzliche Filterung außerhalb der Regelschleife

Bild 5 Ansatz zur Verbesserung der Meßgenauigkeit

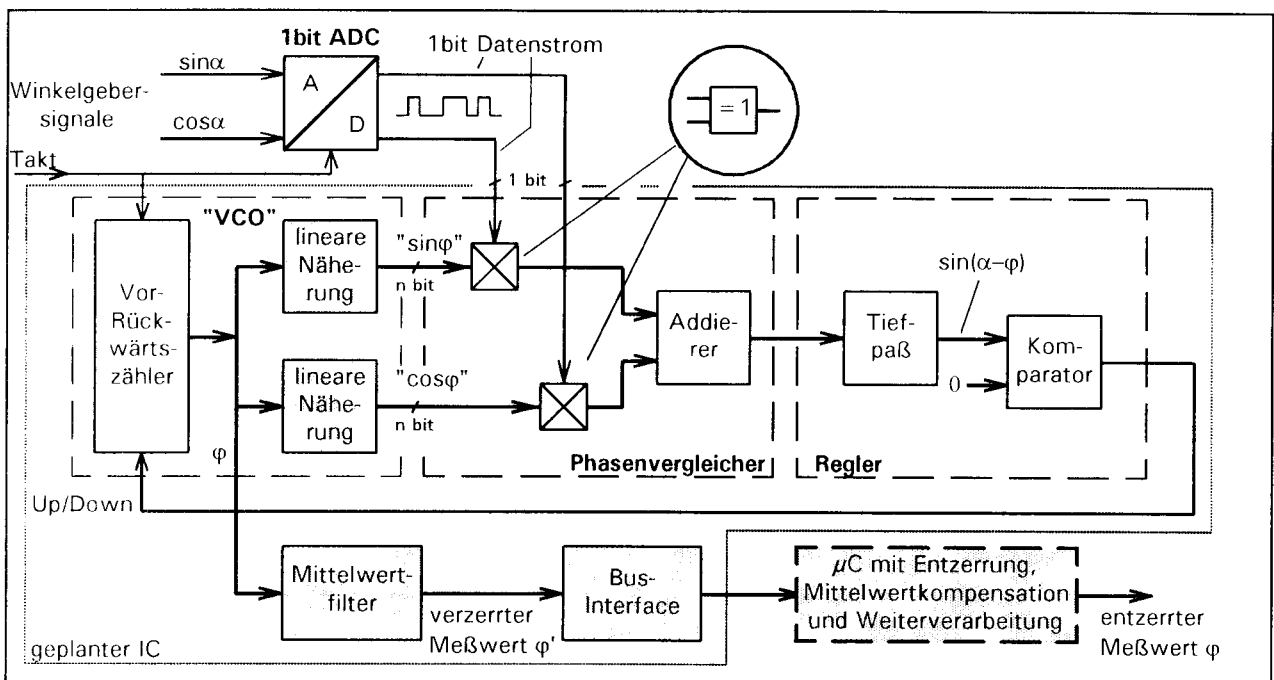


Bild 6 Verbessertes Schaltungskonzept (neue Schaltungsteile grau hinterlegt)



erweise in einem Mikroprozessor statt, der in der Regel ohnehin zur Weiterverarbeitung des Meßwertes benötigt wird (Bild 6). Da der Mikroprozessor außerhalb der Regelschleife liegt, darf er mit einer wesentlich kleineren Abtastrate arbeiten als die PLL-Regelschleife.

Eine deutliche Verbesserung der Meßgenauigkeit ist nun möglich, da die Verzögerungen innerhalb des Kreises verringert wurden und dafür außerhalb des Kreises eine weitere Tiefpaßfilterung vorgesehen wird. Dieses Filter reduziert die Schwankungsbreite, dh. das 'Meßrauschen', erheblich. Gleichzeitig entsteht allerdings ein zur Eingangsfrequenz und der Zeitkonstante dieses Tiefpasses näherungsweise proportionaler Mittelwertfehler, der aber im Mikroprozessor ebenfalls einfach kompensiert werden kann.

5. Ergebnisse

Die Schaltung wurde in VHDL beschrieben, mit Mentor QuickVHDL bzw. der kompatiblen Version VSystem/Windows simuliert und mit Mentor Autologic in die Zieltechnologie IMS Gate Forest 1.2 μ m synthetisiert (Bild 7).

Syntheseergebnisse IMS 1,2 μ m

- Breite der Datenpfade noch nicht optimiert
- Direkte Synthese in die Zieltechnologie mit einmaliger Optimierung

| | Gatterzahl | Verzögerungszeit |
|--|------------|------------------|
| Regelschleife "VCO"- Phasenvergleichs- Regler | 12000 | 125 ns |
| Mittelwertfilter | 2000 | 50 ns |

Bild 7 Ergebnisse der Schaltungssynthese

Die Schaltung erweist sich weiterhin als zeitkritisch. Die Gesamtverzögerungszeit innerhalb der Regelschleife beträgt ca. 125ns (Worst Case), so daß der Kreis bei einer Taktperiode von 100ns in einer zweistufigen Pipeline-Struktur realisiert werden muß. Wie die Simulationsergebnisse in Bild 8 und die Darstellung des Meßfehlers in Bild 9 zeigen, kann durch die zusätzliche Filterung außerhalb des Regelkreises aber trotzdem die gewünschte Genauigkeit von bis zu 9bit bei niedrigen Eingangsfrequenzen erreicht werden.

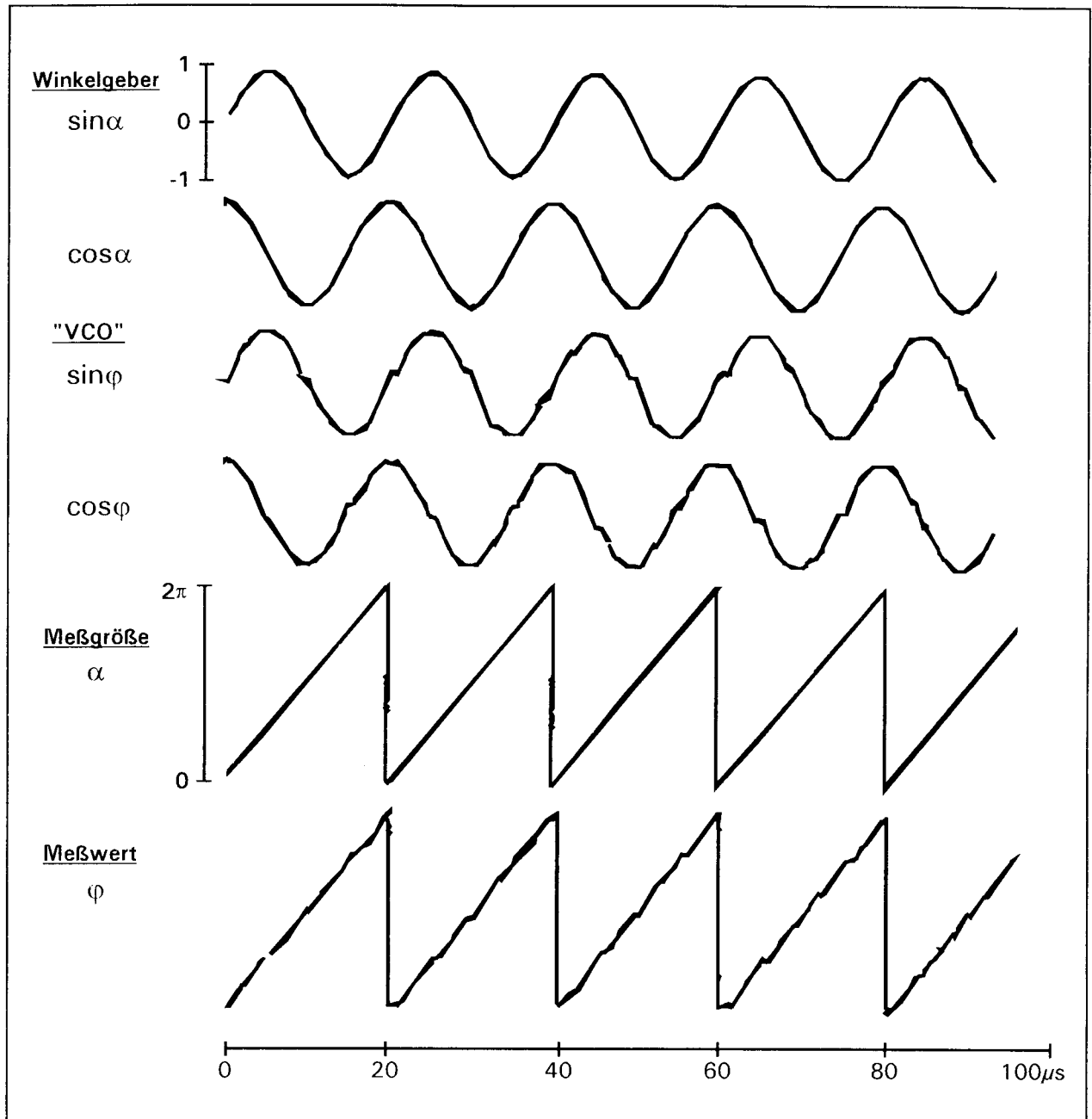


Bild 8 Simulationsergebnisse

(Eingangsfrequenz $f_1 = 50\text{kHz}$, Auflösung $N = 128$)

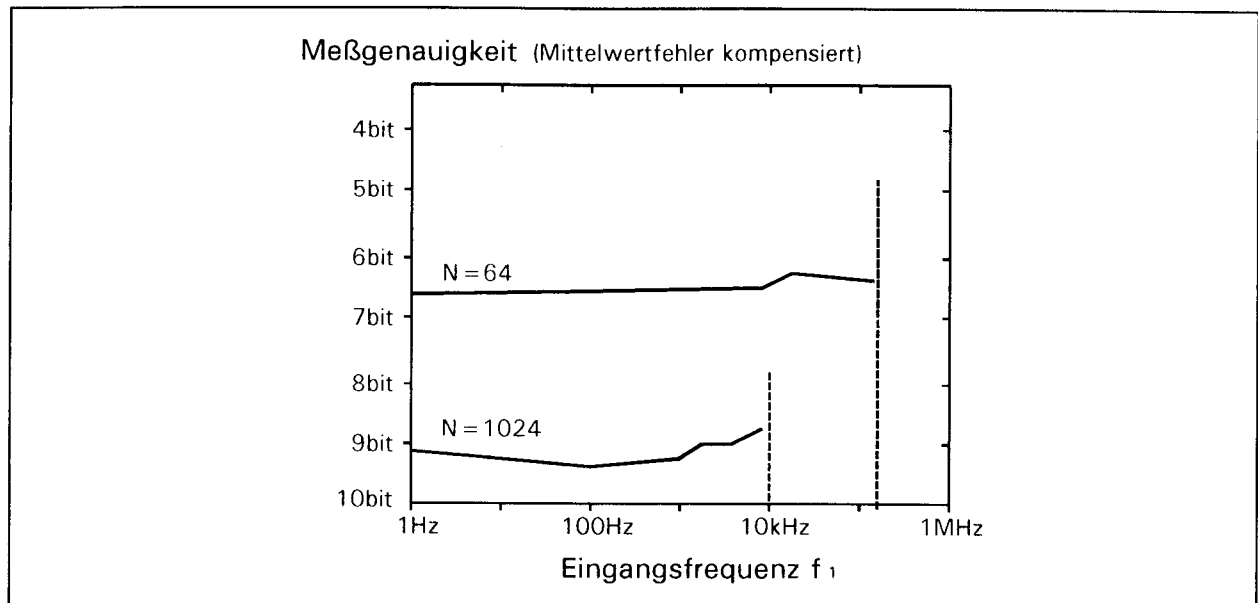
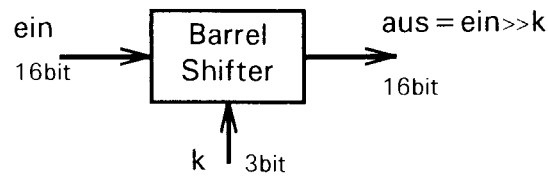


Bild 9 Meßgenauigkeit des neuen Schaltungskonzepts

Bei der Erstellung der Schaltungsbeschreibung wurde der Entwurf ausgehend von algorithmischen Beschreibungen schrittweise verfeinert. Je hardwarenäher die Beschreibung ausgeführt wurde [2], desto besser waren die Syntheseresultate, wie am Beispiel eines Barrel Shifters gezeigt werden kann (Bild 10). Ein derartiger Barrel Shifter wird in den beiden Tiefpaßfiltern jeweils in zweifacher Ausführung benötigt, um deren Zeitkonstante in Abhängigkeit von der Auflösung umzuschalten. Der Barrel Shifter soll das Eingangswort um eine durch die Steuergröße k vorgebbare Stellenzahl nach rechts verschieben. Die algorithmische Beschreibung als FOR-Schleife mit variablem Schleifenendwert ist gar nicht synthetisierbar, die Lösung mit festem Schleifenendwert und IF-Abfrage der Steuergröße benötigt eine unverhältnismässig lange Synthesedauer und führt zu einem extremen Flächenbedarf. Erst die hardwarenahe Beschreibung als gesteuerter Multiplexer mit einer CASE-Struktur ergibt eine brauchbare Lösung.

6. Zusammenfassung

Im Rahmen von zwei Diplomarbeiten [3,4] wurde das Schaltungsprinzip eines digitalen Winkel- und Lagemeßsystems auf Basis eines phasenstarrten Regelkreises soweit verbessert, daß die geforderte Meßgenauigkeit von 9bit je Inkrement des Winkelgebers bei niedrigen Eingangsfrequenzen erreicht wurde. Die Schaltung liegt als VHDL-Beschreibung und synthetisierte Netzliste vor. Nach der Verfügbarkeit der IMS Gate Forest $0,8\mu\text{m}$ Technologie wird die Schaltung nochmals synthetisiert und anschließend am Institut für Mikroelektronik Stuttgart gefertigt werden.



| VHDL-Code | relativer Flächenbedarf |
|---|-------------------------|
| <u>FOR-Schleife mit variablem Schleifenendwert</u> FOR i IN ein'LEFT-1-k DOWNTO 0 LOOP ... END LOOP; | nicht synthetisierbar |
| <u>FOR-Schleife mit festem Schleifenendwert und IF-Abfrage</u> FOR i IN ein'LEFT-1 DOWNTO 0 LOOP IF k = 2 THEN ... ELSIF k = 3 THEN END IF; END LOOP; | 790 % |
| <u>CASE-Abfrage</u> CASE k IS WHEN '2' => ... WHEN '3' => END CASE; | 100 % |

Bild 10 VHDL-Beschreibungsstil und Syntheseresultat

Literatur

- [1] Kröner, M.; Meybohm, A.; Kampe, G.; Zimmermann, W.: VHDL-Entwurf und Synthese einer PLL- Schaltung zur digitalen Lagemessung. MPC Workshop Mannheim, Sommer 1994
- [2] Mentor Graphics: AutoLogic VHDL Synthesis Guide; VHDL Style Guide for AutoLogic II. Handbücher zum Mentor CAE-System, 1993, 1994
- [3] Munz, T.: Schaltungsentwurf und Untersuchung eines digitalen Winkelmeßverfahrens mit VHDL. Diplomarbeit, Fachhochschule für Technik Esslingen, Winter 1995/96
- [4] Löffler, C.: Logiksynthese und Optimierung einer digitalen Schaltung zur Winkelmesung in VHDL. Diplomarbeit, Fachhochschule für Technik Esslingen, Winter 1995/96

Installationsbussystem für das 230V Netz

T. Luksch, O. Fröhlich, E. Ringwald, A. Führer
Schaltungsintegrationslabor, Fachhochschule Ulm

Es wird ein neues Installationsbussystem vorgestellt, das mehrere Lampen am gleichen Schalterlampendraht individuell ansteuern kann, ohne großen zusätzlichen Installationsaufwand zu verursachen. Der Datentransfer findet zwischen einem Sender, der den herkömmlichen Schalter ersetzt, und den Verbrauchern statt, die jeweils mit einem Empfänger ausgestattet sind.

Auf die Leistungsmerkmale, die Art der Datenübertragung, die Übertragungssicherheit und die Realisierung zur Verifikation des Gesamtkonzepts wird eingegangen.

1. Einleitung

Ein Ziel in der Beleuchtungstechnik ist es, mehrere Verbraucher in einem Raum unterschiedlich anzusteuern. Dies kann bedeuten, daß einzelne Lampen ein- und ausgeschaltet oder in der Helligkeit reguliert werden können.

Um in einem Raum jede Lampe diskret ansteuern zu können, ist es notwendig, von einer oder mehreren Stellen im Raum aus, Daten zu jeder Lampe zu übertragen.

Folgender Überblick gibt Aufschluß über die bestehenden Lösungsstrategien und den damit verbundenen Problemen.

1.1 Direkter Anschluß

Nachteil: entsprechend viele Dimmer an jeder Schalterstelle; großer Installationsaufwand; kein Bedienkomfort.

1.2 Datenübermittlung per Frequenzmodulation

Nachteil: Störungen von außen müssen mit Trägerfrequenzsperren abgehalten werden; die Daten übertragen sich im ganzen Stromkreis; Störungen aus TV-Geräten und Gegensprechanlagen sind möglich; die Parallelkompensation von Leuchtstofflampen ist nicht zulässig; für jedes Zimmer muß ein freier Code gesucht und eingestellt werden.

1.3 Datenübermittlung per Infrarotlicht

Nachteil: die IR-Sende- und Empfangselemente müssen Sichtkontakt haben, denn besonders bei dunklen Wand- und Deckenoberflächen breitet sich das IR-Licht schlecht aus; der Benutzer steht oftmals direkt vor dem Schalter und unter-

bricht somit die Datenübertragung; viele Geräte der Unterhaltungselektronik sind mit IR-Fernbedienungen ausgestattet und können stören.

1.4 Datenübermittlung per Bussystem

Nachteil: besonders kritisch bei nachträglicher Installation; bestehende Netzinstallationen müssen mit Busleitungen ergänzt werden; großer handwerklicher und kostenintensiver Aufwand.

2. Neues Lösungskonzept

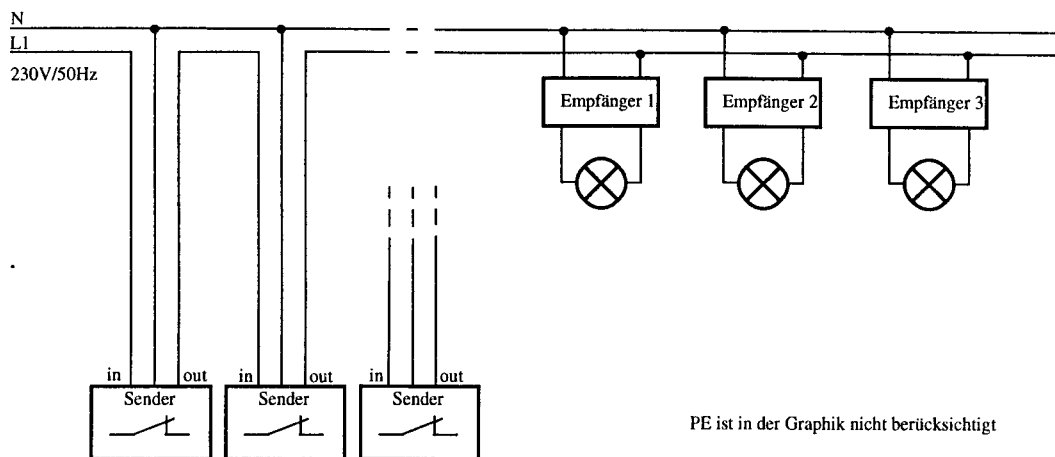


Abb.: 1 Systemschaltbild

Das neue System nützt die bestehende Installation aus. Für die Datenübertragung wird der Schalterlampendraht mit der 230V/50Hz Netzspannung verwendet.

In diesem System besitzt jeder ansteuerbare Verbraucher einen Empfänger. Diesen Empfängern werden fixe Adressen zugewiesen. Die Adressen werden in Form eines binären Datenworts am Empfänger eingestellt. Alle Empfänger liegen parallel am Schalterlampendraht. Die Sender sind seriell zu den Empfängern geschaltet und in ihrer Anzahl nicht beschränkt. Der Sender schaltet im Normalbetrieb die Netzphase (L) durch und ist somit transparent für die Daten eines in Serie davor geschalteten Senders. Die eigentliche Ansteuerung des Verbrauchers wird durch den Empfänger vorgenommen. Die Information über die Ansteuerungsart des Verbrauchers bekommt der Empfänger über den Schalterlampendraht vom Sender aus übermittelt.

Die Datenübertragung erfolgt analog durch maximal zweimaligen Phasenanschnitt zweier aufeinanderfolgender Sinushalbschwingungen. Die Information steckt in der Zeitspanne zwischen dem Nulldurchgang der Schwingung und dem Ansnittzeitpunkt der Halbschwingung. Die Anzahl der kodierbaren Informationen ist von der Auflösung dieser Zeitspanne abhängig. Zusätzlich wird die Anzahl der Kodierungsmöglichkeiten dadurch verdoppelt, daß die Übertragung mit der positiven oder negativen Halbschwingung (bezogen auf den Nulleiter) begonnen wird.

Im Sender werden die Daten durch entsprechende Tastenbetätigungen im Tastenbedienfeld ausgewählt und durch den zugehörigen Phasenanschnitt zu den Empfängern

übertragen. Die Empfänger werten die Zeitspanne zwischen Nulldurchgang der Schwingung und dem Phasenanschnitt als Information aus. Erkennt ein Empfänger anhand dieser Information, daß er angesprochen ist, wertet dieser Empfänger das zweite gesendete Datum aus. Der Verbraucher wird entsprechend dem Informationsgehalt des zweiten Datums vom Empfänger aus angesteuert.

3. Leistungsmerkmale des Bussystems

Der Schutzleiter ist in der Graphik nicht berücksichtigt
230V/50Hz

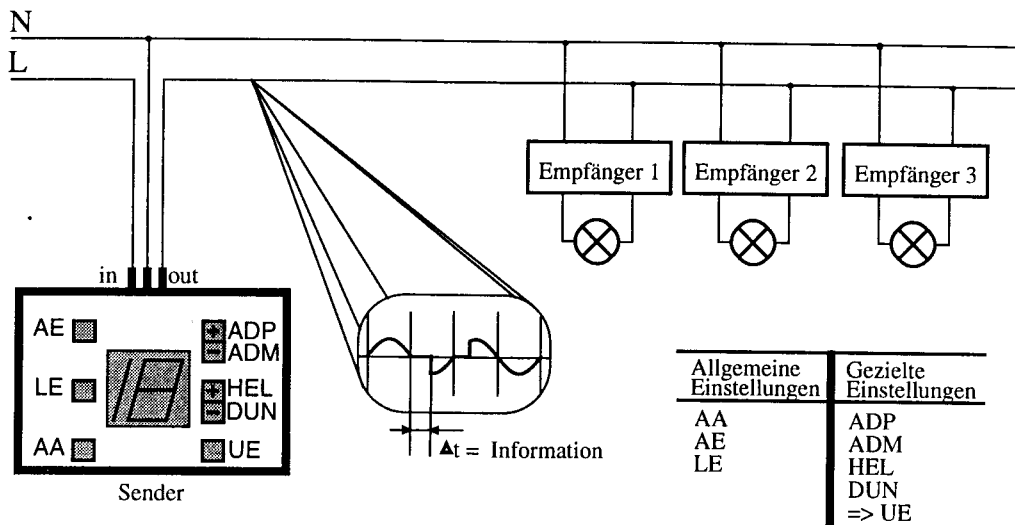


Abb.: 2 Datenübermittlung

Über das Tastenbedienfeld des Senders werden die zu sendenden Informationen eingestellt. Sie lassen sich in zwei Gruppen einordnen. Die erste Gruppe umfaßt Einstellungen, die alle Empfänger betreffen. Folgende Einstellungsmöglichkeiten sind realisiert. Die Taste „AE“ schaltet alle Lampen mit voller Helligkeit ein und die Taste „AA“ schaltet alle Lampen aus. Mit der Taste „LE“ kann das zuletzt eingestellte Beleuchtungsprofil wieder hergestellt werden. Bei dieser Einstellung spricht man von der Memoryfunktion. Die Einstellungen in dieser Gruppe erfolgen sofort nach den jeweiligen Tastenbetätigungen. Die Information wird durch einen einmaligen Phasenanschnitt übertragen.

Bei der zweiten Gruppe werden gezielt Empfänger angesprochen und mit einem Helligkeitswert initialisiert. Die Auswahl diskreter Lampenadressen erfolgt über die Tasten „ADP“ (Adresse plus eins) und „ADM“ (Adresse minus eins) im Bedienfeld. Die Helligkeit wird über die Tasten „HEL“ (Helligkeitswert plus eins) und „DUN“ (Helligkeitswert minus eins) in ihrem Wert verändert. Die Siebensegmentanzeige des Senders zeigt den jeweiligen Parameter an, der momentan eingestellt wird. Übertragen wird die Adresse und die Helligkeitsstufe durch zwei aufeinanderfolgende Phasenanschnitte, ausgelöst durch die Taste „UE“.

Alle Empfänger werten die durch Phasenanschnitt auf dem Schalterlampendraht befindliche Adresse aus, überprüfen sie mit der ihr zugeordneten Adresse und übernehmen bei Übereinstimmung den nachfolgenden Helligkeitswert.

Das gemeinsame Dimmen aller Lampen kann durch gleichzeitiges Betätigen der Tasten „ADP und ADM“ erzielt werden. Diese Tastenbetätigung stellt eine Adresse ein, die alle Empfänger als richtig bewerten. Der nachfolgende Helligkeitswert wird somit von allen Empfängern übernommen und eingestellt.

4. Anschnitterzeugung im Sender

Der Sender nimmt maximal einen zweifachen Phasenanschnitt vor. Der Phasenanschnitt muß je nach Dateninhalt bzw. Befehl früher oder später in der Halbschwingung erfolgen.

Der Zeitpunkt des Phasenanschnitts wird folgendermaßen ermittelt: Ein Zähler läuft mit dem Nullpunkt der Netzspannung beim Zählerstand Null los. Der Zählerstand stellt den Zeitwert in der Halbschwingung dar. Die Befehle sind als Zählersollwerte (Zeitsollwerte) kodiert. Der Zählerwert (Zeitwert) wird nun mit dem Zählersollwert (Zeitsollwert) verglichen. Bei Übereinstimmung des Zählersollwerts mit dem Zählerwert erfolgt durch einen Impuls am senderseitigen Triac der Phasenanschnitt auf dem Schalterlampendraht.

5. Anschnittauswertung im Empfänger

Jeder Lampe ist ein separater Empfänger vorgeschaltet, der im Falle einer Datenübertragung das Datum erkennt, es überprüft und entsprechend die jeweilige Helligkeit abspeichert und an der Lampe einstellt.

Die Gesamtfunktion des Empfangsbausteins läßt sich im groben wie folgt beschreiben: Zuerst wird der Nullpunkt der Sinusschwingung erkannt. Zum gleichen Zeitpunkt startet ein Referenzzähler. Beim Erkennen eines Phasenanschnittes wird im Moment der ansteigenden Flanke der Zählerstand abgefragt, ausgewertet und abgespeichert. Daraus wird dann das Steuersignal für den Triac generiert und damit die Helligkeit der an diesem Empfänger angeschlossenen Lampe eingestellt. Solange keine neue Information für diese bestimmte Lampe übertragen wird, bleibt die Helligkeitseinstellung erhalten.

Weitere Zusatz-Funktionen, die der Empfänger-Chip enthält, sind die Auswahl zwischen Phasenanschnittsteuerung und Phasenabschnittsteuerung, die Lastabschaltung im Moment einer Datenübertragung und die Ansteuermöglichkeit für ein elektronisches Vorschaltgerät für Leuchtstofflampen.

6. Übertragungsformat

Im folgenden Bild ist zuerst eine angeschnittene Sinusschwingung dargestellt, wie sie vom Sender bei einer Datenübertragung manipuliert wird und darunter, wie der Empfänger sie auswertet.

Der Sender teilt jede Halbschwingung in 20 Zählschritte ein, wovon als Datenbereich für die Übertragung nur die mittleren 13 Zählschritte verwendet werden. Der Rest wird nicht benützt und dient als Sicherheitsbereich.

Der Empfänger dagegen teilt jede Halbschwingung in 40 Zählschritte ein. Auf diese Weise ist es möglich, für die Datenübertragung eine gewisse Toleranzbreite und damit auch Übertragungssicherheit einzuräumen.

Ein Phasenanschnitt kann im Bereich des ihm zugeordneten Zeitfensters (Breite = 500 μ s) schwanken und wird vom Empfänger trotzdem richtig erkannt.

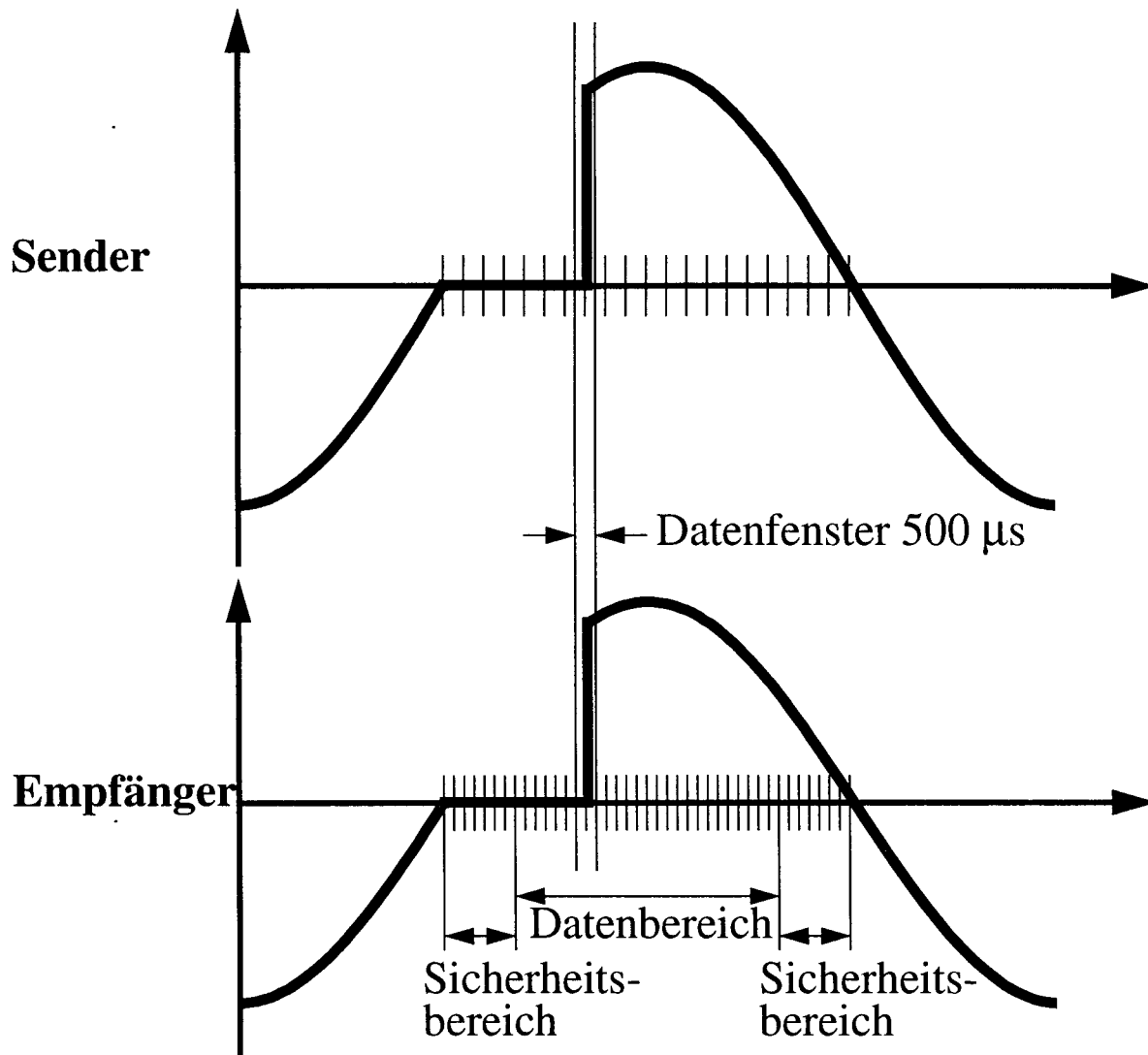


Abb.: 3 Übertragungsformat

7. Übertragungssicherheit

7.1 Toleranzen der Datenübertragung

Für die Beurteilung der Sicherheit der Datenübertragung sind folgende Kriterien zu beachten:

Durch das taktsynchrone Arbeiten der Schaltung kann ein maximaler Zeitverzug von einer CLK-Periode entstehen, bis ein gesendetes Signal im Empfänger erkannt wird. Das bedeutet bei einer Taktfrequenz von 32,768 kHz eine maximale Verzögerung von 30,5 μ s.

Einen weiteren Einfluß auf die Datenübertragung haben die Verzögerungszeiten von Optokoppler und Triac des Senders. Bezugnehmend auf Standardwerte ergibt sich für den Optokoppler eine Verzögerungszeit von ca. 5 μ s und für den Triac ca. 1 μ s. Insgesamt bedeutet das eine maximale Verzögerung von ca. 6 μ s bis das Signal am Sender ausgegeben wird.

Ebenfalls zu berücksichtigen sind die Toleranzen des Oszillators. Für den verwendeten Quarzoszillator ist bei 25 °C eine Schwingungstoleranz inclusive Alterung von +/- 20 ppm und ein Temperaturgang von - 0,04 ppm/K² angegeben. Daraus ergibt sich im Temperaturbereich von - 20 °C bis + 70 °C eine maximale Gangdifferenz von 0,95 μ s zwischen Sender und Empfänger.

Das letzte wichtige Kriterium ist die Zählerdifferenz zwischen Sender und Empfänger. Beide Bausteine enthalten einen Referenzzähler, der durch die Netzfrequenz ständig nachsynchronisiert wird. Der Zähler im Sender ist für die Datenkodierung und der Zähler im Empfänger ist für die Dekodierung zuständig. Werden diese zwei Zähler nicht genau gleichzeitig im Nulldurchgang der Sinuswelle gestartet, so ergibt sich ein Zähler-Offset. Das Starten im Nulldurchgang ist aber von der äußeren Eingangsbeschaltung abhängig. Mit den vorhergenannten Toleranzen verbleibt von dem beschriebenen Zeitfenster noch ein Bereich von 207 μ s vor und nach dem Sendezeitpunkt, in dem der Empfänger das Ereignis dedektieren kann. Das sind 82 % des Zeitfensters. Sie stehen für die Toleranzen der Eingangsbeschaltungen von Sender und Empfänger zur Verfügung.

7.2 Maßnahmen zur Sicherung der Datenübertragung

Durch das Übertragungsprinzip sind bereits zwei Vorkehrungen getroffen worden, die der Sicherheit der Datenübertragung dienen: die Beschränkung auf einen Teilbereich der Sinushalbschwingung und die Verwendung eines Zeitfensters.

Wie vorher bereits erwähnt, wird für die Datenübertragung nur ein Teil der Sinushalbschwingung benutzt. Geht man von einer Einteilung einer Halbwelle in 20 Zählschritte aus, so werden nur die mittleren 13 Zählschritte verwendet. Der Grund besteht darin, daß in diesem Bereich die Spannungsamplitude über 150 V beträgt und dadurch die Gefahr einer Fehlübertragung durch Spikes oder andere Störungen auf dem Netz verringert wird.

Die zweite Vorkehrung zur Sicherung der Datenübertragung ist die Erzeugung eines Zeitfensters: Durch das Einteilen der Halbwelle in Zählschritte entsteht für jeden gesendeten Befehl ein Fenster, in dessen ganzer Breite der Empfänger den Befehl erkennt.

Eine dritte, zusätzliche Vorkehrung steckt in der Funktion „Lastabschaltung“: Ist sie aktiviert, so wird der Verbraucher während einer Datenübertragung abgeschal-

tet. Diese Funktion ist vorgesehen, um beim Betrieb von großen Lasten die Flankensteilheit des angeschnittenen Datensignals auf dem Schalterlampendraht zu gewährleisten.

8. Schaltungs-Entwicklung

Für die Entwicklung der Schaltung benutzten wir Workstations von Hewlett Packard und Software von Mentor Graphics.

Der erste Schritt der Entwicklung war die Ausarbeitung des Konzepts und die logische Aufgliederung der Gesamtfunktion in Teilfunktionen. Die Beschreibung der Schaltung wurde in Form eines Blockschaltbildes angefertigt, wobei die Funktionsbeschreibung der einzelnen Blöcke als Verhaltensbeschreibung mit VHDL formuliert wurde (siehe auch "Abb.: 4 Stromlaufplan des Senders" und "Abb.: 5 Stromlaufplan des Empfängers").

Die im Stromlaufplan des Senders enthaltenen Komponenten lassen sich in vier Funktionsgruppen unterteilen (siehe Tab. 1). Die erste Funktionsgruppe stellt die Systemkomponenten dar. Hier erfolgt die Ablaufsteuerung, die Generierung von Zeitintervallen und Frequenzen sowie die Generierung eines netzsynchronen Signals. Die zweite Funktionsgruppe beinhaltet die Einstellung der Betriebsparameter wie Empfängeradressen und Helligkeitsstufen. Die dritte Funktionsgruppe ist für die Datenübermittlung zuständig. In ihr wird der senderseitige Triac-Impuls generiert. Die vierte Funktionsgruppe übernimmt die Ansteuerung der Anzeige.

Tabelle 1: Funktionsgruppen des Senders

| Funktionsbereich | VHDL - Komponenten |
|-----------------------------------|--|
| Systemkomponenten | ent_prell, statemachine, sw_time, frequenz, no_switch, und, flank_gen |
| Einstellung der Betriebsparameter | adr_count, dim_count |
| Datenübermittlung | transmit_counter, comperator, triac_pulser, a_wert_encoder, b_wert_encoder, switch, register_1 |
| Ansteuerung der Anzeige | display_value, display_decoder, standby_time |

Die im Stromlaufplan des Empfängers enthaltenen Komponenten lassen sich in drei Funktionsgruppen unterteilen (siehe Tab. 2). Die erste Funktionsgruppe beinhaltet die Systemkomponenten. Hier erfolgt die Ablaufsteuerung, die Generierung eines Zählsignals sowie die Einstellung unterschiedlicher Betriebsmodi. Die zweite Funktionsgruppe erkennt eine Datenübertragung, wertet sie aus und speichert sie ab. In der dritten Funktionsgruppe werden die Ausgangssignale generiert. Dazu gehören die Steuersignale für An- und Abschnittsteuerung des Triacs sowie die Signale zur Ansteuerung eines elektronischen Vorschaltgerätes für Leuchtstofflampen.

Tabelle 2: Funktionsgruppen des Empfängers

| Funktionsbereich | VHDL - Komponenten |
|---|---|
| Systemkomponenten | flank_gen, frequenz, ref_zae, stw, an_ab_mux, scanpath_mux |
| Erkennung und Speicherung eines übertragenen Befehls | dat_realize, adr_bef_comp, hell_reg |
| Erzeugung der Ausgangssignale für Triac und elektronisches Vorschaltgerät | hell_gen, an_dec, triac_ansch, ab_dec, triac_absch, triac_out, switch_dec |

Nach der Schaltungsbeschreibung folgte die Verhaltens-Simulation der einzelnen Blöcke und der Gesamtschaltung mit „Quicksim“, dann die Synthese mit „Autologic“ und anschließend eine Kontroll-Simulation.

Die Optimierung wurde auf die Zieltechnologie XILINX hin durchgeführt. Für den Sender wurde der XILINX-Baustein XC3195A verwendet. Er enthält 484 CLB's (Configurable Logic Blocks), wovon 341 CLB's benutzt wurden. Für den Empfänger wurde der XILINX-Baustein XC3042 verwendet: er enthält 144 CLB's, wovon 106 CLB's benutzt wurden.

Nach der Optimierung wurde der Layout der Schaltung erzeugt und anschließend unter Berücksichtigung der Gatterdurchlaufzeiten simuliert (Timing-Simulation).

Der letzte Schritt war die Generierung von Bitstream-Files zum Konfigurieren und Testen der Schaltung auf einem Testboard.

Zum Schluß noch ein kleiner Hinweis auf eine Besonderheit von nach XILINX optimierten Schaltungen: An allen D-Flip-Flops ist ein Reset-Signal mit dem Namen „GlobalResetB“ angeschlossen, das im Schaltplan erst in der untersten Hierarchiestufe auftaucht. Wird dieses Reset-Signal bei der Simulation nicht verwendet, so wird es automatisch mit „Low“ initialisiert und sämtliche D-Flip-Flops der Schaltung sind dann außer Funktion. Um diesen Effekt und eine damit verbundene, unnötige Fehlersuche zu verhindern, muß das Signal „GlobalResetB“ bei der Simulation unbedingt auf „High“ gelegt werden.

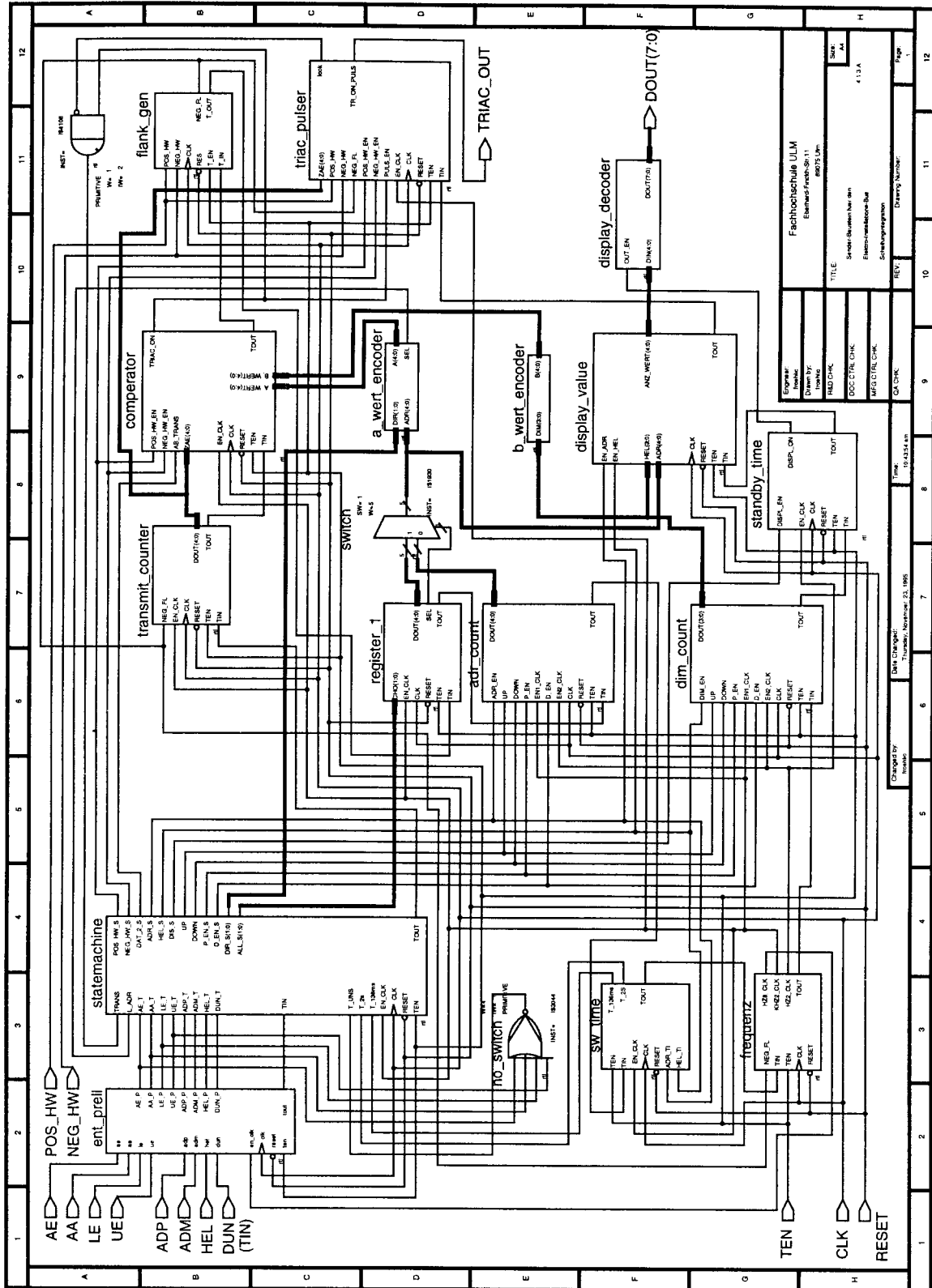


Abb.: 4 Stromlaufplan des Senders

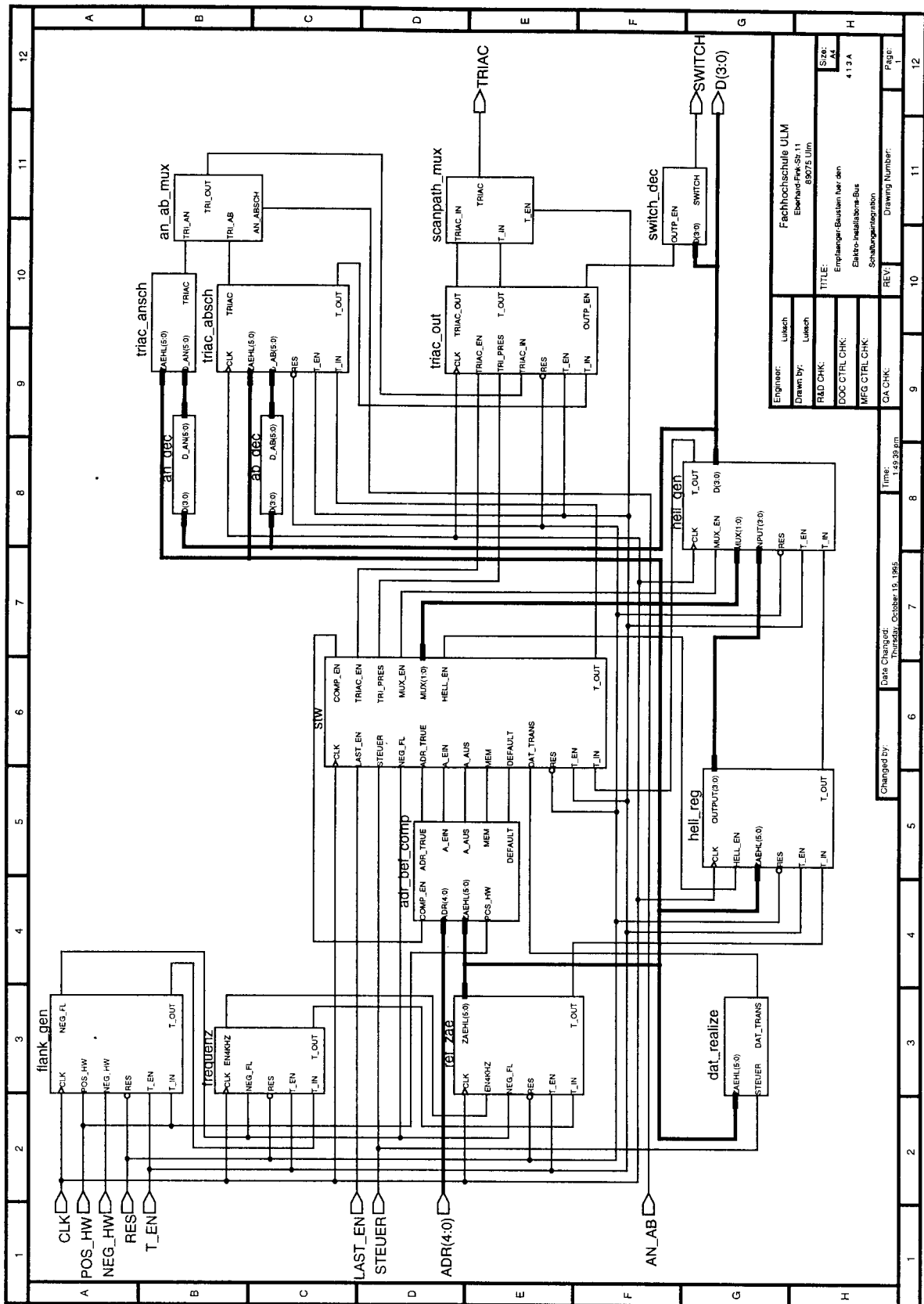


Abb.: 5 Stromlaufplan des Empfängers

Funkuhrschaltkreise in Mikropowertechnik

Prof. Dr. Ing Hans Sapotta

Vorwort

Die hier präsentierten Fakten beruhen im wesentlichen auf den Ergebnissen der Tätigkeit von Herrn Dr. Böhme, der im Rahmen seines Engagements bei der Firma Temic in Heilbronn die Technik der Funkuhrempfänger entwickelt hat. Herr Dr. Böhme befindet sich mittlerweile im Ruhestand.

Die vorgestellten Schaltungen sind allesamt patentrechtlich abgesichert.

1. Motivation

Seit nunmehr ca. 25 Jahren ist in Deutschland der Zeitzeichensender DCF77 auf Sendung. Während in der Anfangszeit der zugehörige Empfänger ein High-Tech-Produkt mit aufwendiger Elektronik war, geht heutzutage die Entwicklung zu einfachen, standardisierten Empfängern im kostengünstigen Low-End-Bereich. Möglich wurde diese Entwicklung durch die Bereitstellung entsprechender Schaltkreise zum sehr einfachen Aufbau von hochwertigen DCF77-Empfängern. Durch diese Entwicklung ist aus Sicht der Halbleiterhersteller ein neuer Absatzmarkt entstanden. Das Potential dieses Absatzmarktes rechtfertigt die Entwicklung von entsprechenden Spezial-ICs (Asics). Allein in Deutschland werden pro Jahr etwa 20 Mio Wecker abgesetzt. Davon ist ein Großteil mit analogem Werk ausgestattet. Der Grund hierfür ist nicht allein die bessere Ablesbarkeit des analogen Werkes, sondern auch die weitgehend standardisierte Bedienungsoberfläche. Während die Umstellung von Sommer- auf Winterzeit bei allen Analog-Weckern identisch abläuft, lassen sich die Hersteller von Digitaluhren immer neue Tricks einfallen, um selbst technisch versierte Bediener vor Probleme zu stellen. Angesichts der Unfähigkeit der breiten Bevölkerung, diese Hürden zu überwinden, stehen in vielen Haushalten sogar zwei Uhren: eine läuft auf Sommerzeit, die andere auf Winterzeit. Die jeweils nicht benutzte Uhr verschwindet in einer Schublade. Dieses Verfahren stößt nur auf Probleme mit der Langzeitstabilität und dem Batteriewechsel.

Von dieser Seite aus betrachtet erreicht der Kunde durch den Einsatz einer Funkuhr einen echten Vorteil. Er kann das Stellen nach einer Zeitumstellung vergessen. Zusätzlich erhält er noch eine extreme Langzeitstabilität und Betriebssicherheit (bei Netzausfall).

Die beschriebenen Probleme und deren Lösungen sind dabei in nahezu allen Industriestaaten identisch. Die Sommerzeit (Daylight Saving Time) hat in alle Industriestaaten Einzug gehalten. Ebenfalls ist in nahezu allen Industriestaaten ein Zeitzeichensender im unteren Langwellenband zu empfangen. Das weltweite Marktpotential für Funkuhren muß daher als groß eingestuft werden. Die spezifische Situation in den einzelnen Ländern muß jedoch berücksichtigt werden, wie ein Vergleich der Situationen in Deutschland, USA und Japan zeigt.

1.1 Situation in Deutschland/Europa

In Deutschland sendet der DCF77 mit 50kW auf 77,5kHz aus Mainflingen bei Frankfurt. Die Wahl der Frequenz verrät nicht allzu viel Geschick, beträgt doch der Abstand zum 5. Oberton der Fernseh-Zeilenfrequenz gerade 625Hz. Der Betrieb von Funkuhren in der Nähe von Fernsehern ist daher immer eingeschränkt. Dies ist nicht nur im Sinne eines Gelsenkirchener Barocks, bei dem auf dem Fernseher ein Deckchen und darauf die Funkuhr und darauf ein Deckchen und darauf eine Zimmerlilie steht, problematisch, es erschwert konkrete Anwendungen.

Obwohl der DCF77 in ganz Europa zu empfangen ist, läuft doch der Absatz von Funkuhren außerhalb Deutschlands eher schleppend an. Das Umstellungsdatum Sommer/Winterzeit ist erst in jüngster Zeit europaweit harmonisiert worden. Obwohl in mehreren europäischen Ländern noch Zeitzeichensender betrieben werden, haben diese bei weitem noch nicht die „Hörerzahl“ wie der DCF77.

1.2 Situation in USA

Dort strahlt der WWVB mit 13kW auf 60kHz aus Fort Collins. Obwohl die Vereinigten Staaten erheblich größer als Deutschland sind, ist doch die Sendeleistung erheblich geringer. Weiter erschwert wird der Empfang durch die Tatsache, daß in den USA kein Langwellen-Rundfunkband existiert und von daher der zulässige Störpegel durch weit verbreitete PCs und Klimaanlageanlagen erheblich höher ist. Der Sender steht einigermaßen im geographischen Schwerpunkt des Landes, die Siedlungsschwerpunkte liegen dagegen eindeutig in den Küstenregionen, damit also in maximaler Entfernung zum Sender. Aus diesen Gründen soll die Sendeleistung des WWVB erhöht werden.

Zu diesen technischen Problemen gesellen sich organisatorische. Das Land ist in 4 Zeitzonen aufgeteilt, eine schalterlose Uhr ohne Bedienung ist daher nicht möglich.

Die spektakulären Besonderheiten des amerikanischen Verbraucherrechts (von unkontrollierten Beschleunigungen eines Audi bis zum Hund in der Mikrowelle) im Zusammenwirken mit der unsicheren Empfangssituation haben daher eine Einführung von Funkuhren nur als Nischenprodukt erlaubt.

1.3 Situation in Japan

In Japan strahlt der Sender JG2AS mit 10kW aus Sanwa. Obwohl das Land eine extreme Nord-Süd-Ausbreitung hat, ist angesichts der guten Meeresleitfähigkeit ein Empfang überall möglich. Das Verbreitungsgebiet erstreckt sich sogar bis Korea.

Das Telegramm des Senders ist im Vergleich zum DCF77 unvollständig. Es wird lediglich die Uhrzeit, aber kein Datum ausgesendet. Allerdings wird von offizieller japanischer Seite immer wieder betont, daß JG2AS lediglich im Versuchsbetrieb laufe. Kenner der Szene sind der Meinung, daß von japanischer Seite nur ein europäischer Markterfolg abgewartet wird, bis das Telegramm derart verändert wird, daß sämtliche Importprodukte unbrauchbar werden.

1.4 Weitere Sender

Neben diesen 3 wichtigsten Sendern befinden sich im Langwellenband noch Stationen in der Schweiz (75kHz), Großbritannien (60kHz), der Tschechischen Republik, in Frankreich und Rußland. Besondere Beachtung verdient die französische Lösung, bei der eine Phasenmodulation eines bestehenden AM-Rundfunksenders (France Inter) keine zusätzlichen Energiekosten verursacht. Allerdings steht diese Lösung weiteren AM-Diensten (AMDS) im Wege. Nichtsdestoweniger ist dies eine kostengünstige Lösung, um die noch weißen Flecken auf der internationalen Zeitzeichensenderkarte zu füllen.

2. Anforderungsprofil

2.1 Einsatzmöglichkeiten

Die Einsatzmöglichkeiten eines Funkuhrempfängers gehen weit über den reinen Uhreneinsatz hinaus. Dabei ist das Einsatzpotential bis heute auch nicht annähernd ausgeschöpft. Dennoch muß der Halbleiterhersteller dieses Potential abschätzen, um daraus das Anforderungsprofil für den Schaltkreis zu generieren. Tabelle 1 gibt einen groben Überblick über mögliche Anwendungen von Funkuhrempfängern.

| Einsatz | Benefit |
|--------------------------------------|---|
| Wecker | automatisches Stellen |
| Uhrenradio | kaum Mehrkosten |
| Armbanduhr | Statussymbol, ansonsten wie Wecker |
| VCR | Sekundengenauigkeit (Konkurrenz Videotext) |
| Schaltuhren (z.B. Heizungssteuerung) | Netzunabhängigkeit, Jahresprogramm |
| Autouhr | automatisches (Um)Stellen, nicht für Weltauto |
| Sicherheitsrelevante Bereiche | keine Manipulierbarkeit |
| Ampelsteuerung | Wegfall Zentralrechner (bisher nicht genehmigt) |

Tabelle 1: Einsatzmöglichkeiten von Funkuhren (bisher kaum ausgeschöpft)

Dem möglichen Einsatz ist der Benefit für den Kunden gegenübergestellt (ohne Benefit kein Einsatz). Im Videorecorder ist durch den Videotext, der ebenfalls die Uhrzeit abstrahlt, eine Konkurrenz gegeben. Dieser Markt dürfte daher kaum zu erobern sein. Besonders attraktiv erscheint der Schaltuhrenmarkt, speziell für Heizungssteuerungen (Stückzahlen !), da über den vom DCF77 ausgestrahlten Datumcode eine Schaltuhr mit Jahresprogramm möglich wird. Diese Schaltuhr läßt sich auch nicht durch Stromausfälle verunsichern.

Das vermeintlich so attraktive Markt für Autouhren verliert seinen Glanz schnell, wenn man berücksichtigt, daß die Autohersteller Spezialitäten eines lokalen Marktes nur noch eingeschränkt berücksichtigen können. Man möchte das Weltauto produzieren. Eine Funkuhr, deren Antenne womöglich noch außerhalb des Faraday-Käfigs zu montieren ist, stößt nicht auf Begeisterung der Hersteller. Interessant wird die Funkuhr hier erst wieder in Zusammenhang mit Diebstahlsicherungsanlagen, die einen Wechselcode benutzen, in dem die aktuelle Uhrzeit verrechnet wird. Damit befindet man sich bereits in sicherheitsrelevanten Bereichen. Hierbei ist vor allem an nicht mehr manipulierbare Eingangsstempel bzw. Rechneruhren gedacht (Michelangelo ?).

2.2 Anforderungsprofil

Aus dem breiten Einsatzbereich von Funkuhrschaltkreisen kann man nun ein grobes Anforderungsprofil konstruieren. Anforderungen wie beste Empfindlichkeit (Kunden wünschen meist negative Rauschzahlen) sind selbstverständlich und werden daher nicht genannt. Tabelle 2 gibt einen groben Überblick über die Anforderungen an einen Funkuhrschaltkreis.

| | | |
|------------------------------|--|------------------------------|
| - minimaler Stromverbrauch | - Betrieb mit 1 Batterie | - minimaler externer Aufwand |
| - Spannungsregler integriert | - AM-(ASK)-Empfang | - 1 oder 2 Quarzfilter |
| - Power-Down-Modus | - $40\text{kHz} \leq f_{in} \leq 80\text{kHz}$ | - integrierter AD-Wandler |

Tabelle 2: grobes Anforderungsprofil an Funkuhrschaltkreise

Obwohl Funkuhren meist nur für kurze Zeit am Tag zur Synchronisation des noch mitlaufenden Quarzoszillators eingeschaltet werden, ist doch für solarbetriebene Anwendungen ein

minimaler Stromverbrauch wichtig. Das Stellen der Uhr darf den zu Anfang noch nicht geladenen Akkumulator nicht belasten.

Die Fülle der Anwendungen hat auch eine Fülle von möglichen Betriebsspannungen zur Folge, ein integrierter Spannungsregler sollte diesen Bereich abdecken. Ein externer Standardregler wäre nicht nur teuer, sondern auch bezüglich Energieverbrauch inakzeptabel. Speziell die Batterieweckeranwendungen sind mittlerweile derartig preiskritisch (vergl. Aldi und Eduscho), daß die vom Hersteller mitzuliefernde Batterie einen wichtigen Kostenfaktor darstellt. Ein 1,5V-Betrieb verschafft dem Uhrenhersteller also einen Kostenvorteil. Dieser Vorteil darf durch zu viele externe Elemente nicht verschenkt werden. Diese stellen in Armbanduhren auch ein Platzproblem dar.

Um das Einschalten der Funkuhr durch den Prozessor zu erleichtern, ist ein Power-Down-Modus erforderlich.

Speziell wegen der unglücklichen Frequenzwahl des DCF77 sind gegebenenfalls 2 Quarzfilter von Vorteil. So kann die Selektion im 625Hz-Abstand erheblich verbessert werden.

Eine Besonderheit ist die Forderung nach einem integrierten AD-Wandler. Für US-Anwendungen empfehlen sich angesichts der kritischen Empfangssituation die Anwendung von Korrelationsverfahren auf Prozessorebene zur Signalerkennung (nichts ist deterministischer als ein Zeitzeichensignal). Diese Verfahren der digitalen Signalverarbeitung setzen jedoch meist ein analoges Signal in digitalisierter Form voraus. Der einfache Komparator (1Bit-AD-Wandler) ist dafür weniger geeignet.

3. Technische Grundlagen

3.1 Empfängerkonzept

Der Zeitzeichenempfänger stellt, sieht man einmal von der Besonderheit eines Multinormempfängers ab, einen Festfrequenzempfänger dar. Diese in der Praxis kaum zu unterschätzende Vereinfachung gegenüber Standard-Empfängerstrukturen ermöglicht es, vom bekannten Prinzip des Superhetempfängers abzurücken und zu den Wurzeln des Empfängerbaus zurückzukehren. Der Geradeausempfänger war vom Superhet verdrängt worden, weil letzterer eine konstante Selektivität über dem Empfangsband bot. Wo das Empfangsband nur noch aus einer Frequenz besteht, ist der Geradeausempfänger erste Wahl. Es muß nur noch Sorge für die korrekte Bandbreite getroffen werden. Diese Forderung erfüllt ein einfacher Biegeschwingerquarz, der auf 77,5kHz bei korrekter Quell- und Abschlußimpedanz rund 10Hz Bandbreite aufweist. Damit ist auch die Forderung nach minimalem Rauschen erfüllt. Allein die „Weitabselektion“ in 625Hz Abstand ist noch verbesserungsfähig. Bild 1 zeigt daher das Blockschaltbild eines Funkuhrempfängers, der in Bipolartechnik nach diesen Prinzipien realisiert wurde. Die Leerlaufverstärkung beträgt 90dB bei einem Gesamtstromverbrauch von ca. $20\mu A$. Der Betriebsspannungsbereich reicht von 1,2V (entladene Kohle-Batterie) bis 5V.

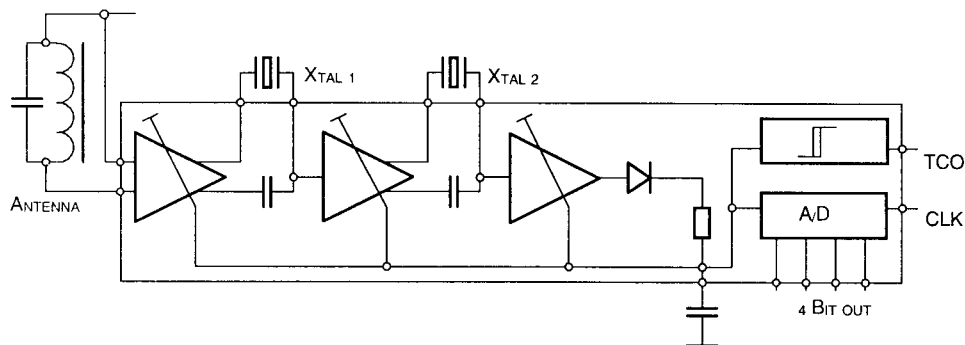


Bild 1: Blockschaltbild des Funkuhrempfängers

Es fällt auf, daß das hochverstärkte Signal den Schaltkreis nicht über die Anschlußbeine verläßt. Dies ist eine wichtige Voraussetzung zum Erreichen von Stabilität. Die Anzahl der externen Bauelemente ist auf das absolut erforderliche Maß minimiert worden. Selbst die Kompensationskondensatoren zur Kompensation der Halterkapazität des Quarzes sind integriert. Dies setzt die Kenntnis der entsprechenden Parameter des Quarz-Herstellers voraus. Gegebenenfalls sind für gehäuste Versionen des Schaltkreises andere Quarze als für on-board-montierte Versionen erforderlich. In einfachen Anwendungen kann auf den zweiten Quarz verzichtet werden.

In Bild 1 sind einige „Hilfsarbeiter“ des Schaltkreises nicht gezeichnet. Es reduziert sich also auf die wesentlichen Funktionen des Signalfades.

Wie in jedem AM-Empfänger stellt das Regelkonzept den wesentlichen Anteil am Gesamterfolg des Schaltkreises. Die Verstärkung wird auf insgesamt 3 Regelverstärkerblöcke verteilt. Angesichts der Gesamtstromaufnahme von $20\mu\text{A}$ kommt den Regelverstärkern allein vom Verstärkungs-Bandbreite-Produkt her eine zentrale Bedeutung zu. Es lohnt sich daher, diese detailliert zu betrachten.

3.2 Verstärker

Stellt man einem Standard-Schaltungstechniker die Aufgabe, einen Standard-Verstärker zu entwerfen, so wird dieser zunächst meist mit einer Standard-Stromaufnahme von 1mA beginnen. Dies muß nicht so sein. Die kleinen Parasiten von modernen Technologien ermöglichen eine dramatische Stromreduzierung, speziell, wenn die obere Frequenzgrenze nur 80kHz ist. Eine systematische Grenze ist zunächst nur durch Sperrströme der Transistoren gegeben. Diese Sperrströme sind mit der Reduzierung der Strukturabmessungen in gleichem Maße reduziert worden, Fortschritte in der Oberflächenbehandlung noch nicht berücksichtigt. Der Blick auf einen Gummel-Plot einer modernen Technologie bestätigt, daß ein Betrieb eines heutigen Transistors bis zu Kollektorströmen von 100pA möglich ist. Dabei wandern pro Sekunde rund 6 Millionen Elektronen in die Basis (!), also abzählbar viele.

Interessant ist ein Vergleich zu einem MOS-Transistor. Normalerweise assoziiert man mit minimalem Stromverbrauch die MOS-Technik. Dies gilt für die Digitaltechnik mit ihren Großsignalanwendungen. Für Verstärker ist das Steilheits-Kapazitätsverhältnis maßgebend, bei dem der Bipolartistor dem MOS-Element immer noch deutlich überlegen ist (der Sub-Threshold-Bereich ist zu langsam). Bei gegebener Stromaufnahme hat daher ein Bipolarverstärker ein erheblich größeres Verstärkungs-Bandbreite-Produkt als ein MOS-Verstärker. Reduziert man wie hier beabsichtigt die Stromaufnahme, kommt man sehr schnell in den Bereich nicht mehr realisierbarer integrierter Widerstände. Klassische Aktiv-Last-Strukturen sind dabei unbrauchbar, da ihre Leerlaufverstärkung nicht definiert ist und normalerweise durch Gegenkopplungswiderstände eingestellt werden muß. Diese Gegenkopplungswiderstände werden ihrerseits dann zum Problemfall, von der Realisierung einer einstellbaren Verstärkung ganz zu schweigen.



Bild 2: 2 Verstärkerprinzipien, links klassische Widerstandslast, rechts aktive Last mit Diode

Bild 2 stellt daher zwei Verstärkerprinzipien gegenüber. Der passive Lastwiderstand soll verglichen werden mit einer aktiven Lösung, wie auf der rechten Seite des Bildes gezeigt. Dabei dient eine Diode in Flußrichtung als Lastelement. Um überhaupt Verstärkung zu erreichen, muß man einen Teil des Kollektorstromes an der Diode vorbeileiten. Damit steigt der dynamische Widerstand der Diode entsprechend an, die Verstärkung wird größer als 1. Untersuchungsgegenstand dieses Vergleiches ist zunächst die Grenzfrequenz über der Stromaufnahme für eine konstante Spannungsverstärkung, hier 20dB. Da der Lastwiderstand bei kleinen Strömen geometrisch sehr groß ausfällt, machen sich die Parasitärkapazitäten dieses Widerstandes als Reduzierung der Grenzfrequenz bemerkbar. Bild 3 setzt einen Flächenwiderstand von $2\text{k}\Omega/\square$ und zeitgemäße Strukturbreiten voraus. Man erkennt, daß trotz der Diffusionskapazität der Diodenlast unterhalb von $1\mu\text{A}$ diese zu bevorzugen ist. Man erreicht bei diesem Strom eine Grenzfrequenz von 100kHz.

Differenzverstärker mit $v_u=20\text{dB}$

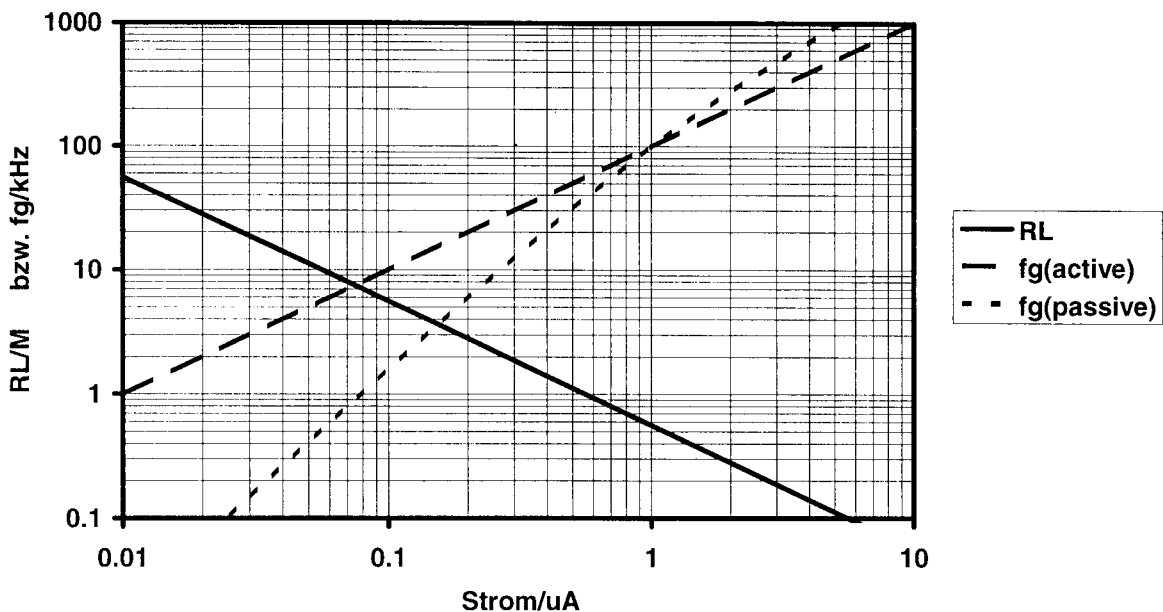


Bild 3: Lastwiderstand bzw. Grenzfrequenz der passiven und aktiven Lösung

Noch deutlicher wird der Vergleich, wenn man die benötigte Chipfläche als Kriterium heranzieht. In Bild 4 ist diese logarithmisch aufgetragen, obwohl diese auf den Gewinn des Halbleiterherstellers eher einen quadratischen Einfluß hat.

Chip Area für $v_u=10$

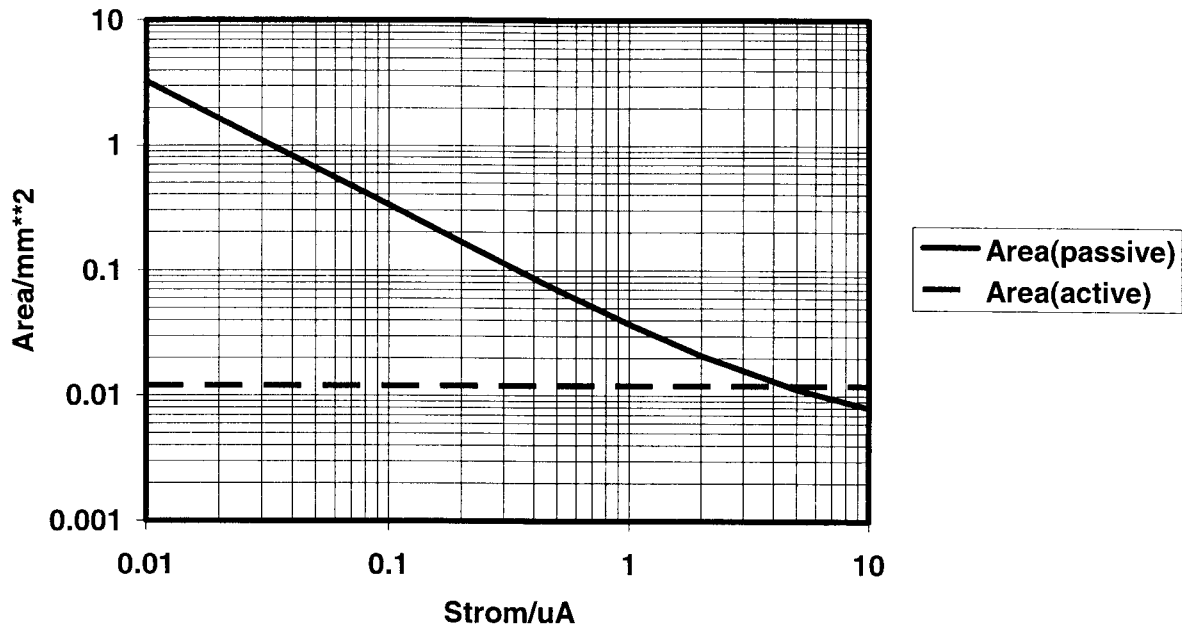


Bild 4: Chipflächenvergleich zwischen passiver und aktiver Lösung

Allein diese zwei Kriterien rechtfertigen die Abkehr von der klassischen Widerstandslast. Nicht berücksichtigt sind weitere Vorteile der aktiven Lastschaltung. Für die Berechnung der Chipfläche wurden Widerstände mit Minimalgeometrien vorausgesetzt. Diese haben aber allein aufgrund von Geometrieschwankungen eine erhebliche Herstellungstoleranz. Man wird also mit resistiver Last in der Praxis meist noch erheblich schlechtere Ergebnisse erzielen als hier vorgestellt.

Der Versuch, den Flächenwiderstand zu erhöhen und so hochohmigere Widerstände zu ermöglichen, ist von vornherein zum Scheitern verurteilt. Sondertechnologien sind an sich in der Halbleiterherstellung nicht beliebt, hier erschweren die hochohmigen Widerstände mit ihrer Spannungs- und Temperaturabhängigkeit das Leben des Schaltungsentwicklers zusätzlich.

Die praktisch realisierte Schaltung orientiert sich nun nicht, wie bisher für eine prinzipielle Darstellung gezeigt, an einer Eintaktverstärkerstufe. Grundlage ist selbstredend der Differenzverstärker. Für diesen wurde eine besonders elegante Variante der aktiven Diodenlast gefunden. Bild 5 gestattet einen Einblick in das Detailschaltbild.

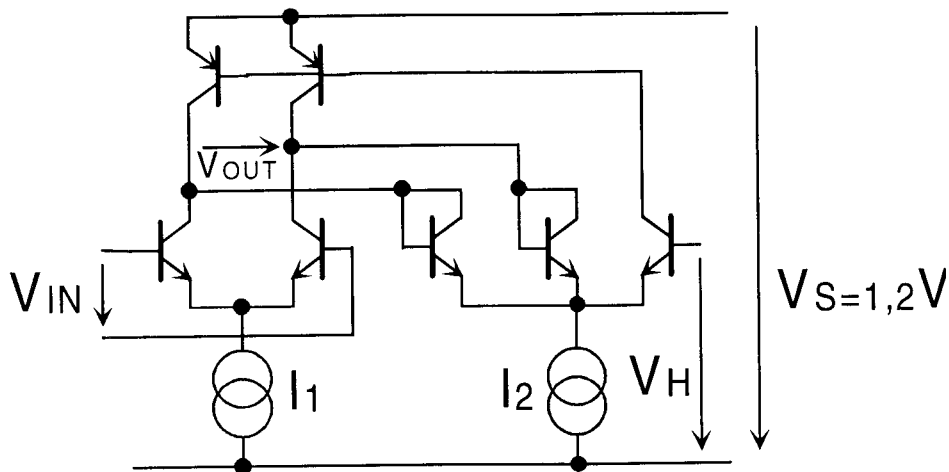


Bild 5: Detailschaltbild der Regelverstärkerstufe

Die beiden linken NPN-Transistoren arbeiten als Differenzverstärker. Die beiden PNP-Transistoren bilden die Stromquelle, die wie in Bild 2 gefordert einen Teil des Betriebsstromes der Diodenlast übernehmen (hier $I_1 + I_2$). Rechts von dieser Differenzverstärkerstufe ist die eigentliche Lastschaltung angeordnet. Der Strom I_2 fließt im wesentlichen in die beiden linken Emittoren der Lasttransistoren, während der rechte Transistor, dessen Basis an eine Hilfsspannung V_H angeschlossen ist, lediglich die Basisströme für die PNP-Transistoren bereitstellt. Diese sind um zwei Größenordnungen kleiner als I_2 . Die Hilfsspannung V_H definiert das Gleichaktpotential der Ausgangsspannung V_{OUT} .

Diese Verstärkerstufe besitzt nun eine Reihe von äußerst interessanten Eigenschaften.

Zunächst einmal ist sie bereits mit 1,2V Betriebsspannung lauffähig, die minimale Betriebsspannung setzt sich aus zwei Kollektor-Emitter-Spannungen (je ca. 0,2V) und einer Basis-Emitter-Spannung (ca. 0,6V, je nach Temperatur) zusammen.

Die Verstärkung wird in einfacher Weise durch das Verhältnis der beiden Ströme I_1 und I_2 eingestellt. Damit ergibt sich die Möglichkeit, einen einfachen Regelverstärker aufzubauen. Die Toleranz der Verstärkung ist dabei äußerst gering und temperaturunabhängig, da Stromverhältnisse in integrierter Technik sehr einfach realisiert werden können. Im Vergleich dazu hätte die Widerstandslast allein aufgrund der Herstellungstoleranz des Widerstandes rund 30% Verstärkungstoleranz und einen starken Temperaturgang.

Ein wichtiger Parameter für den Aufbau von hochverstärkenden integrierten Verstärkerketten ist die PSSR, also die Unterdrückung von Betriebsspannungsschwankungen. IC-interne Versorgungsleitungen sind wegen ihres ohmschen Widerstandes und wegen der Bonddraht-induktivitäten praktisch kaum ruhig zu bekommen. Diese PSSR ist bei dieser Stufe ideal, da gegen die Versorgungsspannung lediglich zwei Stromquellen arbeiten.

Für die Kostenrechnung ist interessant, daß diese Stufe vollkommen ohne Widerstände auskommt, es handelt sich also um eine widerstandslose Verstärkertechnik. Damit fällt die Chipfläche dementsprechend klein aus.

Ein kritischer Parameter einer derartigen Verstärkerstufe ist immer die Linearität. Zwar wird das Digitalsignal eines Funkuhrensenders keine erhöhten Anforderungen an die Linearität einer Stufe stellen, aber für andere Fälle von AM-Empfang dürfte von Interesse sein, daß eine derartige Verstärkerstufe in Zusammenarbeit mit der darauf folgenden Differenzverstärkerstufe eine inhärente Linearität garantiert. Damit wird diese Technik speziell für Rundfunk- und Fernseh-Anwendungen interessant.

Die Rauscheigenschaften einer Stufe mit Widerstandslast werden jedoch nicht ganz erreicht. Die klassische Stufe rauscht ca. 20% geringer, weswegen in den Funkuhrschaltkreisen die erste Stufe ohne Aktiv-Last arbeitet.

Schaltet man nun eine Reihe derartiger Verstärkerstufen in Serie, werden Offset-Spannungen zu einem Problem. Die Produktionsausbeute einer derartigen Schaltung wäre minimal. Man muß sich mit einer Offsetspannungskompensation auseinandersetzen. Die einfachste Form der kapazitiven Kopplung scheidet wegen der benötigten Chipfläche bei diesen Frequenzen aus. Nichtsdestoweniger ist immer ein Kondensator zur Realisierung einer Hochpaßfilterfunktion erforderlich. Bild 6 zeigt die Lösung, die hier gefunden wurde.

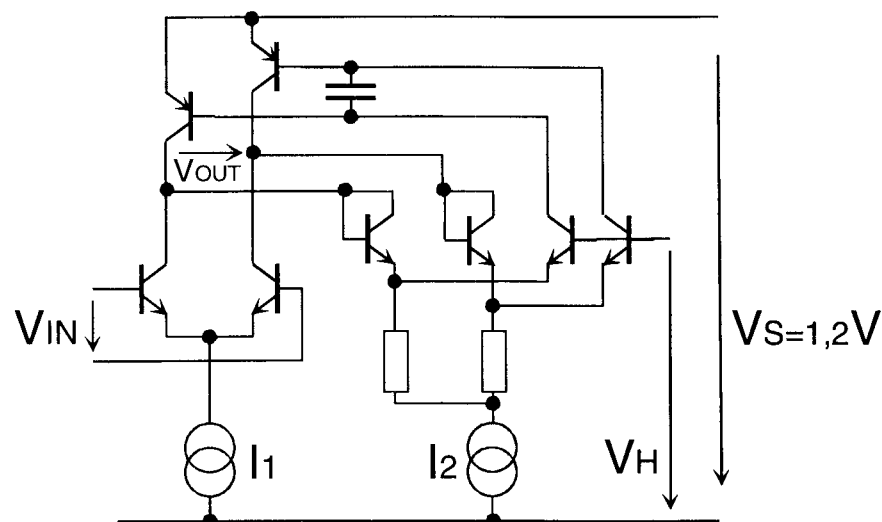


Bild 6: Verstärkerstufe mit Offset-Kompensation

Der Kondensator liegt am hochohmigsten Punkt der gesamten Schaltung, zwischen den Basen der PNP-Transistoren. Er kann dementsprechend klein ausfallen. Die beiden PNP-Transistoren werden nun nicht mehr mit einem gemeinsamen Basisstrom, sondern über zwei getrennte Transistoren versorgt, die mit unterschiedlichem Emitterpotential angesteuert werden. Da ein Teil der Ausgangsspannung an den zusätzlichen Emitterwiderständen abfällt, wird diese tiefpaßgefiltert gegengekoppelt und reduziert so für tiefe Frequenzen die Verstärkung. Nebenbei sei erwähnt, daß die Widerstände an einem besonders niederohmigen Punkt der Schaltung zwischen den Emittern angeordnet sind und so dementsprechend klein ausgeführt werden können.

4. Zusammenfassung

Zusammenfassend die Thesen dieser Präsentation:

- Funkuhren erobern sich in Deutschland weite Anwendungsfelder
- In den USA und Japan steht eine breite Einführung bevor
- In der Empfängertechnik ist der Geradeausempfänger mit Quarzfilter die erste Wahl
- die vorgestellte widerstandslose Verstärkertechnik ermöglicht optimale Ausbeute bei kleiner Chipfläche und minimaler Stromaufnahme.

Um eine Vorstellung von der Empfindlichkeit dieser Funkuhren zu vermitteln, sei erwähnt, daß das LSB des AD-Wandlers umklappt, wenn am Eingang der Schaltung ca. 8 Elektronen auf der Empfangsfrequenz synchron schwingen. In der Praxis ist dieser Wert aufgrund des atmosphärischen Störnebels nur von untergeordneter Bedeutung.

ASIC-Entwurfsmethode bei extremen Temperaturen und besonders niedrigem Leistungsbedarf, ein Anwendungsbeispiel

Design method for an ASIC in extreme conditions of temperature with super low power demand, an application example

Bernhard C. Röllgen, Kurt H. Schmidt,
Fachhochschule Furtwangen,
Studiengang Mikrosystemtechnik

Abstrakt: Ein Ereigniszählerchip mit einer Stromaufnahme von weniger als 10nA über den gesamten industriellen Temperaturbereich wurde an der FH Furtwangen entworfen und charakterisiert. Die hervorragende statische, wie auch dynamische Stromaufnahme des ICs, das einen 32 Bit Ripple Counter, einen Kommandoprozessor und ein 32 Bit Schieberegister enthält, wurde alleine durch die Anwendung geeigneter Design-Techniken erzielt. Die integrierte Schaltung wurde mit einem gängigen 2µm n-well CMOS-Prozess gefertigt und mißt 2mm².

Abstract: An event counter chip consuming less than 10nA over the industrial temperature range has been designed and characterized. The exceptional static- as well as dynamic current consumption of the chip implying a 32 bit counter, a command processor and a 32 bit shift register has solely been achieved by using appropriate design techniques. The integrated circuit measures 2mm² and was fabricated using a standard 2µm n-well CMOS process.

1. Einleitung

ASICs werden programmierbarer Logik und Software in Fällen vorgezogen, bei denen erhöhte Anforderungen an die Zuverlässigkeit und Störunanfälligkeit der Anwendung gestellt werden. Für die Sicherheitstechnik, die Überwachung und sichere Erfassung von Vorgängen verursacht insbesondere Ladungsprogrammierung und zyklische Arbeitsweise bei Software (Mikrocomputer) und Hardware (programmierbare Logik) geringere Zuverlässigkeit. In der Sicherheitstechnik sind zu nennen: Alterungserkennung, Black Box-Anwendungen, aber auch bestimmte Aufgaben des Metering.

In vorangegangenen Arbeiten ist zum Beispiel ein Zeitprozessor entwickelt worden [1] zur Erfassung von auftretenden Ereignissen (Maschinenüberwachung). In einer weiteren Arbeit wurde ein Kommunikationsblock entwickelt, der erfaßte Daten auf Anforderung an einen Bus abgibt [2]. Es wurden dafür jeweils ASICs realisiert. In dem Umfeld ergab sich die weitere reale Aufgabe für ein absolut zuverlässiges Metering, wobei erschwerend die Anforderung des vollen industriellen Temperaturbereichs bei geringstem Leistungsverbrauch hinzukam (Batterie, jährliches Auslesen) [3].

2. Funktion des Zählerchips

2.1 Typische Applikationen

Typische Applikationen sehen vor, eine Drehbewegung zu erfassen. Infrage kommen Verbrauchsmessungen, das Messen der Anzahl von Umdrehungen (zum Beispiel beim Rad eines Anhängers) oder sonstige Bewegungsanwendungen. Das IC wird mit einer kleinen Lithiumbatterie und einem oder zwei Reedkontakten eingebaut. Ein an der Welle montierter Permanentmagnet betätigt bei jeder Umdrehung den Reedkontakt und inkrementiert dabei den Stand des chipinternen Zählers. Das System Chip, Batterie, Reedkontakt muß vollkommen autark, sowie bei extremen Umgebungstemperaturen für sehr lange Zeit mit hoher Datensicherheit seinen Dienst verrichten (zum Beispiel eine notwendige Forderung für das „Fleet Management“).

2.2 Forderungen an die Problemlösung

Heute verfügbare Batterietypen eignen sich nur bedingt für derartige Einsätze. Ihre Eigenentladung ist bei erhöhten Temperaturen so groß, daß nicht einmal drei Jahre Lagerfähigkeit garantiert werden können. Folglich darf dem Primärelement kein nennenswerter Strom entnommen werden.

Steht eine Maschine still, so treten mechanische Ereignisse sehr selten auf, läuft die Maschine jedoch, so übersteigt in der Mehrzahl der Fälle die Rotationsgeschwindigkeit im technisch industriellen Umfeld selten 6000 Umdrehungen/Minute. Aus dieser Überlegung heraus wurde für das Zähler-IC der Zählfrequenzbereich zu $0 \leq f \leq 100\text{Hz}$ festgesetzt. Die Festlegung auf diesen Frequenzbereich erlaubte es außerdem, mechanische Geberelemente wie Reedkontakte zu verwenden.

2.3 Beschaltung des Mikrosystems

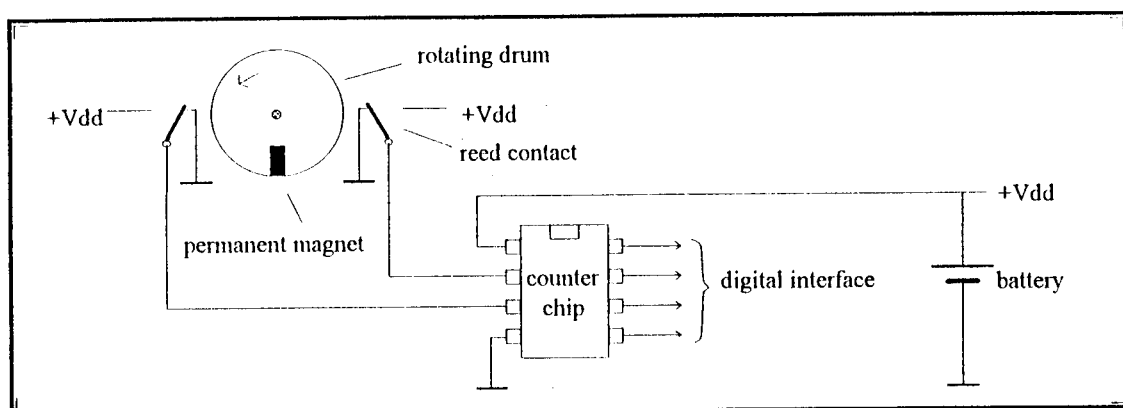


Bild 1: Applikation mit rotierendem Magnet und zwei Reedkontakten

Ein funktionsfähiges System kommt bereits mit vier Bauelementen aus (Bild 1). Die prellfreie Eingangsstufe des Zählerchips bildet ein RS-Flipflop. Aus diesem Grund sind zwei Reedkontakte nötig, um den Zähler weiterzuschalten. Durch Verwendung von Latches an beiden Zählereingängen kann ein Reedkontakt eingespart werden, ohne daß Schalterprellen den Zählerstand verfremden kann! Bei den Latches handelt es sich um je zwei rückgekoppelte

Inverter, einem treiberstarken Inverter in Vorwärtsrichtung und einem schwachen in Rückwärtsrichtung. Schalterimpulse mit Sub-Nanosekunden-Impulsdauer führen in der Simulation noch zum Kippen des logischen Pegels am Pad; bereits nach 2-4ns setzt die Unterstützung des hochohmigen Inverters ein, kurz genug, um erneutes Umladen der Pad- und Streukapazitäten zu verhindern. Unter der Voraussetzung, daß beim Prellvorgang nicht zwischen den niederohmigen Kontakten hin- und hergesprungen wird, sondern nur zwischen hoch- und niederohmig, ist die Schaltung prellfrei.

Das digitale Interface besteht aus einer Takt-, einer Daten- und einer speziellen Acknowledge-Leitung, über die der logische Zustand verschiedener chipinterner Signale auch bei Power-up sicher kontrolliert werden kann. Das Protokoll ist im erstellten Datenblatt beschrieben, das an Interessenten gegeben wird.

2.4 Innenschaltung des Zählerchips

Um die Hauptforderung einer quasi Null-Stromaufnahme zu erfüllen, mußten die Chipfunktionen in einen permanent mit Betriebsspannung versorgten und einen abschaltbaren Bereich aufgeteilt werden (Bilder 2 und 3). Je weniger Chipfläche in Betrieb ist und je weniger Schaltvorgänge im IC stattfinden, desto geringer fällt dessen Stromaufnahme aus.

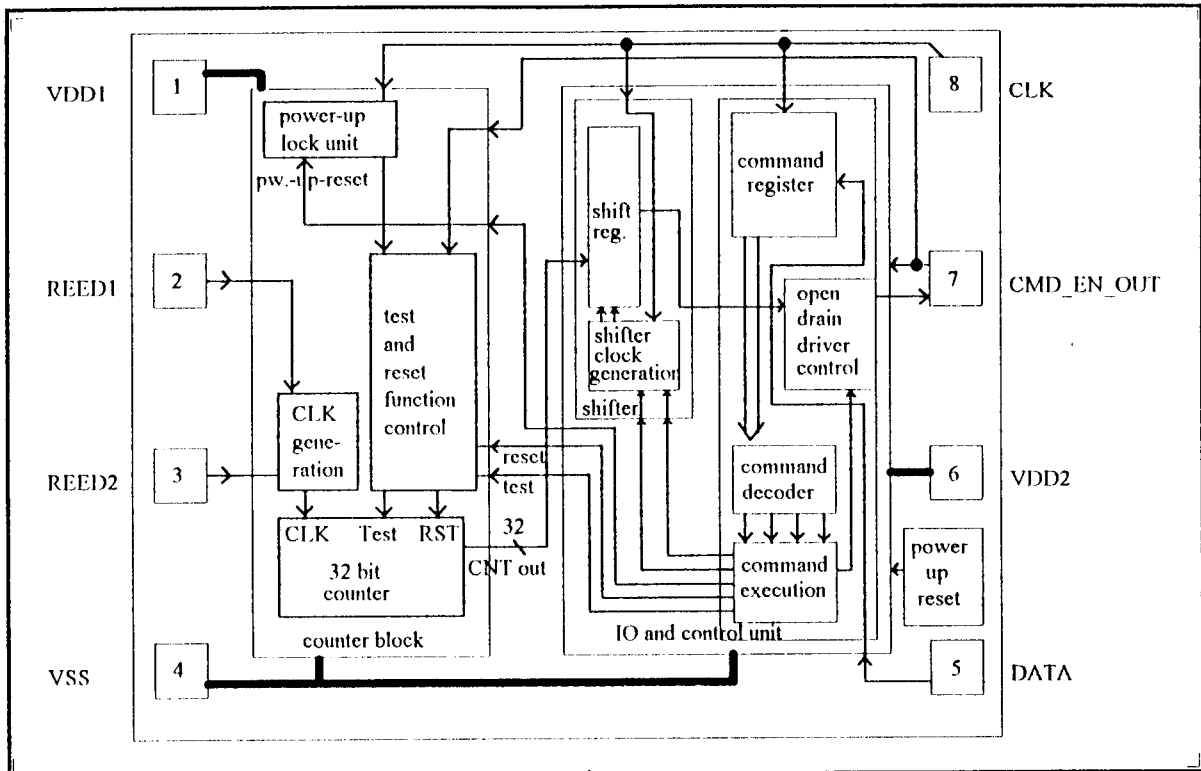


Bild 2: Blockschaltbild

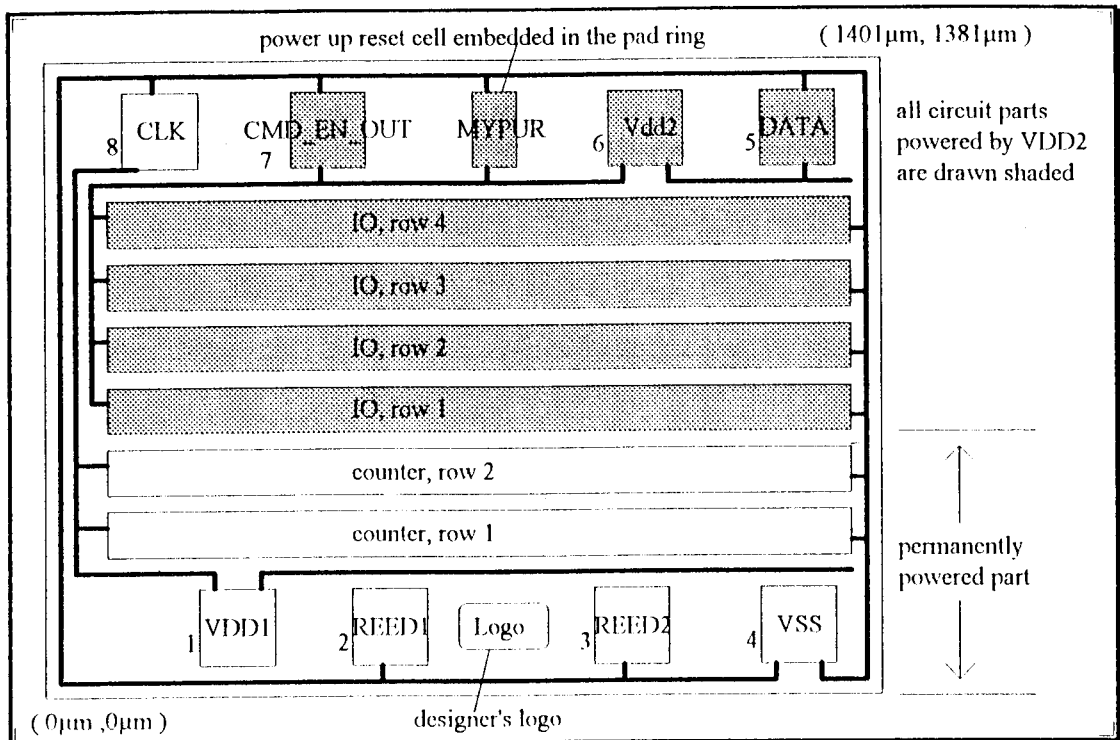


Bild 3: Chiplayout, schematisch

Pin 1..3 sind dem permanent versorgten Zählerblock zugeordnet, während Pin 5..8 das digitale Interface bilden. Pin 4 ist die gemeinsame Masse. Das Digitalinterface wird nur im Augenblick des Bedarfs über Pin 6 versorgt. Vier seriell einlesbare Befehle verleihen dem Kommandoprozessor die Kontrolle über das IC. Die Spannungsversorgung des Zählerblocks erfolgt über Pin 1. Pin 2 und 3 sind die Reedkontakteingänge. Zusätzliche Logik verhindert unvorhersehbare Störungen durch Power-up des IO-Blocks und ermöglicht den Zählbetrieb bei abgeschaltetem Kommandoprozessor. Manche Standardzellen besitzen Eingänge mit Transfer Gates. Der abschaltbare IO-Block würde über solche Eingänge unabsichtlich „versorgt“, das Design wäre wertlos. Die Interfacezellen zwischen beiden Blöcken treiben deshalb ausschließlich Gates.

3. Low Power

Mit der Maßgabe, einen 2µm-Standardprozeß zu verwenden um die kostengünstigste Lösung zu erhalten, blieb lediglich die Möglichkeit übrig, mittels Designtechniken bestmöglich umzugehen. Es bieten sich vor allem Maßnahmen zur Flächenreduzierung und Taktfrequenzverringern an. Eine niedrige Versorgungsspannung und leckstromarme ESD-Schutzstrukturen sind erforderlich. Die projektierte maximale Taktfrequenz im Bereich von 100Hz (entsprechend 6000Upm einer Welle) legt die Optimierung der statischen Stromaufnahme nahe.

3.1 Minimierung der statischen Stromaufnahme

Zur mathematischen Analyse (Bilder 4 bis 7) wurde ein Modell mit dem Sperrstrom I_s , dem Generationsstrom I_g und dem Weak Inversion-Leckstrom aufgestellt:

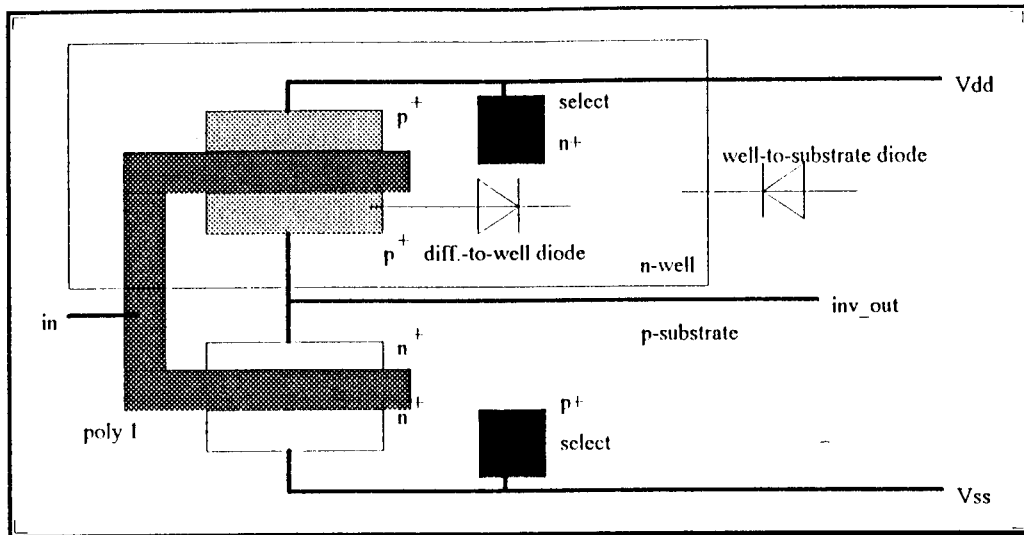


Bild 4: Parasitäre Dioden bei n-well CMOS-Schaltkreisen

abrupt pn-junction

| | | |
|-----|------------------|----|
| p | depletion region | n |
| -wp | Ln | Lp |
| | -xp 0 xn | |

short dimensions:
 $|w_n - x_n| \ll L_p$ and $|w_p - x_p| \ll L_n$
 wich is true for a $2\mu\text{m}$ process with
 with a well-depth of $3.4\mu\text{m}$

$$I_s = q \cdot \Lambda \cdot \left[\frac{D_p}{w_n - x_n} \cdot p_{n0} + \frac{D_n}{w_p - x_p} \cdot n_{p0} \right] ;$$

with:

$p_{n0} = n_i^2 / N_D$; $D_n = k \cdot T \cdot \mu_n / q$; $L_n = \sqrt{D_n \cdot \tau_n}$; τ_n = minority carrier lifetime (n-type)
 $n_{p0} = n_i^2 / N_A$; $D_p = k \cdot T \cdot \mu_p / q$; $L_p = \sqrt{D_p \cdot \tau_p}$; τ_p = minority carrier lifetime (p-type)
 q = electron charge = $1.6021892 \cdot 10^{-19} \text{ C}$; k = Boltzmann's constant = $1.380662 \cdot 10^{-23} \text{ J/K}$; $W_g = 1.12 \text{ eV}$;
 Λ = junction area ; n_i = intrinsic density, ($n_i (300\text{K}) = 1.45 \cdot 10^{16} \text{ m}^{-3}$)
 T = absolute temperature [K] ; $\mu_n (300\text{K}) = 0.14 \text{ m}^2 / (\text{V} \cdot \text{s})$; $\mu_p (300\text{K}) = 0.045 \text{ m}^2 / (\text{V} \cdot \text{s})$;

$$x_p = \sqrt{\frac{2 \cdot \epsilon_{ps0} \cdot \epsilon_{psr}}{q} \cdot \frac{N_D}{N_A} \cdot \frac{1}{N_A + N_D} \cdot (\phi_{i_i} - V_{pn})} ;$$

$$x_n = \sqrt{\frac{2 \cdot \epsilon_{ps0} \cdot \epsilon_{psr}}{q} \cdot \frac{N_A}{N_D} \cdot \frac{1}{N_A + N_D} \cdot (\phi_{i_i} - V_{pn})} ;$$

$x_n = \text{sqrt} \left[\frac{k \cdot T}{q} \cdot \ln \left[\frac{N_A \cdot N_D}{n_i^2} \right] \right]$; ϕ_{i_i} = the diode's diffusion voltage ; $\epsilon_{ps0} = 8.85419 \cdot 10^{-12} \text{ F/m}$;
 V_{pn} = voltage applied to the diode ; $\epsilon_{psr} = 11.9$ (Silicon) ;

Bild 5: Berechnung des Sperrsättigungsstroms I_s [4]

$$I_g = q \cdot \Lambda \cdot \frac{x(V_{pn})}{t_0} \cdot n_i ; \quad \text{with}$$

q = electron charge ;
 Λ = the diode's area ;
 $x = x_n + x_p$ (depletion region width) ;
 V_{pn} = voltage applied to the diode ;
 t_0 is assumed to be approximately 10 us ;
 n_i = intrinsic density ;

Bild 6: Generationsstrom [4]

weak inversion criterium: $V_{GS} < V_T + (n \cdot k \cdot T) / q$
and $V_{DS} > 0.1V$

$$I_{\text{drain}} = KP \cdot \frac{W}{L} \cdot n \cdot \left(\frac{k \cdot T}{q} \right)^2 \cdot e^{\frac{q}{n \cdot k \cdot T} \cdot (V_{GS} - V_T - \frac{n \cdot k \cdot T}{q})} \cdot \left(1 - e^{-\frac{q}{k \cdot T} \cdot V_{DS}} \right);$$

with: $n = 2$ (roughly); $KP = \mu_0 \cdot (\text{eps}_0 \cdot \text{eps}_{\text{ox}}) / \text{TOX}$; $\mu_0 = 0.04 \text{ m}^2 / (\text{V} \cdot \text{s})$ at 27°C ;
 $\text{eps}_{\text{ox}} = 3.7$ (SiO₂); $\text{TOX} = 45\text{nm}$ (present technology); others: $\text{TOX} = 25\text{nm}$;

Bild 7: Weak Inversion-Transistorleckstrom [4]

Mithilfe der angegebenen Formeln und (teilweise estimierten) Prozeßdaten wurden die Komponentenströme errechnet (Bild 8):

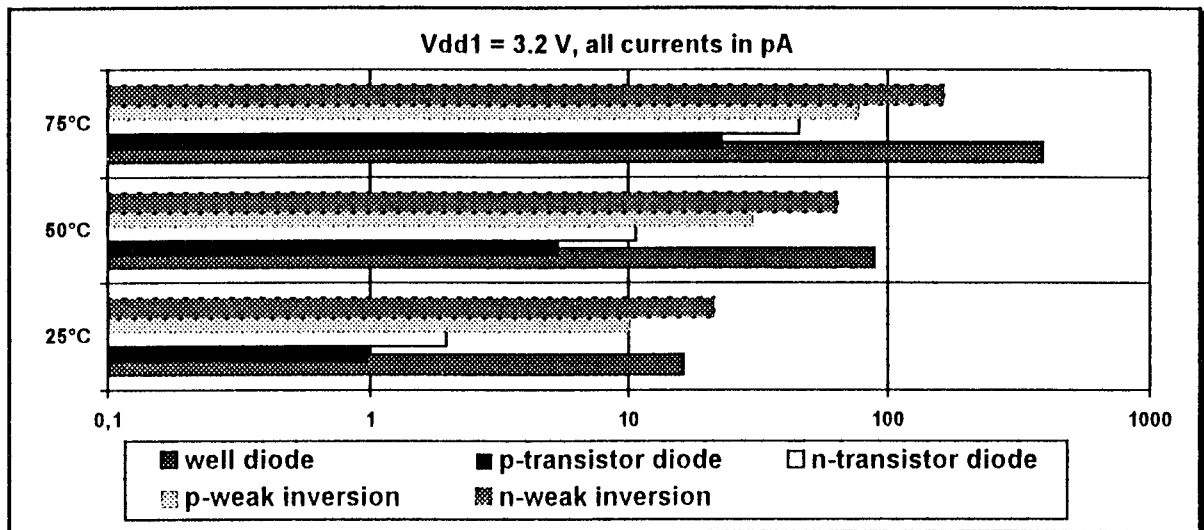


Bild 8: Stromaufnahme des Zählerblocks, Stromkomponenten einzeln

Der auffallend hohe Anteil der Diodenströme, in denen der Sperrsättigungsstrom I_s als auch der Generationsstrom I_g jeweils zusammengefaßt sind, legt eine drastische Flächenreduzierung der Well-Gebiete nahe. Der Weak Inversion-Effekt mit seinem im Verhältnis dazu kleineren Temperaturkoeffizient ist nur durch Reduktion der Gateweiten bei möglichst vielen Logikelementen abzuschwächen. Sein Anteil beträgt bei Temperaturen unter 25°C über 60%. Beim Chipdesign konnte 2/3 der Logik in den unversorgten Schaltungsteil plaziert werden und verbraucht auf diese Weise keinen Strom. Sämtliche Gates des 32 Bit-Zählers wurden zudem von der Firma Neutron Mikroelektronik, Hanau, auf das Minimalmaß reduziert, wobei die Einzelzellen um 30% schrumpften (Layout Bild 9). Die dadurch gesunkene Treiberfähigkeit der T-Flipflops mußte durch geringe Treiberlast ausgeglichen werden.

Um bei den Padzellen die statische und dynamische Stromaufnahme zu senken, wurde eine Zelle entwickelt, die bei Ansteuerung mit Low-Potential fast ruhestromfrei ist. Die verwendete querstromfreie Eingangszelle arbeitet mit permanent gesperrten Transistoren, die bei Drain-Überspannung durchbrechen. Sie ersetzen die sonst obligatorische Diode gegen VDD (Bild 10).

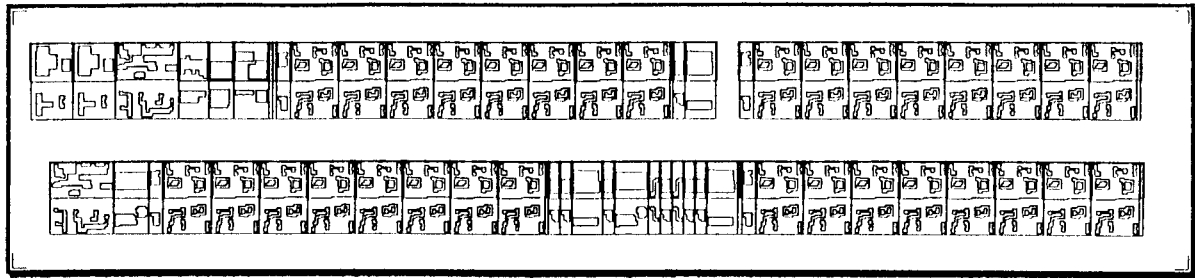


Bild 9: Zählerblocklayout: Well-, sowie p⁺ und n⁺ -Gebiete

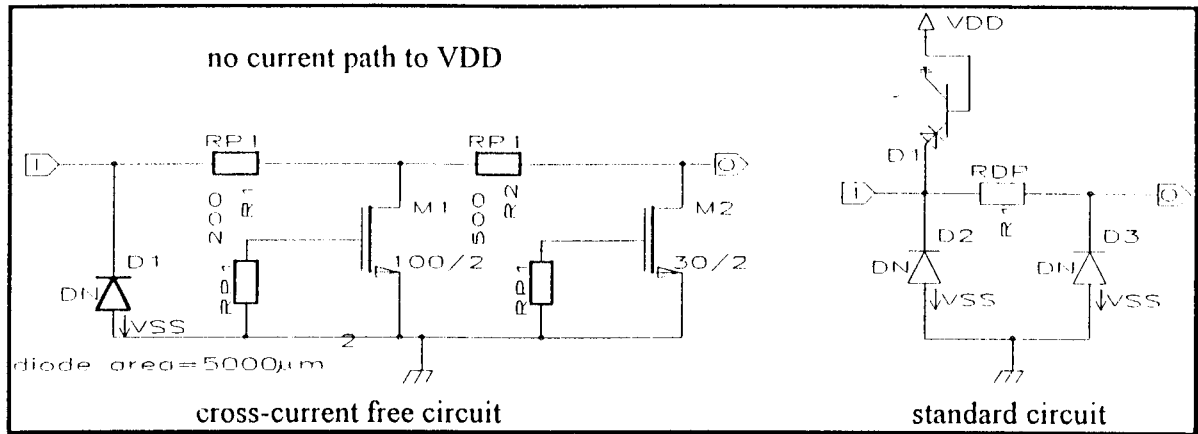


Bild 10: Eingangszellen, Ersatzschaltbilder

Es kann, abgesehen vom unvermeidlichen Leckstrom durch die Guard-Ringe nur bei einseitigem High-Potential zu leichtem Stromfluß kommen. Die Zelle ist mit etwa 600 Ohm wesentlich niederohmiger als ihr Standard-CMOS-Pendant mit diffundiertem Schutzwiderstand. Erst dies ermöglicht die Implementierung einer Schalterentprellstufe auf der Basis rückgekoppelter Inverter. Die ESD-Festigkeit nach dem Human Body Model beträgt allerdings nur 1kV.

Alle Maßnahmen zusammen führen bei dem vorliegenden Design zu der in Bild 11 dargestellten außergewöhnlich niedrigen Ruhestromaufnahme für ein IC dieser Integrationsklasse. Das Abschalten von 2/3 der gesamten Chipfläche und das Schrumpfen von 70% aller verbliebenen Transistoren und dadurch auch die Verkleinerung der Standardzellen sind dafür alleine verantwortlich. Durch Wahl eines Prozesses mit noch kleineren Strukturbreiten würde die Ruhestromaufnahme aufgrund der höheren Dotierung weiter absinken. Zudem sinkt erfahrungsgemäß die dynamische Verlustleistung in den Zellen aufgrund kleinerer Lastkapazitäten.

Es sei angemerkt, daß mit der Wahl eines 2µm-Standardprozesses und durch Beschränkung auf nur zwei Personalisierungsebenen die Herstellungskosten des 2mm² großen Chips im Bereich bipolarer Kleinsignaltransistoren liegen können. Programmierbare Logik oder Softwarelösungen haben in diesem Fall einen erheblichen Overhead an Transistoren, Fläche und damit an Verlustleistung. Eine aktive Schalterentprellung wäre kaum realisierbar, ebensowenig die Teilabschaltung selten benutzter integrierter Logik.

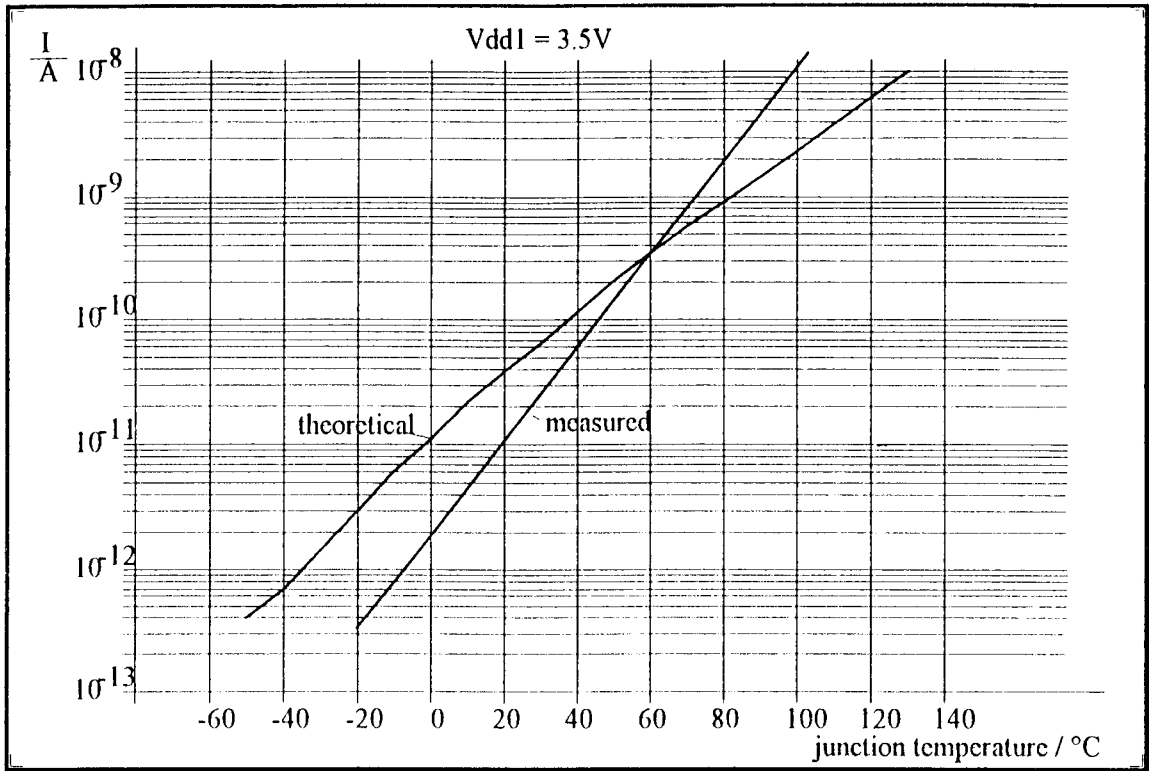


Bild 11: Statische Stromaufnahme des permanent versorgten Schaltungsteils

3.3 Dynamische Stromaufnahme

In der CMOS-Technik gilt die bekannte Formel: $P = C_{load} * f * VDD^2$. Sie faßt Umladeverluste an den Transistor-Gates auf einfache Weise zusammen. Querströme, die im Umschaltmoment kurzzeitig durch den n- als auch p-Zweig der Gatter fließen, werden meist vernachlässigt. Die Zählerschaltung nimmt, als Ripple Counter realisiert, von allen Zählerstrukturen am wenigsten Strom auf. Die stufenweise Taktfrequenzhalbierung führt auf eine geometrische Reihe (Bild 12).

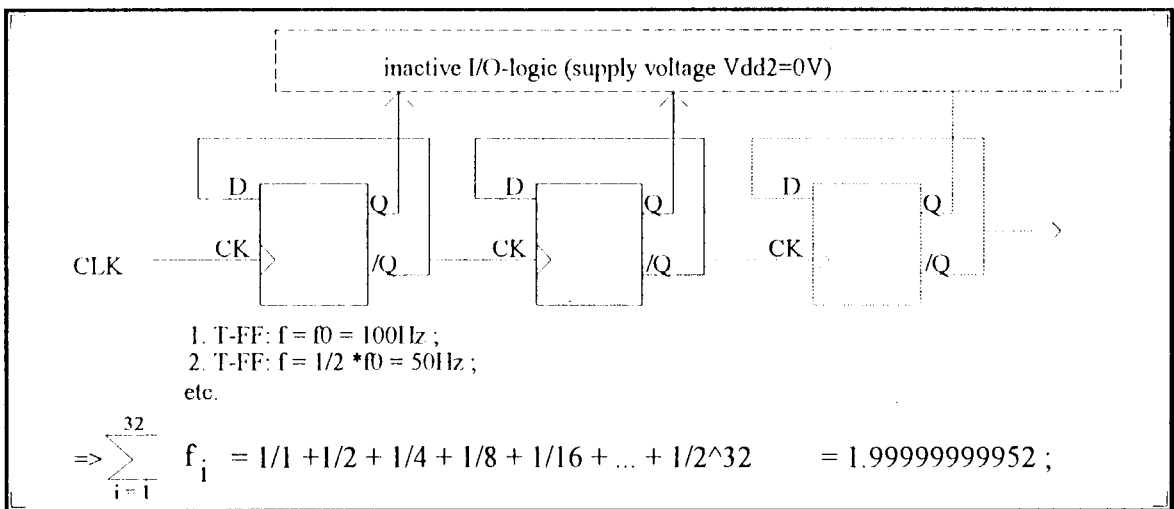


Bild 12: Reihenentwicklung bei Ripple Countern

Der Limes dieser Reihe ist 2. Ein unendlich langer Zähler verbraucht genau doppelt soviel Strom wie das erste Flipflop in der Kette. Diese Tatsache ermöglicht die exakte Simulation der dynamischen Stromaufnahme mit SPICE. Es müssen hierzu lediglich zwei T-Flipflops, diverse Gatter und die beiden Reedkontakte inclusive parasitärer Kapazitäten simuliert werden. In Bild 13 sind die Simulationsergebnisse graphisch dargestellt. Die Reedkontakte nehmen aufgrund parasitärer Kapazitäten mehr Strom als das komplette IC auf! Der Zählerblock ist für Bild 13 in weitere drei Blöcke unterteilt. Als „reed contact drive“ sind beide Entprellstufen, als „clock inverters“ die Taktzuführung und Testlogik und als „32 flipflops“ die T-Flipflopkette bezeichnet.

Bei $T_j = 27^\circ\text{C}$ und $V_{dd} = 3.2\text{V}$ nimmt das IC mit jedem Taktzyklus 12.73pC auf! Betrieben mit $f = 32768\text{Hz}$, der Frequenz eines Uhrenbausteines, nimmt es 417.14nA auf. Eine 100mAh -Lithiumbatterie könnte unter diesen Bedingungen 27 Jahre lang arbeiten. Der dynamische Versorgungsstrom wächst geringfügig mit der Temperatur um etwa 0.1nA je 100K .

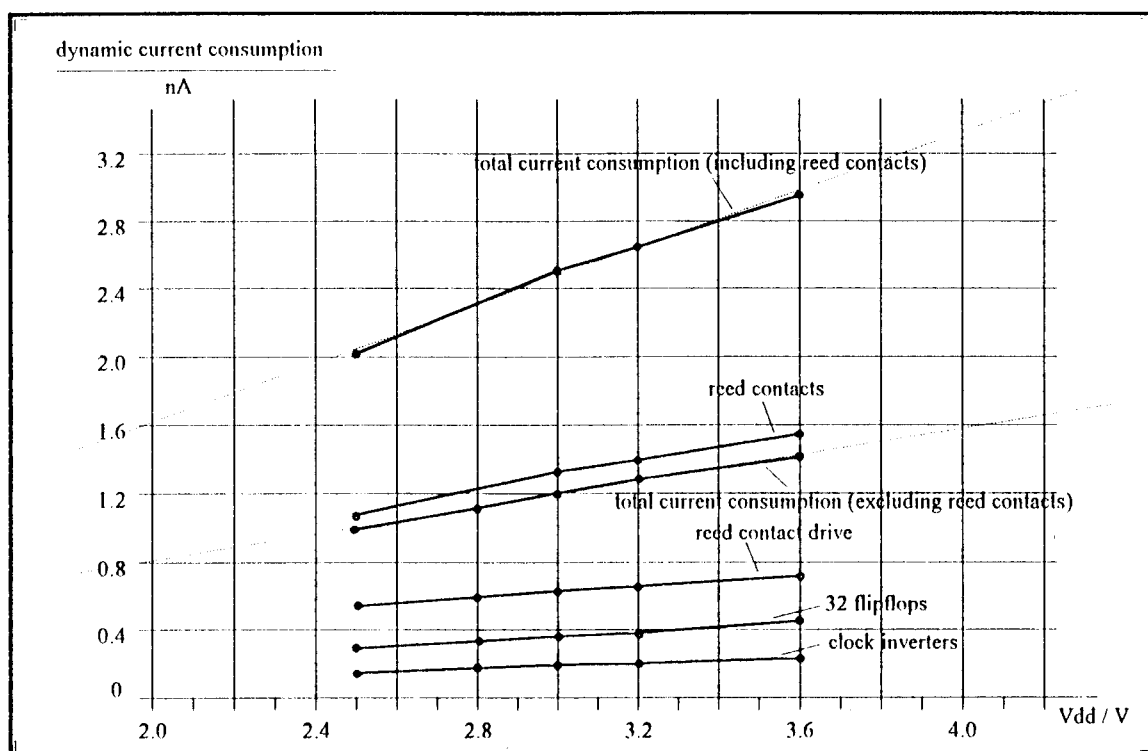


Bild 13: Graphische Darstellung der dynamischen Stromaufnahme des ICs bei verschiedenen Versorgungsspannungen, $f = 100\text{Hz}$, $T_j = 27^\circ\text{C}$ (Ergebnis von SPICE-Simulationen)

4. Zusammenfassung

Das vorgestellte Anwendungsbeispiel mit den Anforderungen Langzeitzuverlässigkeit, minimale Energie, weiter Temperaturbereich, zeigt die Effektivität der vorgeschlagenen und realisierten Stromsparmaßnahmen. Über den gesamten spezifizierten Betriebsbereich ($T_j = 75^\circ\text{C}$, $f = 100\text{Hz}$) verbraucht die integrierte Schaltung weniger als 30nW bei einem Äquivalent von 580 Logikgattern. Als besonders wirksam hat es sich erwiesen, die überwiegende Anzahl von Schaltungsteilen von der Spannungsversorgung zu trennen, um die statische

Stromaufnahme auf ein unvermeidliches Minimum zu senken. Zudem sollten Transistoren, wo immer die Bedingungen es zulassen, auf die Minimalmaße schrumpfen, um einerseits dem Weak Inversion-Effekt zu entgegnen und andererseits die Zellen zu schrumpfen. Je kleiner Flächen niedriger Dotierung, wie die Wellgebiete, sind, desto erfolgreicher werden statische Leckströme bekämpft. Besonders bei Anwendungen wie dieser, bei der über lange Zeiträume hinweg kein Zählereignis stattfinden kann, spielt der statische Stromverbrauch die Hauptrolle.

Dynamische Verluste sind vor allem durch Minimierung von zur Ausübung der Funktion nötigen Taktflankenanzahl verringierbar. Hier kann besonders ausgenutzt werden, daß nicht alle Stufen mit der eingangsseitigen hohen Taktfrequenz beaufschlagt werden müssen.

Musterchips und ein 12-seitiges Datenblatt sind verfügbar und können an Interessenten abgegeben werden.

Danksagung

Wir danken der Firma Neutron Mikroelektronik, Hanau, die erhebliches Knowhow zur Verfügung stellte und die Realisierung des Chipentwurfs wesentlich mitgestaltet hat. Die persönliche Hilfe durch Herrn M. Radovic wird besonders hervorgehoben. Dieser Weg hat den Zugang auf den Zielprozeß (Elmos, Dortmund) ermöglicht. Das Projekt wurde gefördert durch Mittel des MPC-FH-Verbundes Baden-Württemberg, die vom Ministerium für Wissenschaft und Forschung Baden-Württemberg bereitgestellt werden.

Literatur

- [1] Kreuz, M.: Entwicklung eines Zeitprozessors, Diplomarbeit Mikroelektronik, Fachhochschule Furtwangen, 1991
- [2] Schmidt, K.; Wichert, B.: Entwurf und Test eines Integrierten Kommunikationsmoduls - Teil 1, Tagungsband Multiprojektchip-Gruppe, FH-Verbund Baden-Württemberg, Workshop Juli 1992, S. 6.1-6.6
- [3] Röllgen, B.: Entwurf und Test eines Integrierten Schaltkreises mit minimaler Stromaufnahme, Diplomarbeit Mikroelektronik, Fachhochschule Furtwangen, 1994
- [4] Hoffmann, K.: VLSI-Entwurf: Modelle und Schaltungen, Oldenbourg, 1990, siehe Kap. 2 und Kap. 5.3.4

Anschriften der Verfasser:

*Dipl.-Ing. (FH) B. Röllgen, Karlsbaderstr. 10, D-79650 Schopfheim
Prof. Dr. K. Schmidt, Fachhochschule Furtwangen, D-78113 Furtwangen*

ANHANG

Ein Chipprojekt, das aus Mitteln des MPC-FH-Verbunds Baden-Württemberg gefördert wurde, wird im vorstehenden Beitrag vorgestellt. Es handelt sich um einen Tagungsbeitrag auf der Fachmesse SMT/Electronic Systems and Solutions/Hybrid, 3.-5. Mai 1995 in Nürnberg.

MICROELECTRONICS EDUCATION AT FACHHOCHSCHULEN IN BADEN-WUERTEMBERG

A. FÜHRER(1), D. JANSEN(2), G. KAMPE(3), M. RIEGER(4),
W.H. RITZERT(5), K.H. SCHMIDT(6)

(1) Fachhochschule Ulm, Postfach 3860, D 89028 Ulm, Germany

(2) Fachhochschule Offenburg, Badstr.24, D 77652 Offenburg, Germany

(3) Fachhochschule Esslingen, Flandernstr.101, D 73732 Esslingen, Germany

(4) Fachhochschule Albstadt-Sigmaringen, Johannesstr.3, D 72458 Albstadt-Ebingen

(5) Fachhochschule Karlsruhe, Postfach 2440, D 76012 Karlsruhe, Germany

(6) Fachhochschule Furtwangen, Postfach 28, D 78113 Furtwangen, Germany

The paper describes the Multi Project Chip Group at Fachhochschulen in Baden-Wuerttemberg, Germany. The activities of this group focus on microelectronics education. Project examples are given, covering digital and analog VLSI design, cell layout and PCB design.

1 Overview on MPC Activities

The Multi Project Chip Group (MPC Group) has been founded in 1987, following an initiative by Fachhochschule (FH) Furtwangen. The promotion was authorized and funded by the Ministry of Science Baden-Wuerttemberg (BW). One of the promoters is the Institute for Microelectronics Stuttgart (IMS), a silicon foundry. Now about 30 scientists from twelve institutes of different FHs of BW, concerned with education and development in VLSI design, are members of the MPC Group. Most of them are members of EURO PRACTICE, being former EUROCHIP members.

The basic idea of the MPC Group is to provide an environment in which mutual cooperation leads faster to new knowledge in VLSI design, enforces the progress in teaching and supports the members by exchange of lecture notes and examples for students projects. Furthermore the organizational overhead is minimized for running the equipment and a cheap way is organized to get circuits on silicon.

The MPC Group meets at a workshop at the end of each semester. In addition training courses are organized for MPC Group members, covering new methods and tools in VLSI design. All FHs use HP7xx workstations and Mentor Graphics software, thus mutual help is possible in trouble shooting and developing course material. The group acts as one partner in negotiations with the ministry, with IMS and with tool suppliers. It participates at regional exhibitions and international workshops.

Each year 500 students are trained and 50 final projects are done. Contacts to industry have been enhanced, mainly to small and medium size enterprises.

2 Project Examples

To show some aspects of microelectronics education methods within the MPC Group, examples of various areas are presented in the following.

2.1 *Digital Microprocessor Kernel*

The purpose of this project is to give students insight into microprocessors, "learning by doing". The "First Homemade Operational Processor" (FHOP) was designed by a small team of students in their final project, lasting only 4 month. Intended application areas are small systems completely integrated on a chip, e.g. smart cards.

Development of such a complicated integrated circuit in such a short time is only possible by using advanced design tools, e.g. VHDL-compiler and logic-synthesis.

The choosen 16-bit architecture has some similarity with existing microprocessors (8088) but there was no attempt to be compatible. The clock can be rised up to 33 Mhz in the 1 μm version, and up to 50 Mhz for the actual 0.7 μm design, giving better performance than 8051-series processors. There is a 64KB-address-space and an isolated I/O-space of 256B. 115, mostly 1 Byte, operations are possible. The address/data-bus is multiplexed, Byte oriented, with Ready and Hold.

The microprocessor-kernel was tested successfully in a chip fabricated via EUROCHIP. A redesigned version in 0.7 μm technology needs 4 mm^2 . Students have designed several additional modules for the kernel, e.g. serial interface, power management (Information via "<http://www.fh-offenburg.de>"). A comfortable "Integrated Development Enviroment" with simulator running under windows, programmed also by students, allows to implement the kernel in "Intelligent ASICs".

2.2 *Analog Design Methodology*

This IC design teaching methodology is shown by an integrated biquadratic filter with bipolar transistors.

Firstly, the physical models of transistors, resistors and capacitors are explained to the students, which become familiar with these elements by designing and simulating simple circuits. Then the basic function of the filter is investigated, using ideal macro blocks as e.g. transconductance amplifiers. The transfer function is derived by the students by means of mathematical software (Mathematica, Maple).

Next the first order parasitics are included: The macro model is expanded by the amplifier phase delay, being studied within the mathematical model. Then the stu-

dents recognize, that in the real circuit this phase delay should be kept small. Some further refinements can be included as e.g output resistance of the unity gain buffer.

Now the students design, by use of pencil, paper and books, but without computer, the desired function using transistors, resistors and capacitors described by their physical model. Afterwards the schematic entry is done with Mentor Graphics. Some signal and power sources are added and a bias point analysis is performed to check that all elements are in a reasonable operating point. The frequency response and the large signal behaviour of the circuit are simulated and optimized. Furthermore Monte Carlo-analysis and temperature analysis are performed.

The method described above is successful in teaching IC design in a way, that the designer is not a slave of the simulator. Rather the designer should know before the simulation starts what results he has to expect from the simulation.

2.3 *Cell Layout*

IC design education does not end at the boundary of cell libraries. No doubt, bearing a high industrial significance, an important aspect of circuit integration is the layout of leaf cells according to design rules and electrical rules down to the transistor level as smallest entity. Designing own cells teaches hands-on knowledge and trains e.g. in area usage and abutment, safe and testable design, minimizing of parasitics, intra-cellular place and route problems. However, even an expert adheres wisely to a set of strategies of proven success. It is the symbolic layouting in matrix oriented layout that has become very effective and was even CAE enhanced by "incremental verification" and "local layout generation".

Layout synthesis assistance efforts are found in the analog and digital field. In general, it can be said that there are to be followed Layout Structure Rules implying the methodical approach chosen. The advantage in teaching these as prerequisites is the short "time to student". Furthermore the granularity of layout elements is coarse enough, thus suitable, for cell designs of larger circuits during the lab session.

Within a Microsystems Engineering course "IC Design and Layout" is taught in the 5th term. The lab tackles three leaf cells, two in digital and one in analog design (digital comparator, flipflop counter/register, differential amplifier). The work includes the circuit design, simulation, layout, extraction, verification and postlayout simulation specification of the cell (info from FH Furtwangen on request).

2.4 *PCB Design*

PCB design is described here by an audio frequency sampler with RS232 port for communication with a PC. This is a design with an analog frontend, a sample-and-

hold circuit to sample an audio frequency signal from a shortwave receiver or a telephone line, and some digital components including gate array logic as a controller. Auto-placement and auto-routing are only used for the digital parts. The analog frontend has to be designed interactively to avoid crosstalk and interference with the digital components.

The PCB layout system is integrated into the complete design process from Schematic Entry to Simulation and PCB Design. All downstream applications use the same database so that forward and back annotation is possible. PCB design is taught with Mentor Graphics PCB Tools. PCB design systems on PC's are simpler to learn and operate, but often limited in some respect.

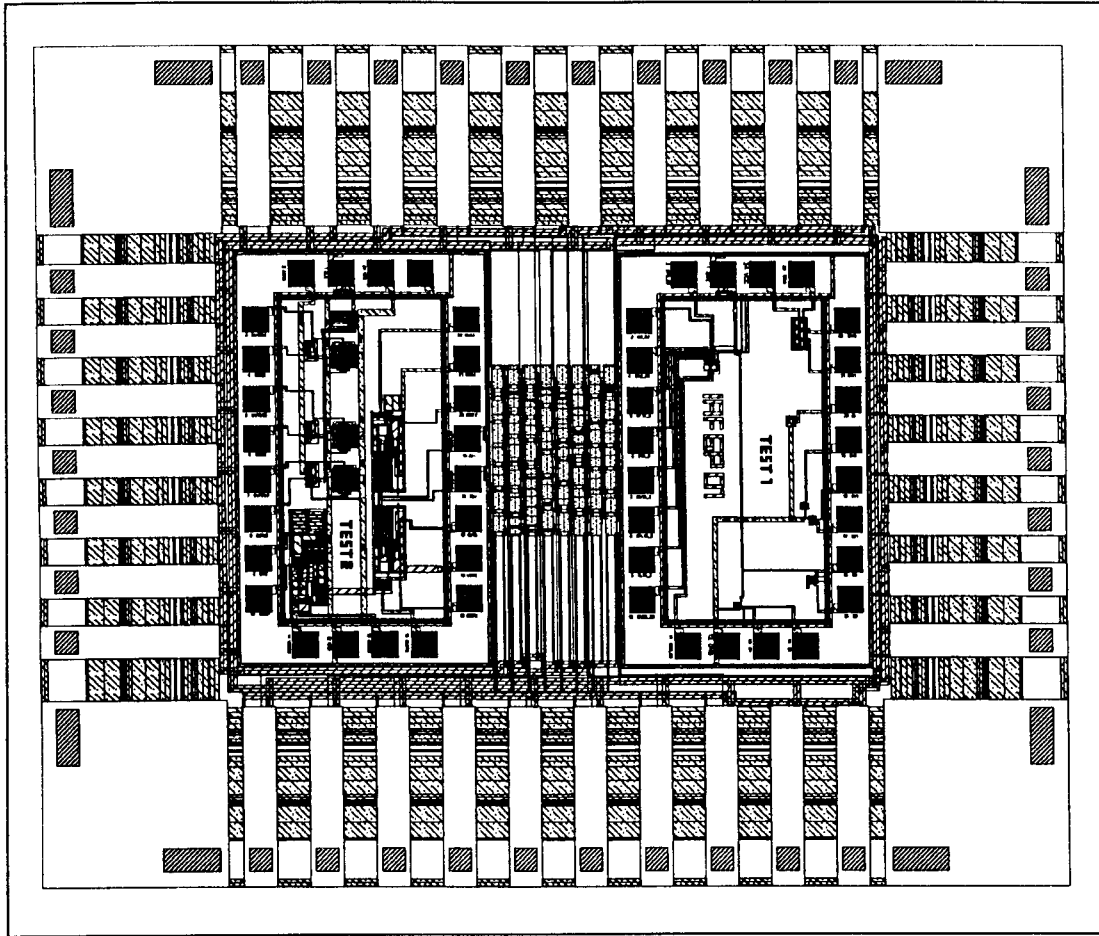
The students learn the following design steps: create symbols for components for a hierarchically structured schematic, create geometries and mapping files for these components, place and route interactively as well as automatically regarding the given constraints, create manufacturing data and a documentation. Finally, the different designs are compared and evaluated with respect to the electrical function.

3 Outlook

Knowledge in VLSI design technics which has been very important for electronic engineers in the past has even got more importance now. Especially VHDL design and synthesis, hardware-software codesign and VLSI for signal processing play a dominant role for today's electrical engineers. This has to be noticed in the further development of curricula. Correct description of electronic systems on a behavioural level and its fast and comprehensive verification has to be taught. Right use and appropriate control of synthesis tools with the target technology in mind are skills students have to learn now. Design for testability is a very important aspect in the development of integrated systems, too. The students have to be instructed and supervised to use them. In the future, the fabrication of selected chip design should become even more popular, to better close the design loop and emphasize on test aspects as well.

The mutual cooperation in the MPC Group has shown its advantages since the beginning. Cooperation with institutions abroad can be a stimulus. The MPC Group is an encouraging example for combined industry-government-university efforts in microelectronics education.

Testchip mit Analogfunktionen



| | |
|--------------------|--|
| Entwurf und Layout | Fachhochschule Esslingen - Hochschule für Technik (FHTE) Außenstelle Göppingen Bearbeiter: Prof. Dr.-Ing. Harald Töpfer Dipl.-Ing. Carsten Holzapfel |
| Herstelldatum | IV. Quartal 1995 |
| Technologie | MIETEC 0,7 μm CMOS |
| Chipgröße | 4,56 x 3,9 mm ² |
| Chipfunktion | Das Chip enthält 2 analoge Teilbereiche und einen automatisch gerouteten 8-bit-Multiplizierer. Der 1. Teilbereich enthält verschiedene MOS-Transistoren sowie laterale und vertikale Bipolartransistoren. Der 2. Teilbereich enthält folgende Module: <ul style="list-style-type: none">• CMOS-Bandgap mit lateralen Bipolartransistoren• 2 folded-cascade-Operationsverstärker• 3 MOS-Schalter zur Messung der Charge-Injection bei der on-off-Flanke |
| Ergebnisse | Die Bandgap und die MOS-Transistoren funktionieren zufriedenstellend. Bei den Operationsverstärkern traten Fehler auf, die durch ein Redesign des Chips beseitigt werden sollen. |

Bezeichnung:

Frequenzmeter mit Melodie

Funktion:

Frequenzzähler mit drei verschiedenen Meßbereichen (100 kHz, 1 MHz, 10 MHz). Die Referenzfrequenz beträgt 10 MHz. Der Frequenzzähler kann wahlweise in einem *Repetition-* oder *Single Shot-*Modus betrieben werden. Ein integrierter Soundgenerator erzeugt abhängig von dem Ergebnis der Messung (erfolgreiche Messung, Überlauf, Reset) verschiedene Melodien. Das Meßergebnis wird über sechs Siebensegment Anzeigen dargestellt.

Der Chip arbeitet mit einer Versorgungsspannung von 5V. Als externe Bauteile werden nur der Schallwandler, ein 10 MHz-Quarz, zwei Tasten, zwei Schalter und die Siebensegment Anzeigen benötigt.

Technologie:

ES2 1.0µm ECPD CMOS mit 1 Poly/2 Metal- Routingebenen

Entwicklungsbeginn:

12/93

Lieferung:

EUROCHIP, RUN #157 8/95

Anzahl:

10

gut/schlecht:

8/2

geprüft:

Klöser

Entwurfshistorie:

1. VHDL-Lehrgang an der FH Ulm. Übungsbeispiel Frequenzmeter (Jansen/Feißt) 12/93
2. Einführung MAX2 Plus System am Beispiel Frequenzmeter (Klöser) 01/95
3. Erstellung des Layout (Studienarbeit, Walser) 05/95.
4. Gefertigt über EUROCHIP RUN #157
3. Geprüft im ASIC Design Center 8/95

Bemerkungen:

Dimensionen:

4,4 x 3,8 mm²

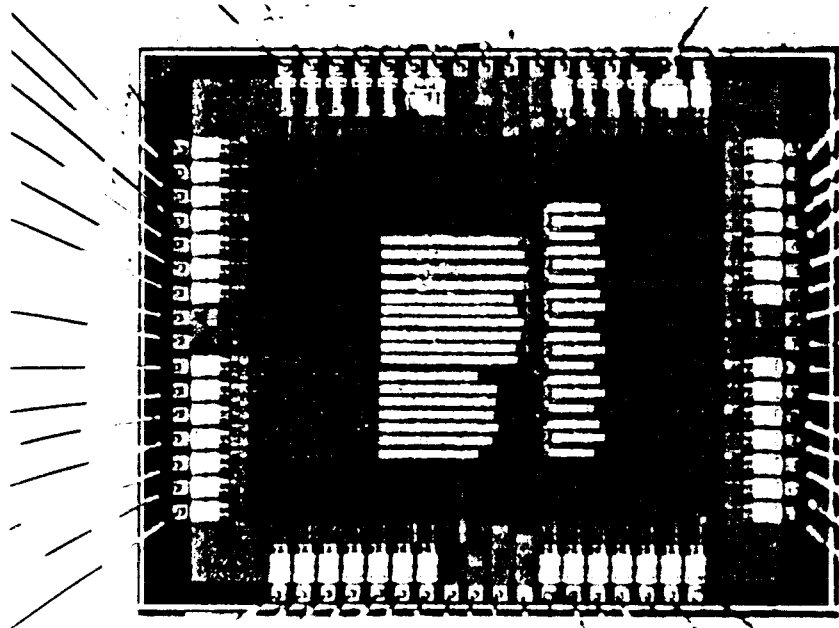
Gehäuse:

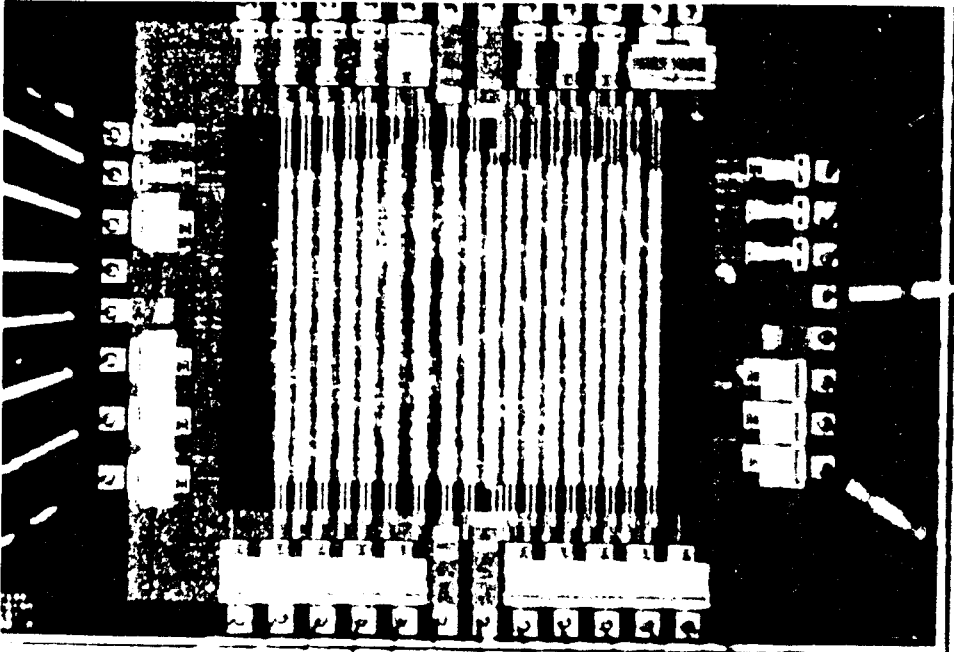
Keramik CLCC68

Komplexität:

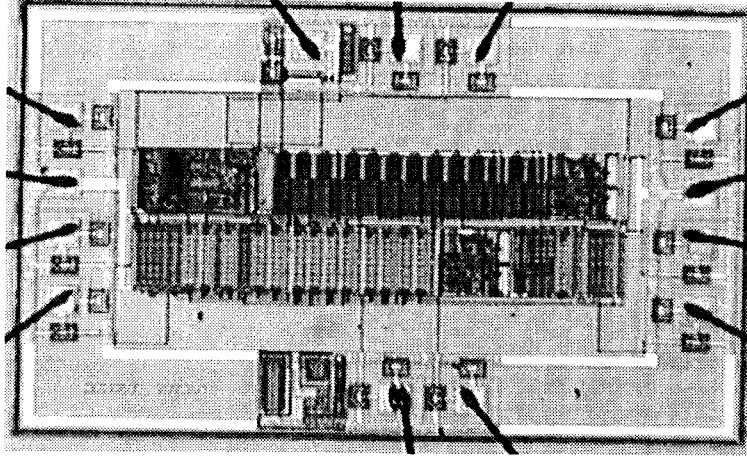
5000 Transistoren

Chipfoto:



| | | |
|---|--|---|
| Bezeichnung: | | |
| <h1>Lottozahlengenerator</h1> | | |
| Funktion: Elektronischer Lottozahlengenerator mit Anzeige der Lottozahlen über 49 LEDs, die direkt angesteuert werden. Der Chip wird erst durch die Start - Taste aktiviert und schaltet sich automatisch nach ca. 10 Sekunden wieder ab. Ein Uhrenquarz dient als Zeitbasis. Der Lottozahlengenerator rollt aus d.h. die entsprechende Zahl wird erst nach einem Ausrollvorgang von 2 Sekunden ermittelt. Mit dem Rollen wird ein „Klick“ generiert, die gezogene Zahl wird aus einer Tonfolge von 2 Tönen signalisiert. Bei erfolgreicher Ziehung aller sechs Zahlen wird eine Melodie (Badnerlied) gespielt. Der Chip arbeitet mit 3V aus einer Lithiumbatterie. Der Strombedarf wurde auf ein Minimum reduziert. Als externe Bauteile werden nur die Batterie, der Schallwandler, ein Uhrenquarz, die Taste und die LEDs benötigt. | | |
| Technologie: ES2 1.0µm ECPD CMOS mit 1 Poly/2 Metal- Routingebenen | | |
| Entwicklungsbeginn: 2/95 | Lieferung: EUROCHIP, RUN #172 | 9/95 |
| Anzahl: 10 | gut/schlecht: 8/2 | geprüft: Sum/Klöser |
| Entwurfshistorie: 1. Entwurf durch die Studienarbeiter von Heyne und Zwiigart aufbauend auf bestehende Schaltungsteile der bereits entworfenen Würfelschaltung. 2. Gefertigt über EUROCHIP RUN #172 3. Geprüft im ASIC Design Center 9/95 | | |
| Bemerkungen: Das Design wurde auf dem MPC-Workshop im Februar 1996 in Karlsruhe vorgestellt. | | |
| Dimensionen: 2,8 x 3,2 mm ² | Gehäuse: Keramik CLCC44 | Komplexität: 11000 Transistoren |
| Chipfoto: |  | |

Phasenselektiver Gleichrichter



Entwurf: Fachhochschule Furtwangen
Diplomarbeit: Rolf Kammerer
Betreuer: Prof. Dr. Robert Hönl

Chipfertigung: SGS Thomson

Technologie: HF2CMOS, $2\mu\text{m}$ BiCMOS

CAD-Software: ADS auf Cadence Edge

Chipfläche: $2.46\text{mm} * 1.64\text{mm}$

Herstellung: Mai 1995

Auslieferung: Januar 1996

Kostenträger: MPC FH-Verbund Baden-Württemberg

Beschreibung: Der Phasenselektive Gleichrichter wandelt Wechselspannungssignale unter Beachtung der Phasenlage zu einem externen Steuersignal in eine Gleichspannung um. Somit kann die Amplitude derjenigen Schwingung phasenselektiv bestimmt werden, deren Frequenz gleich der Steuerfrequenz ist. Die Schaltung arbeitet im kHz-Bereich.

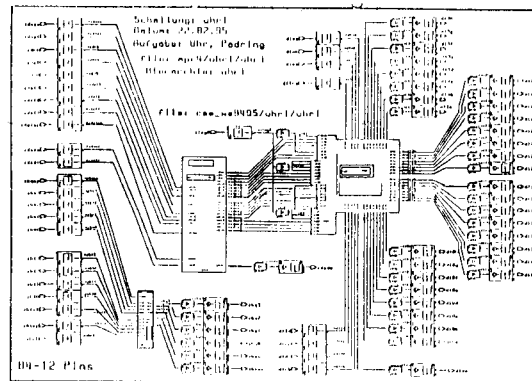
Anwendung: Der PSG wird im Messtechnik-Praktikum eingesetzt.

uhr1 - Uhrenschtaltung

Entworfen von 5.Semester ELEKTRONIK:

Bemmerl, Yaruz, Plenefisch,
Stehle, Kunz, Walliser,
Allgaier, Mayer, Sailer,
Gauss, Patureau, Sommer,
Suchanka, Hoffmann, Raeth,
Herzog, Brucker, Hillmann,
Richter

im Verlauf der Vorlesung CAE im WS9495
an der Fachhochschule Ravensburg-Weingarten



Uhr1 besteht aus

- Zeitbasis
- Zähler-Dekaden
- Anzeige

Zeitbasis UZB:

UZB leitet aus einem 1MHz-Signal (oder aus einem 50Hz-Signal) am Eingang zbqcp einen Sekundentakt auf den Ausgang zbso und einen 10-Hz-Takt auf den Ausgang zbmso ab. Das zbmso-Signal dient als Systemtakt für Finit-State-Machines der Zaehler-Dekaden.

Zaehler-Dekaden UZD:

UZD umfasst einen Sekundenzaehler, den Minutenzaehler und den Stundenzaehler sowie die dazugehörige Stell-Logik. UZD zaehlt Sekunden-Pulse am Eingang uzsi und uebergibt Minuten und Stunden an die Anzeige UDI.

Anzeige UDI:

UDI nimmt Stunden und Minuten von UZD entgegen und treibt 4 Sieben-Segment-Anzeigen. Die Anzeige erfolgt statisch, wobei zwischen "gemeinsamer Anode" und "gemeinsamer Kathode" gewählt werden kann. UDI kann auch über einen separaten scan-path unabhängig von der Uhr als serielles, kaskadierbares Anzeigemodul betrieben werden. Dabei besteht die Möglichkeit, 4 Bytes (also 32 Bits) bitweise einzeln zu setzen oder (wie beim Uhrenbetrieb) die 4 Bytes als BCD-Zahl durch die BCD-Dekoder anzuzeigen.

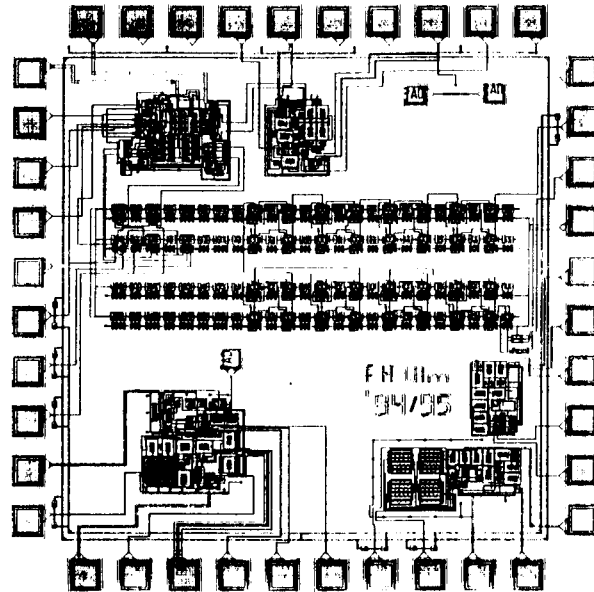
Allgemein:

Die 3 Baugruppen sollten weitgehend autonom entwickelt und simuliert werden. Es sind unterschiedliche Testhilfen eingebaut. Die Anzeige UDI verfügt z.B. über einen scan-path, kann aber auch UZD transparent auf die Anzeigepins schalten. UZD verfügt über einen scan-path im Bereich der Stell-Logik, die Zaehler sind in der Betriebsart "Stellen" einzeln taktbar. UZB kann dekadenweise durch einen Test-Takt angesteuert werden.

Chipfertigung: IMS Stuttgart
Technologie: 1.2 um CMOS Gate-Forest GF4G1
Abmessungen: 7x7mm, ca. 10.000 Transistoren
EDIF-Tape-out: März 95, FH ULM

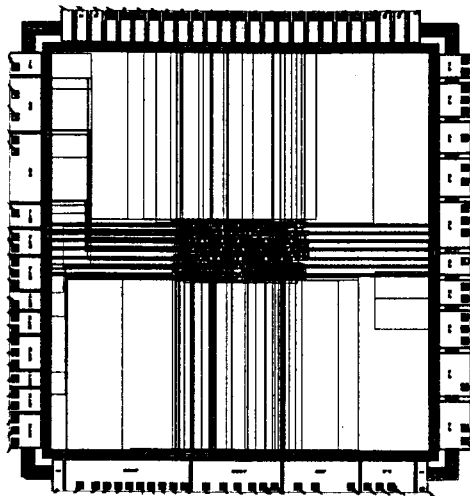
W.Ludescher, 3.4.95

Breitbandverstärker-IC



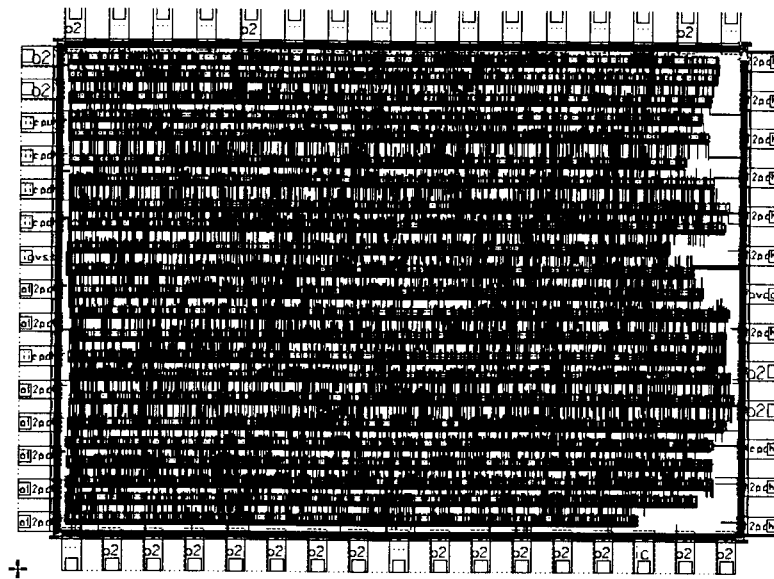
- Entwurf: Fachhochschule Ulm
Bearbeiter: Markus Wöhrle
Betreuer: Prof. Dipl.-Phys. Gerhard Forster
- Layouterstellung: Fachhochschule Ulm (Full Custom Design)
- Technologie: HF2CMOS (BiCMOS-Prozeß)
- Chipfertigung: SGS-Thomson, Grenoble
- Herstelldatum: III. Quartal 1995 (Auslieferung)
- Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg
- Chipdaten: Chipgröße: 2,5 x 2,5 mm²
Gehäuse: CC44
- Funktion: Das IC enthält 4 Breitbandverstärker:
(1) Breitbandverstärker mit digital programmierbarer Verstärkung
 $V = 1 \dots 50$ bei $f_{-3dB} \geq 200$ Mhz
(2) Bipolarer Operationsverstärker mit Verstärkungsbandbreite
 $f_T \geq 100$ Mhz
(3) BiCMOS-Operationsverstärker mit Verstärkungsbandbreite
 $f_T \geq 100$ Mhz
(4) Impedanzwandler mit $f_{-3dB} \geq 200$ Mhz
- Testergebnisse: Eine Reihe von Testdaten erfüllen die Erwartungen nicht. Es ist anzunehmen, daß Probleme beim Technologiedurchlauf aufgetreten sind. So ist z. B. eine früher schon ausgetestete Teilschaltung nicht mehr funktionsfähig. Die Auslieferung der Proben erfolgte mit über 3-monatiger Verzögerung. Weitere Untersuchungen sind erforderlich.

Analog-Layout1 und Analog-Layout2



- Entwurf: Fachhochschule Ulm
Bearbeiter: Dipl. Ing. (FH) Adama Bamba
Betreuer: Prof. Dipl. Ing. Arnold Führer
- Layouterstellung: Fachhochschule Ulm (Standardzellenschaltung)
- Technologie: ECPD10
- Chipfertigung: European Silicon Structures (ES2), Rousset
- Herstelldatum: III. Quartal 95
- Kostenträger: MPC-Gruppe Baden-Württemberg
- Chipdaten:
- | | A-Layout1 | A-Layout2 |
|------------|---------------------------|---------------------------|
| Chipgröße: | 6,4 x 6,0 mm ² | 6,4 x 6,3 mm ² |
| Gehäuse: | PGA100 | PGA100 |
- Funktion: Die beiden ICs enthalten Testschaltungen mit Analogzellen (Randzellen), die aus der CADENCE-Bibliothek in die MENTOR-Bibliothek portiert worden sind. Es sind dies die Stromversorgungszellen, Operationsverstärkerzellen, Komparatorzellen, A/D-Wandlerzellen, D/A-Wandlerzellen und die Schaltung eines 10 bit A/D-Wandlers.
- Testergebnisse: Die Portierung war erfolgreich, sämtliche Zellen sind funktionsfähig.

Schnittstellentester für serielle Schnittstellen



Entwurf: Fachhochschule Aalen
Bearbeiter: Jochen Kirner
Betreuung: Prof. Dr. B. Kohlhammer, Dipl.-Ing(FH) G. Busch,

Layouerstellung: EDA-Zentrum, FH Aalen

Chipfertigung: MIETEC Alcatel Belgien

Herstelldatum: IV. Quartal 1995

Kostenträger: MPC-Mittel FH Verbund Baden-Württemberg

Technologie: MIETEC 2,0 μ m CMOS-Prozess

Chipdaten: Chipgröße: 9,2 x 6,4 mm²
Analoge Signalpins : keine
Digitale Signalpins: 59
Anzahl Transistoren: ca. 50000

Funktion: Mit dem Baustein ist es möglich grundlegende Funktionen von RS232 Schnittstellen zu überprüfen: Messen der Übertragungsgeschwindigkeit, Senden von Daten, Empfangen, Analysieren und Anzeigen von Daten, Ermittlung, ob auf Schnittstellenleitungen Signalwechsel stattfinden.