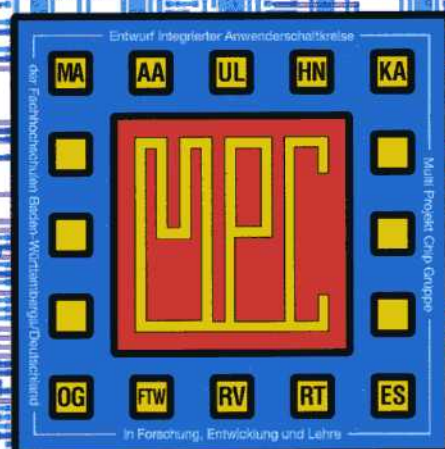


MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Februar 1997

Reutlingen



MULTIPROJEKT CHIP-GRUPPE

BADEN - WÜRTTEMBERG

Workshop Februar 1997

Reutlingen

Herausgeber: Fachhochschule Ulm

© 1997 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe)

BADEN - WÜRTTEMBERG

Fachhochschule Aalen

Prof. Dr. Kohlhammer, Postfach 1728, 73428 Aalen

Tel.: 07361/576-248, Fax: -324, Email: bernd.kohlhammer@fh-aalen.de

Fachhochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen

Tel.: 07431/579-124, Fax: -149, Email: rieger@fh-albsig.de

Fachhochschule Esslingen

Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen

Tel.: 0711/397-4221, Fax: -4212, Email: kampe@ti.fht-esslingen.de

Fachhochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen

Tel.: 07723/920-501, Fax: -610, Email: ruelling@fh-furtwangen.de

Fachhochschule Heilbronn

Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn

Tel.: 07131/504-401, Fax: /252470, Email: clauss@fh-heilbronn.de

Fachhochschule Karlsruhe

Prof. Ritzert, Postfach 2440, 76012 Karlsruhe

Tel.: 0721/925-2238, Fax: -2259, Email: ritzert@fh-karlsruhe.de

Fachhochschule Konstanz

Prof. Dr. Volland, Postfach 100543, 78405 Konstanz

Tel.: 07531/983-631, Fax: -613, Email: volland@fh-konstanz.de

Fachhochschule Mannheim

Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim

Tel.: 0621/2926-351, Fax: -454, Email: gerhard@eis.fht-mannheim.de

Fachhochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg

Tel.: 0781/205-267, Fax: -333, Email: d.jansen@fh-offenburg

Fachhochschule Ravensburg-Weingarten

Prof. Dr. Klotzbücher, Postfach 1261, 88241 Weingarten

Tel.: 0751/501-630, Fax: /49240, Email: klotzbuecher@fbe.fh-weingarten.de

Fachhochschule Reutlingen

Prof. Dr. Kreuzer, Federnseestr. 4, 72764 Reutlingen

Tel.: 07121/341-108, Fax: -100, Email: kreuzer@el.fh-reutlingen.de

Fachhochschule Ulm

Prof. Führer, Postfach 3860, 89028 Ulm

Tel.: 0731/502-8338, Fax: -8363, Email: fuehrer@fh-ulm.de

Inhaltsverzeichnis

Vorträge

	Seite
1. VHDL-AMS: Aktueller Stand der Entwicklung I. Bausch-Gall, BAUSCH-GALL GmbH, München	7
2. SiGe-Technologie und Bauelemente für Systeme der Mobilkommunikation A. Schüppen, J. Arndt, TEMIC GmbH, Heilbronn	13
3. Three Port Oscillator Design with Puff H. Nielinger, FH Furtwangen	19
4. Entwurf und Entwicklung eines programmierbaren AT-Bus Interface ASIC in VHDL B. Schakols, FH Karlsruhe	29
5. Entwurf eines Mikrocontrollers mit dem embedded Prozessorkern FHOP W. Vollmer, FH Offenburg	33
6. Anwendungsspezifischer Schaltkreis zum Senden und Empfang von Radio-Data-System (RDS) Signalen W. Ludescher, FH Ravensburg-Weingarten	37
7. Entwurf eines CMOS-ICs für ein Datenträgersystem K.-H. Hartner, G. Forster, FH Ulm	47
8. The Evaluation System For PBX-Controller DOC B. Keppler, FH Ulm	57
9. Schwimmende Spannungsquelle integriert auf Bipolar-Transistor-Array B500D G. Plappert, FH Heilbronn	61

Gefertigte Bausteine

	Seite
10. Programmierbares AT-Bus Interface B. Schakols, FH Karlsruhe	67
11. Digitale Winkel- und Lagemessung M. Kröner, A. Meybohm, T. Munz, C. Löffler, W. Zimmermann, G. Kampe, FH Esslingen	68
12. Switch-Capacitor-Filter V. Arnould, H. Töpfer, FH Esslingen, Außenstelle Göppingen	69
13. Digitalzähler 7. Semester Elektronik, W. Ludescher, FH Ravensburg-Weingarten	70
14. RDS-Datenlogger 5. Semester Elektronik, F. Förster, W. Ludescher, FH Ravensburg-Weingarten	71
15. Sender einer Lichtsteuerung O. Fröhlich, A. Führer, FH Ulm	72
16. Empfänger einer Lichtsteuerung T. Luksch, A. Führer, FH Ulm	73
17. Thermologger T. Klumpp, D. Jansen, FH Offenburg	74
18. FHOP-Mikrocontroller W. Vollmer, D. Jansen, FH Offenburg	75
19. PSK-Modem D. Vogel, D. Jansen, FH Offenburg	76
20. Ringoszillatoren und Operationsverstärker als Testschaltkreis A. Herb, G. Traub, G. Busch, B. Kohlhammer, FH Aalen	77

VHDL-AMS: Aktueller Stand der Entwicklung

Ingrid Bausch-Gall
BAUSCH-GALL GmbH, Wohlfartstraße 21b, 80939 München

Einleitung

VHDL-AMS [1], [2] ist die Weiterentwicklung von VHDL (VHSIC Hardware Description Language IEEE Standard No. 1076-1987 [3], [4]) zur Modellierung analoger Bauteile. VHDL dient zur Erstellung ausschließlich digitaler Modelle bei Logiksimulatoren und den zugehörigen Modellbibliotheken führte zu einem Entwicklungsschub.

Die gemischte Simulation analoger und digitaler Modelle wurde in den letzten Jahren immer drängender. Daher setzte der IEEE im Jahr 1990 ein neues Komitee zur Definition der analogen Erweiterungen zu VHDL ein. Die erweiterte Sprache heißt jetzt VHDL-AMS (für analog-mixed signal) und soll 1997 ein IEEE-Standard werden.

Modellierung in VHDL-AMS

Als Erweiterung von VHDL umfaßt VHDL-AMS den gesamten VHDL-Sprachumfang. Die Richtlinien für den Sprachentwurf fordern daher die Einhaltung der VHDL-Ziele, Aufwärtskompatibilität, die Trennung von Deklaration und Funktionalität, Unabhängigkeit von Technologie und Methoden, minimaler Implementierungsaufwand bei maximaler Effizienz, einfache Anwendbarkeit, Übersichtlichkeit der Modelle und die Trennung von Sprache, Modellbildung und Werkzeug.

VHDL-AMS ermöglicht die Modellierung gewöhnlicher Differentialgleichungssysteme (ODEs), Differential-Algebraischer-Gleichungen (DAEs) und sogenannter ereignisabhängiger Unstetigkeiten. Ereignisabhängige Unstetigkeiten treten z.B. bei der Modellierung von Begrenzern, Anschlägen, Reibung auf und lassen sich mit der BREAK- und Q'ABOVE-Anweisung beschreiben (sh. Beispiel Pendel mit Anschlag).

Zur modularen Modellentwicklung und Erstellung von Modellbibliotheken stellt VHDL-AMS die Kopplung von Bauteilen (ENTITY) und den Aufruf von Funktionen bereit.

PACKAGEs erlauben die Gestaltung von anwenderorientierten Umgebungen, die z.B. Datentypen, Konstanten und Funktionen für eine spezielle Aufgabe zur Verfügung stellen. VHDL-AMS-Modelle lassen sich signalflußorientiert (nicht konservativ) erstellen, wie dies z.B. in der Regelungstechnik in Form von Blockdiagrammen üblich ist.

Die Modelle lassen sich aber auch energiefußorientiert (konservativ) formulieren, wie dies für elektrische, mechanische und hydraulische Modelle erforderlich ist. Die physikalische Verbindung ist ein Knoten (NODE), der z.B. Spannung und Strom (Elektrik) oder Geschwindigkeit und Kraft (Mechanik) tauscht.

Beispiele

Die folgenden sehr einfachen Beispiele sollen einen Eindruck von VHDL-AMS-Modellen vermitteln. Die ENTITY beschreibt das Aussehen des Bauteils nach aussen, die ARCHITECTURE das physikalische Verhalten des Bauteils. Eine ENTITY kann durch mehrere ARCHITECTURES beschrieben werden.

Beispiel 1: Temperaturabhängiges Modell für ohmschen Widerstand, wie in SPICE

Die Modellgleichung ist das Ohm'sche Gesetz $V = I * R$, wobei der Widerstand R wie in SPICE der folgenden temperaturabhängigen Gleichung genügt:

$$R' = R * (1 + Tc1 * (temp - Tnom) + Tc2 * (temp - Tnom) ** 2)$$

VHDL-AMS-Modell:

```
ENTITY resistor IS
  --- Aussehen des Bauteils nach aussen
  PORT (TERMINAL tp,tm: electrical)
  GENERIC (r:real, tc1, tc2 : real :=0)
END resistor;

ARCHITECTURE ohms OF resistor IS
  --- Verhalten des Bauteils
  CONSTANT reff := r*(1.0+tc1*(temp-tnom)+tc2*(temp-tnom)**2);
  QUANTITY v ACROSS i THROUGH tp TO tm;
  BEGIN
    v == i*reff;
  END ARCHITECTURE ohms;
```

Beispiel 2: DAC-Wandler

Dieses Modell beschreibt einen DAC-Wandler, der die Spannung auf den Wert v_{high} setzt, falls ein bitwertiges Eingangssignal den Wert 1 hat.

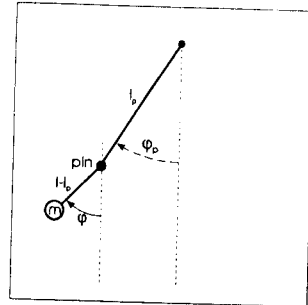
```
ENTITY dac IS
  GENERIC (vhigh: real:=5.0);-- Ausgangssp. f. s='1'
  PORT (SIGNAL s: IN bit; -- digitaler Eingang
        TERMINAL a: electrical);
        -- Ausgang mit NATURE electrical
END ENTITY dac;

ARCHITECTURE simple OF dac IS
  QUANTITY v ACROSS i THROUGH a; -- Erdung
  BEGIN
    IF s = '0' USE
      v == 0.0;
    ELSE
      v == vhigh;
    END USE;
    BREAK ON s; -- Unstetigkeit ankündigen
  END ARCHITECTURE simple;
```

Beispiel 3: Pendel mit Anschlag

Das Modell wurde entnommen aus [5]. Es beschreibt ein nichtlineares Pendel, das bei einem vorgegebenen Winkel an einen Nagel schlägt.

$$m l \ddot{\varphi} = -m g \sin\varphi - d l \dot{\varphi}$$



```

ENTITY constpendel IS
  GENERIC (M, L, D: real ; --- Masse, Pendellänge, Dämpfung
    phip: REAL; --- Winkel des Nagels
    LP : REAL; --- Abstand des Nagels v. Urspr.
    linear: boolean); --- lineares Pendel?
  PORT (QUANTITY phi : REAL); --- Winkel
END constpendel

ARCHITECTURE einfach OF constpendel
  CONSTANT G: REAL := 9.81;
  CONSTANT LS: REAL := L-LP;
  QUANTITY Lnow, phim : REAL;

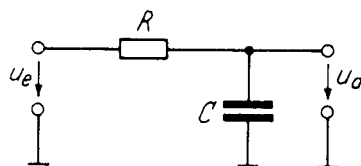
BEGIN
  IF linear USE phim == phi;
  ELSE phim == sin(phi); END USE;
  --- Pendellaenge neu rechnen
  IF phi > phip USE Lnow == LS; ELSE USE Lnow == L; END USE;
  --- Pendelgleichung
  M*Lnow*phi'dot'dot == - M*G*phim - D*Lnow*phi'dot;
  --- Modellierung des Anschlags, Winkelgeschwindigkeit aendern
  BREAK phi'dot => phi'dot*L/LS WHEN phi'above(phip);
  BREAK phi'dot => phi'dot*LS/L WHEN NOT phi'above(phip);
END ARCHITECTURE einfach;

```

Beispiel 4: Einfachstes Tiefpaßfilter zur Kopplung von ENTITIES

Dieses Beispiel soll zeigen, wie zwei ENTITIES verkoppelt werden.

Schaltung:



VHDL-AMS-Modell:

```
USE ieee.math_real.all;
ENTITY lowpass IS
    GENERIC (f3db : REAL);
    PORT (TERMINAL input, output, ref: electrical);
END ENTITY lowpass;

ARCHITECTURE rc OF lowpass IS
    CONSTANT r : REAL := 1000.0
    CONSTANT c : REAL := 1.0/(2.0*MATH_PI*r*f3db);
BEGIN
    R1 : ENTITY r(simple)      GENERIC MAP (r)
                                PORT MAP (input,output);
    C1 : ENTITY c(simple)     GENERIC MAP (c)
                                PORT MAP (output,ref);
END ARCHITECTURE rc;
```

Beispiel 5: PACKAGES

Das PACKAGE electrical_system definiert die Eigenschaften elektrischer Grössen. Das PACKAGE electrical_constants definiert einige Konstanten, die in der Elektrotechnik häufig verwendet werden. Damit lassen sich anwendungsorientierte Umgebungen definieren.

```
PACKAGE electrical_system IS
    TERMINAL ground;
    NATURE electrical IS
        ACROSS voltage
        THROUGH current
        REFERENCE ground
    TERMINAL ground : electrical
END electrical_system;

PACKAGE electrical_constants IS
    CONSTANT eps0 : REAL := 8.85418 E-12;
    CONSTANT Ni : REAL := 1.45E16;
    CONSTANT Boltzmann : REAL := 1.380662E-23;
    CONSTANT echarge : REAL := 1.6021892E-19;
    CONSTANT epsSiO2 : REAL := 3.9*eps0;
    CONSTANT epsSi : REAL := 11.7*eps0;
    CONSTANT kTQ : REAL := Boltzmann/echarge;
    CONSTANT pi : REAL := 3.141592654;
END electrical_constants
```

VHDL-AMS und SPICE

Als wesentliche Anforderung muß VHDL-AMS eine Migration für SPICE-Bibliotheken und -Netzlisten erlauben. Dazu werden die internen SPICE-Modelle, wie z.B. die Halbleitermodelle, Transmission Lines und elektrischen Quellen als VHDL-AMS-ENTITY geschrieben. SPICE-Netzlisten werden in VHDL-AMS-Struktur übersetzt. Beispiele hierzu findet man in [6]. Hier nehmen wir nur das Modell für die Transmission Lines auf:

```

ENTITY transmission IS
  PORT (TERMINAL t1, t1r,t2,t2r : electrical)
  GENERIC (td, z0 : REAL)
END transmission

ARCHITECTURE t_line OF transmission IS
  TERMINAL t1x, t2x : electrical
  QUANTITY v1r ACROSS t1 TO t1r;
  QUANTITY v1x ACROSS i1x THROUGH t1 TO t1x;
  QUANTITY v1xr ACROSS t1x TO t1r;
  QUANTITY v2r ACROSS t2 TO t2r;
  QUANTITY v2x ACROSS i2x THROUGH t2 TO t2x;
  QUANTITY v2xr ACROSS t2x TO t2r;
BEGIN
  v1xr == v2r'delay(td) + z0 * i2x'delay(td);
  v2xr == v1r'delay(td) + z0*i1x'delay(td);
END t_line;

```

Ein Beispiel für die Umsetzung einer SPICE-Netzliste in VHDL-AMS-Struktur ist:

Beispiel: SPICE-Netzliste

```

.model model3 nmos level=3 vto=1 tox=1.0E-9 kp=1u
m1 nd1 ng1 ns1 nb1 model3 l=3u w=4u

```

VHDL-AMS Strukturbeschreibung

```

COMPONENT model 3
  GENERIC (level : REAL := 3, vto:REAL:=1,
           tox:REAL:=1.0E-9,
           kp : REAL :=1.0E-6, l, w, ad,pd,ps:REAL);
  PORT (nd, ng, ns,nb);
END model 3;
FOR ALL model3 USE ENTITY mos3;

```

Aufruf:

```

PORT MAP(nd1, ng1,ns1,nb1);
GENERIC MAP (l=>3.0E-6, W=>4.0E-6);

```

Zur effizienten Lösung großer SPICE-Modelle müssen die Simulatoren DAE-Löser mit Algorithmen für spärlich besetzte Matrizen bereitstellen.

Ausblick

VHDL-AMS ist bisher nur eine Sprachdefinition, die hohen Anforderungen genügt. Simulatoren stehen zur Zeit nur rudimentär zur Verfügung. Viele Werkzeughersteller haben jedoch zugesagt, den Standard zu unterstützen. Die Industrie zeigt großes Interesse an diesem Standard [7], [8], [9], da sich in VHDL-AMS werkzeuginabhängige Modelle und Modellbibliotheken entwickeln liessen. Zudem wäre Modellaustausch zwischen verschiedenen Simulatoren einfacher möglich. VHDL-AMS wird sich voraussichtlich in der Elektrotechnik durchsetzen, falls die Simulatoren SPICE-Modelle effizient lösen können. Der VHDL-AMS-Einstz für mechanische und hydraulische Modelle ist möglich, jedoch ungewiss.

Zusammenfassung

Der Leistungsumfang von VHDL-AMS wurde kurz vorgestellt und Einsatzmöglichkeiten aufgezeigt. Das VHDL-AMS Language Reference Manual (VHDL-AMS-LRM) ist fast fertiggestellt und steht auf dem FTP-Server "nestor.epfl.ch 128.178.50.20" in dem Verzeichnis "incoming/vhdl/analog/working/LRM" zur Verfügung, sh. auch [10].

VHDL-AMS ist der einzige Standard zur Modellierung analoger Systeme, der sowohl die erwarteten Forderungen abdeckt, als auch international anerkannt werden wird und von der Industrie und von Werkzeugherstellern unterstützt wird.

Literatur:

- [1] DEFINITION OF ANALOG EXTENSIONS TO VHDL
IEEE 1076.1 Language Architecture Team, Sept. 1996
- [2] VHDL-AMS Language Architecture
IEEE 1076.1 Language Architecture Team, Sept. 1996
- [3] IEEE Standard VHDL Language Reference Manual
IEEE Std 1076-1993
- [4] Lipsett Roger; Schaefer Carl; Ussery Cary: VHDL: Hardware Description and Design
Kluwer Academic Publishers, 1993
- [5] Simulation News Europe, Issue No. 7, March 1993
EUROSIM
- [6] SPICE RELATED ISSUES in VHDL-AMS
IEEE 1076.1 Language Architecture Team, März 1996
- [7] Bausch-Gall I.: Eignung von VHDL-A zur Modllierung mechanischer und hydraulischer Systeme, MSR-Studie 1995
- [8] Hessel, E., Melzig, M.: VHDL-A - Erste Erfahrungen mit dem neuen Sprachstandard
Proceedings 10. Symposium Simulationstechnik
Fortschritte in der Simulationstechnik, Vieweg-Verlag, 1996
- [9] Moser E., Neul R.: Einheitliche Modellierung mit VHDL-A
Proceedings 10. Symposium Simulationstechnik
Fortschritte in der Simulationstechnik, Vieweg-Verlag, 1996
- [10] Vachoux Alain: VHDL-A: Analog and mixed-mode extensions to VHDL
In: Proceedings of the EUROSIM Simulation Congress, 1995

SiGe-Technologie und Bauelemente für Systeme der Mobilkommunikation

Andreas Schüppen und Jürgen Arndt

TEMIC Telefunken microelectronic GmbH, Theresienstr. 2, 74072 Heilbronn
Tel:07131-672796, Fax:07131-672933, e-mail: aschueppen@temic.de

Mehr als 97% aller weltweit hergestellten integrierten Schaltungen (IC) bestehen aus Silizium. Dabei basieren Dreiviertel der ICs auf CMOS-Technologien. Weniger als 25% der ICs sind bipolar bzw. eine Kombination aus Bipolar- und MOS-Technik (BiCMOS).

Der Vorteil der CMOS-Technologie liegt in ihrer geringen Leistungsaufnahme und in ihrer hohen Integrierbarkeit, so daß alle digitalen Speicher und Prozessoren mit MOS-Transistoren gefertigt werden. Schnelle Logik-schaltungen, die bis vor kurzem noch mit Bipolartransistoren hergestellt wurden, werden inzwischen auch von CMOS-Schaltungen abgelöst.

Bipolartransistoren findet man im wesentlichen in analogen, bzw. mixed-mode Hochfrequenzschaltungen, z.B. PLLs (Phase Locked Loop). Vorteile gegenüber dieser Mainstream-Technologie haben Bipolartransistoren nur durch ihr wesentlich geringeres Niederfrequenz- und Hochfrequenzrauschen, was z.B. bei VCOs (Voltage Controlled Oscillators), Mischern und LNAs (Low Noise Amplifier) von Bedeutung ist. Darüber hinaus sind Hochfrequenz-Leistungsverstärker aufgrund der höheren Stromtragfähigkeit - Volumentransport anstatt Oberflächenkanal - mit Bipolartransistoren einfacher zu realisieren.

Die Grenzen der reinen Silizium-Bipolartechnik, in Bezug auf hohe Frequenzen, ist dadurch gekennzeichnet, daß man die Basis der Transistoren zwar immer weiter verkürzen kann, jedoch dadurch deren Basiswiderstand bei gleichbleibender Emittbreite immer weiter erhöht wird. Dies führte in der Vergangenheit dazu, daß die Emittbreite immer weiter erniedrigt wurde, sodaß heute UHF-Transistoren auf dem Halbleitermarkt typischerweise eine effektive Emittbreite von ca. $0,5\mu\text{m}$ besitzen. Die Verringerung der Emittbreite ist jedoch nicht beliebig fortsetzbar, da der Emittwiderstand durch diese Maßnahme steigt, bzw. die externe Steilheit abnimmt. Dies hat eine Reduzierung der Transitfrequenz, der Frequenz, bei der die Stromverstärkung auf 1 abgefallen ist, zur Folge.

Eine elegante Lösung dieses Dilemmas bietet eine Basis mit kleinerem Bandabstand, wie sie z.B. durch eine Legierung aus Silizium und Germanium, kurz SiGe, realisierbar wäre. Dadurch ist man in der Lage die Dotierungsverhältnisse zwischen Emitt und Basis umzukehren, was meint: bei Bipolartransistoren ist der Emitt üblicherweise viel höher dotiert als die Basis, wohingegen bei Heterobipolartransistoren (HBTs) die Basis höher dotiert sein kann als der Emitt, da für eine ausreichende Stromverstärkung neben dem Verhältnis von Emitt- zur Basisgummelzahl der energetische Bandsprung zwischen Si und SiGe exponentiell in die Stromverstärkung eingeht. Mit SiGe-HBTs ist man in der Lage trotz verkürzter Basis (bis zu 10 nm) den Basisschichtwiderstand um mehr als einen Faktor 5 durch Erhöhung der Basisdotierung gegenüber Homobipolartransistoren zu verringern und damit dem Zwang der Emittbreitenreduzierung entgegenzuwirken.

SiGe-HBTs mit bis zu 25% Ge in der Basis erreichten trotz $0,8\mu\text{m}$ breiten Emittern Transitfrequenzen von nahezu 120 GHz und maximale Schwingfrequenzen - die Frequenz bei der die Leistungsverstärkung auf 1 abgefallen ist - von 160 GHz. Dabei ist für alle analogen Anwendungen die maximale Schwingfrequenz die entscheidendere Größe, da sie neben der Laufzeit der Elektronen vom Emitt zum Kollektor auch den Basiswiderstand, die Kollektorbasiskapazität und den Ausgangsleitwert beinhaltet.

Die TEMIC, eine hundertprozentige Daimler-Benz Tochter, entwickelt zur Zeit eine IC-Technologie mit SiGe-HBTs, welche für die Mobilkommunikation eingesetzt werden wird. Dabei sollen zunächst ICs im Frequenzbereich von 0,9-2,4 GHz entstehen, z.B. LNAs, Mischer und Leistungsverstärker. Details der Technologie und erste Schaltungsergebnisse sind im angehängten BCTM-Artikel zu finden.

Der Vorteil solcher ICs gegenüber herkömmlichen Bipolarschaltkreisen liegt in der höheren Transit- und maximalen Schwingfrequenz der Transistoren, die für die erste Generation 50 GHz betragen wird. Das Hochfrequenzrauschen der SiGe-HBTs beträgt 0,8 dB bei 2GHz, beste Siliziumwerte liegen bei 1,2 dB. Man ist darüber hinaus in der Lage Hochfrequenzleistungsverstärker, z.B. 2W-HF-Leistung bei 0,9 GHz für GSM- oder 0,5 W bei 1,8 GHz für DCS-1800-Anwendungen, zu realisieren, was bisher nur GaAs-Bausteinen vorbehalten war.

SiGe-ICs werden alle analogen und mixed-mode Anwendungen bis 10 GHz abdecken können.

SiGe-Technology and Components for Mobile Communication Systems

A. Schüppen, H. Dietrich, S. Gerlach, H. Höhnemann J. Arndt
U. Seiler*, R. Götzfried*, U. Erben**, H. Schumacher**

TEMIC TELEFUNKEN microelectronic GmbH, 74025 Heilbronn, Germany
Tel: +49-7131-672059 Fax: +49-7131-672933 e-mail: aschueppen@temic.de

* Daimler-Benz AG, Research Center Ulm, 89081 Ulm, Germany

** University of Ulm, Dept. of Electron Devices and Circuits, 89069 Ulm, Germany

ABSTRACT

SiGe-HBTs offer the opportunity to build integrated front-ends for mobile communication systems above 1 GHz. SiGe-HBTs with 50 GHz f_T and f_{max} were obtained by a production process including poly-silicon resistors, nitride capacitors and spiral inductors showing Q values up to 10. RF-noise figures down to 1 dB at 2 GHz with an associated gain of 14 dB and 1kHz 1/f corner frequency were obtained. Class A load pull measurements on power SiGe-HBTs at 1.9 GHz exhibited a power added efficiency (PAE) of 44% at 1W RF output power. Power amplifiers, low noise amplifiers and mixer circuits are presently under investigation.

INTRODUCTION

Rapidly falling prices are one driving force for higher integration in electronics components, especially for mobile communication systems. The digital part, e.g. of a mobile phone is already highly integrated. However, the analogue RF-part consists of a lot of filters, inductors and single transistors. Hence, a higher integration level is strongly requested. Power amplifiers, low noise amplifiers and mixers are required with low voltage operation and additionally, high power added efficiencies (PAE), and low noise figures, respectively. In addition, monolithic spiral inductors with high Q values are useful for matching and filter networks. For these applications SiGe-HBTs offer some important advantages over other devices:

- First, SiGe-HBTs exhibit superior high frequency performance, which was demonstrated by a record CML gate delay time of 11ps [1] and by extremely high f_{max} and f_T values of 160 GHz and 116 GHz [2,3] respectively. Besides this, SiGe-HBTs have an excellent noise behaviour [4,5].
- Second, SiGe-HBT fabrication is compatible with Si bipolar technology.
- Third, the thermal conductivity of Si is three times higher than that of GaAs. This is very important for power amplifiers. Recent results on PAE measurements on SiGe-HBTs exhibited a PAE of 33 % at 5.7 GHz [6] and power transistors with breakdown voltages of 40V and 10 GHz f_T and 22 GHz f_{max} were reported [7].

- Fourth, the best high frequency performances can be obtained at low voltages, e.g. $V_{CE} = 1 - 3V$, demonstrating the low power potential.
- Fifth, SiGe-HBTs have a real advantage in power applications over Si-BJT's due to their low base sheet resistances down to 500 Ohm/ \square . Hence, it will be possible to build HBTs with high f_{max} values in spite of wide emitter stripes, e.g. above 2 μm .

This paper deals with investigations on SiGe-HBT-technology and components for mobile communication systems.

TECHNOLOGY

The SiGe-HBTs were fabricated using TEMICs bipolar production line. The process, which was recently described in [8], started with a buried layer formation and a channel stop implantation on a 20 Ohmcm substrate. The collector layers were formed by a 700nm CVD silicon deposition and separated by a recessed LOCOS process. The collector contact regions were implanted with phosphorus. Subsequently the MBE growth of the SiGe-base and the n-emitter followed. The 26% Ge in the base and the $4 \cdot 10^{19} \text{ cm}^{-3}$ boron were kept constant. The growth is mono-crystalline in the oxide windows and poly-crystalline on the SiO_2 . This process mainly differs from a conventional double poly self-aligned silicon bipolar technology by using the MBE-poly-silicon as the base lead contact, i.e. the originally n-type top layer is converted to p by a BF_2 implantation. A selective implanted collector offers the possibility to build transistors with high break down voltage and low collector-base capacitance and on the same wafer HBTs with higher current densities and higher f_T , but higher capacitance and lower breakdown voltage. In order to reduce the lead and contact resistances of the emitter and the base, titanium silicide was formed by a salicide process. The fabrication process finishes by a two level Al metallization. A schematic sketch of a transistor is depicted in Fig.1 The technology includes, besides the HBTs, also poly silicon resistors, nitride capacitances and spiral inductors.

TRANSISTOR RESULTS

A typical Gummel plot is depicted in Fig.2 showing a current gain above 200 over 9 decades for a HBT with $1.2 \times 10 \mu\text{m}^2$ emitter size. The RF-characteristics in Fig.3 and Fig.4 for an HBT with $20 \mu\text{m} \times 1.2 \mu\text{m}$ emitter proves the feasibility of fabricating transistors with high gain of 25 dB at 2 GHz without submicron emitter width. These HBTs have a low doped collector $2 \times 10^{16} \text{cm}^{-3}$ and a break down voltage BV_{CE0} of 6V. RF-measurements on the same wafer with a selective implanted collector revealed f_T and f_{max} values in the 50 GHz range as shown in Fig.5. It should be pointed out that the dependency of the cutoff frequencies on the emitter geometry is extremely low as shown in Fig.6. Hence, it will be possible to build HBTs with high cutoff frequencies inspite of emitter widths above $2 \mu\text{m}$ with regard to power applications as shown later on. Low frequency noise measurements exhibited $1/f$ corner frequencies in the range of 1 kHz. The measured transistor parameters are summarized in table1.

Parameter		no SiC	SiC
N_C	$[\text{cm}^{-3}]$	3×10^{16}	1×10^{17}
BV_{CE0}	[V]	6.0	3.5
R_{sbi}	[Ohm/ \square]	1200	1200
h_{FE}	[]	150	150
V_A	[V]	50	50
f_T	[GHz]	30	50
f_{max}	[GHz]	50	50
$F_{min}(2\text{GHz})$	[dB]	1	1
HBT with $1.2 \times 2 \mu\text{m}^2$ emitter			
R_B	[Ohm]	140	140
C_{BC}	[fF]	10	15
C_{CS}	[fF]	22	22

Table 1: TRANSISTOR PARAMETERS

PASSIVE COMPONENTS

In contrast to standard bipolar technologies TEMIC offers, besides two types of poly-Si resistors and nitride capacitors, spiral inductors by using the two metallization levels with $2.8 \mu\text{m}$ Al. By optimizing the line to space ratio it is possible to produce inductors with inductances between 0.5 - 5 nH with quality factors of 8 - 10 and inductances of 6 - 10 nH with Q values of 5 - 8. Consequently, only the high Q filters need additional discrete inductors. An example of a measured spiral inductor is shown in Fig.7 having an inductance of 2.7 nH and a maximum Q of 11. Spiral inductors with high quality factors Q are required e.g. for LNAs or for monolithic integrated antenna switches. The parameters of the passive components are collected in table2.

CIRCUIT COMPONENTS

In order to fabricate low noise amplifiers (LNA) transistors with 6 emitter stripes, each sized $1.2 \times 15 \mu\text{m}^2$, were investigated. High frequency noise values of 1 dB at 2 GHz with an associated gain of 14 dB was achieved as depicted in Fig.8. Small noise figures and simultaneous input matching was the design rule for the first transistor in the circuit of Fig.9. A small inductance in the emitter circuit

improves the input matching. Because of the high value of R_1 in the input circuit, it does not deteriorate the noise performance. The feedback elements, C_2 and R_3 , in the second stage guarantee output matching. Noise measurements in a frequency range of 0.6 to 2.5 GHz show, that the active matching of the first transistor delivers a relative flat noise figure. The minimum noise figure at 1.8 GHz is 2.4 dB. Simulations using optimized parasitics have shown that minimum noise figures of 1.5 dB will be feasible by this circuit design.

DC-measurements on SiGe-power-HBTs with $60 \times 2.2 \times 15 \mu\text{m}^2$ revealed good output-characteristics, e.g. Fig.10, with high current gain of up to 200 and collector-emitter break down voltages of 5 V. No current crush effects as often described in III-V HBTs were observed. Load pull measurements in class A operation on these 60-stripe HBTs were performed at 1.9 GHz at ATN [9]. A maximum PAE of 44% and a constant gain of 11 dB was attained with an RF output power of 1W as depicted in Fig.11. For power modules in mobile communication systems, besides a power output stage, also a suitable driver transistor is required. The results of class B load pull measurements on a $10 \times 2.2 \times 15 \mu\text{m}^2$ emitter SiGe-HBT at 0.9 GHz exhibited a broad maximum at 72PAE for -5 to 2 dBm input power and 12 to 17 dBm output power. Power modules, antenna switches and Gilbert cell mixers (Fig.12) are still under investigation.

CONCLUSIONS

A SiGe-HBT technology was developed with regard to mobile communication circuits. The transistors show current and power gains of 25 dB and noise figures of 1dB with 14 dB associated gain at 2 GHz. High quality poly-Si resistors, nitride capacitors, and inductors, exhibiting Q values up to 10, were integrated. As a consequence of the low base sheet resistance of 1.2 kOhm it is possible to fabricate not only LNAs but also power modules with high power added efficiencies.

REFERENCES

- [1] T.F.Meister et al. IEDM Tech. Dig., (1995) pp. 739-742
- [2] A. Schüppen et al. IEDM Tech. Dig., (1995) pp. 743-746
- [3] A. Schüppen et al. Electron. Lett., **30** (14), (1994) pp. 1187-88
- [4] H. Schumacher et al. IEEE MTT-S Digest (1994) pp. 1167-1171
- [5] J.D. Cressler et al. IEEE EDL, **17** (1), (1996) pp. 13-15
- [6] U. Erben et al. IEEE Micr.Guid.Wav.Lett., **5** (12), (1995) pp. 435-436
- [7] K.D.Hobart et al. IEEE EDL, **16** (5), (1995) pp. 205-207
- [8] A. Schüppen et al. J. Cryst. Growth, **157**, (1995) pp. 207-214
- [9] A. Schüppen et al. IEEE Micr.Guid.Wav.Lett., **6** (9) (1996)

Resistors			
Poly-Si	R_{sbi}	[Ohm/ \square]	$400 \pm 10\%$
Silicide	R_{sbi}	[Ohm/ \square]	$5 \pm 20\%$
Capacitors			
Nitride	c	[fF/ μm^2]	$1 \pm 10\%$
Parasitic	c	[fF/ μm^2]	0.03
Inductors			
1.+2. Metal	1 - 10nH	Q(2GHz)	5-10
1.+2. Metal	2.5nH	Q(2GHz)	10

Table 2: INTEGRATED PASSIVE DEVICES

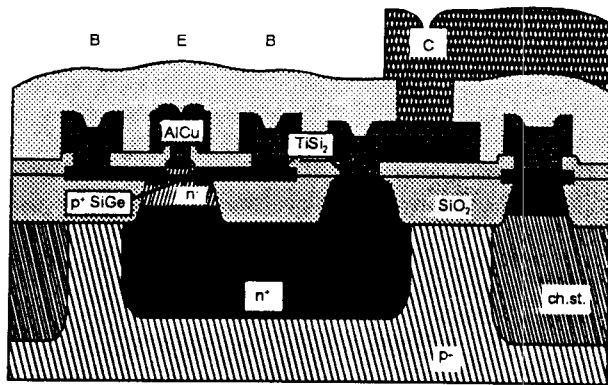


Figure 1: Schematic cross-section of a selfaligned SiGe-HBT

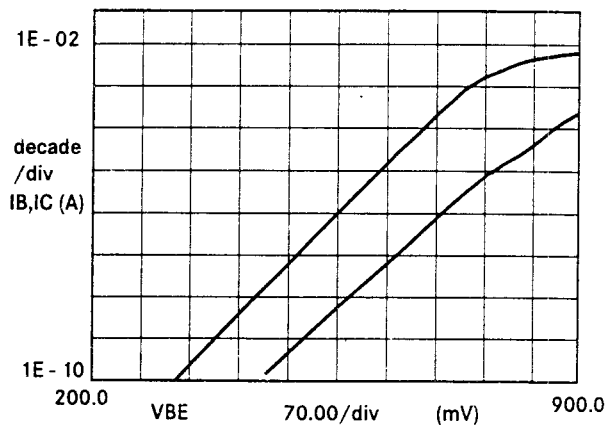


Figure 2: Gummel plot of a SiGe-HBT with $1.2 \times 10 \mu\text{m}^2$

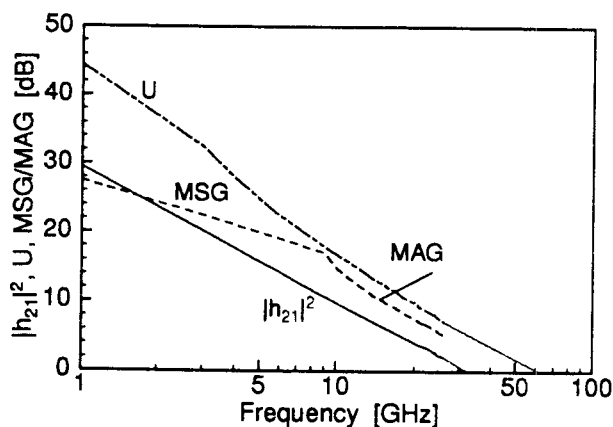


Figure 3: $|h_{21}|^2$, MSG, MAG and U vs frequency, for a SiGe-HBT with 30 GHz f_T and 60 GHz f_{max} at $V_{CE} = 3V$ and $I_C = 12\text{mA}$, $1.2 \times 20 \mu\text{m}^2$

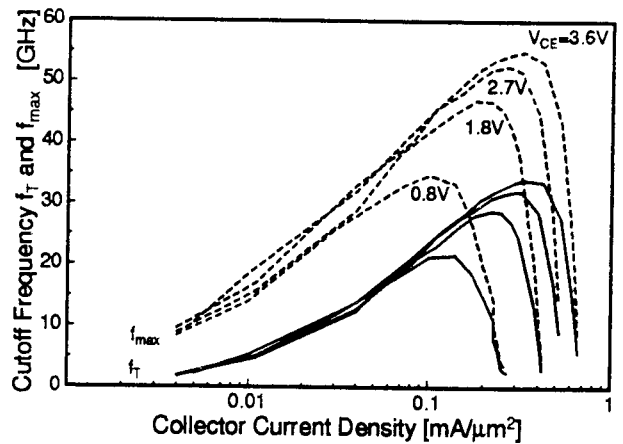


Figure 4: Cutoff frequencies vs current density for various collector-emitter voltages ($1.2 \times 20 \mu\text{m}^2$)

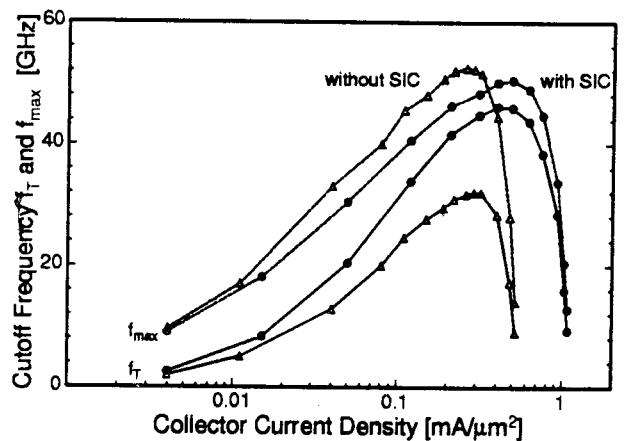


Figure 5: Comparison of transistors with \bullet and without Δ selective implanted collector on one wafer ($1.2 \times 20 \mu\text{m}^2$)

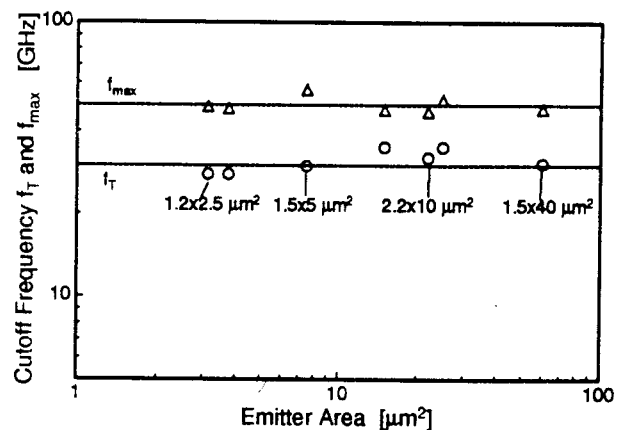


Figure 6: High frequency performance of transistors with various geometries

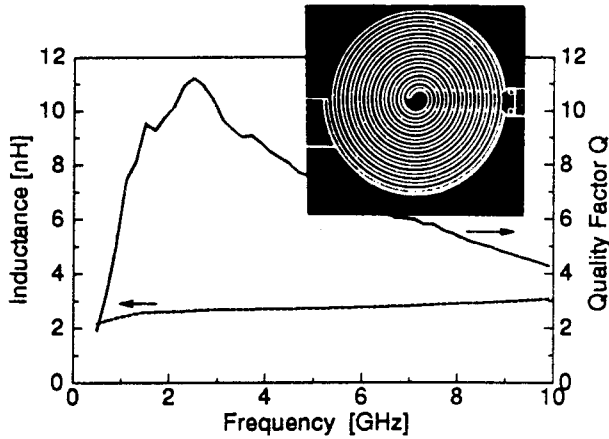


Figure 7: Performance of a spiral inductor with $7\mu\text{m}$ wide and $2.8\mu\text{m}$ thick Al-line and $2\mu\text{m}$ space width on 20 Ohmcm substrate.

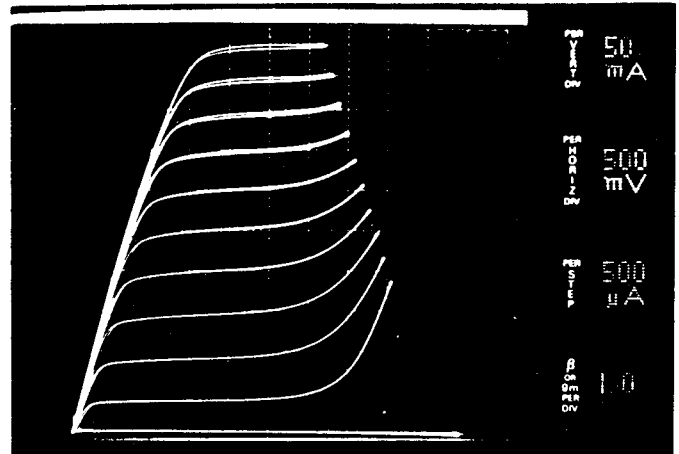


Figure 10: DC output characteristic of a power HBT with 60 emitter stripes ($2.2 \times 15\mu\text{m}^2$)

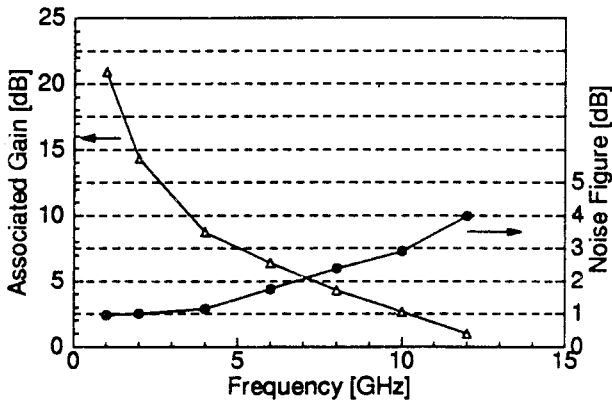


Figure 8: RF-noise and associated gain of a 6 emitter stripe HBT ($1.2 \times 15\mu\text{m}^2$) at $I_C = 3\text{mA}$ and $V_{CE} = 3\text{V}$

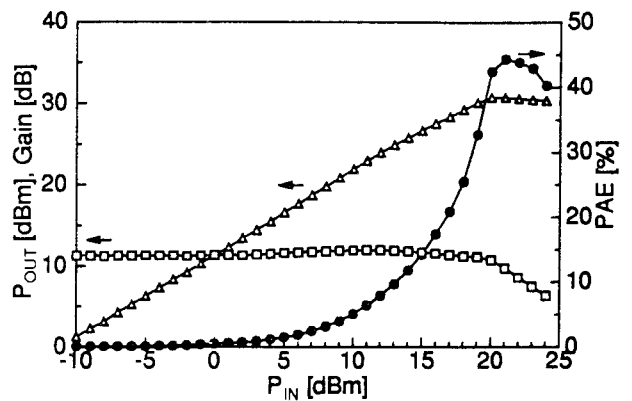


Figure 11: Input power vs power gain \square , output power Δ and PAE \bullet for a HBT having 60 emitter stripes \hat{a} $2.2 \times 15\mu\text{m}^2$

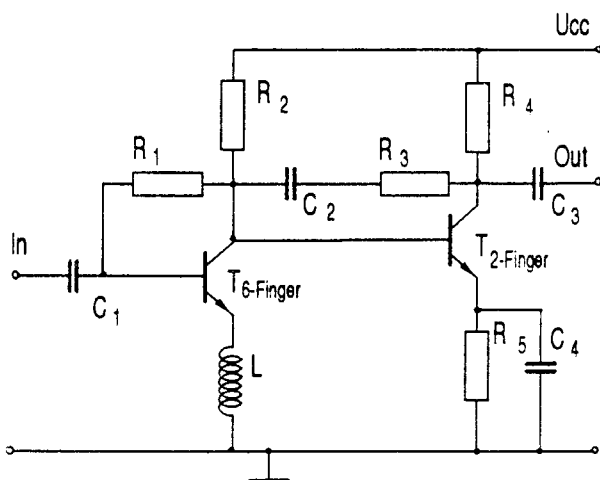


Figure 9: Two-stage low-noise amplifier using SiGe HBTs

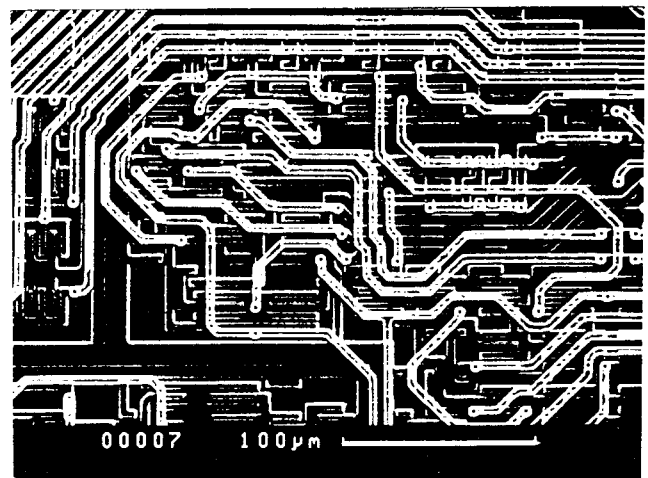


Figure 12: Section of a mixer circuit

THREE PORT OSCILLATOR DESIGN WITH PUFF.

Horst Nielinger

Introduction

Figure 1 shows a very attractive microstrip oscillator circuit[1], not to be found elsewhere in literature. When designing a new course "Microwave Circuits" in which the program PUFF[2] should be used and experiments on cheap glass fibre material should be done it was tried to realise the oscillator circuit with the same transistor for $f = 750$ MHz. This did not work and caused some thoughts about the principle of operation of the oscillator shown in Figure 1. The explanations given in [1] are very short on a level of high abstraction and especially do not discuss the necessary requirements for the oscillator transistor. Therefore it was felt appropriate to give a down-to-earth explanation of the oscillator operation and its design procedure in order to give not only the future Caltech Nobel laureates but also students and lecturers "with a very little brain", the possibility to enjoy an RF energy producing circuit of unbeatable simplicity and elegance.

The Oscillator Principle

It is well known[3] that an ideal transistor with two capacitors appropriately added produces a negative resistance essential for oscillator design. The main idea of the oscillator discussed here is to use the internal transistor capacitances in order to produce a negative input resistance. Figure 2 shows a very simple equivalent circuit for a MOSFET transistor with floating source thus forming a three port circuit. The floating source can be achieved by a parallel resonance circuit for the design frequency so a two port analysis is still sufficient for the input - output behaviour. Using hybrid parameters we have

$$\begin{aligned}v_{in} &= h_{11}i_{in} + h_{12}v_0 \\ i_0 &= h_{21}i_{in} + h_{22}v_0\end{aligned}$$

For h_{11} we find

$$\begin{aligned}h_{11} &= \left. \frac{v_{in}}{i_{in}} \right|_{v_0=0} = \left. \frac{v_1 + v_2}{i_{in}} \right|_{v_0=0} = -g_m X_1 X_2 + j(X_1 + X_2) \\ \text{with } X_1 &= -\frac{1}{\omega C_1}; X_2 = -\frac{1}{\omega C_2}\end{aligned}$$

Here we have generated a negative input resistance decisive for an oscillator! The other h-parameters can be found simply by inspection :

$$\begin{aligned}h_{12} &= \left. \frac{v_{in}}{v_0} \right|_{i_{in}=0} = 1 \\ h_{21} &= \left. \frac{i_0}{i_{in}} \right|_{v_0=0} = -1 \\ h_{22} &= \left. \frac{i_0}{v_0} \right|_{i_{in}=0} = 0\end{aligned}$$

If we connect the output with the desired load resistor Z_0 ($=50\Omega$) we find for the input impedance simply the series connection of h_{11} and Z_0 .

$$\frac{v_{in}}{i_{in}} = h_{11} + Z_0$$

This input impedance has to be compensated in order to form an oscillator. Therefore the impedance connection to the input must be

$$Z_G = -h_{11} - Z_0 \quad (\text{Input Oscillator Condition})$$

If we connect the input with Z_G we find for the output impedance simply the series connection of h_{11} and Z_G .

$$Z_2 = \frac{v_0}{i_0} = h_{11} + Z_G$$

Inserting the input oscillator condition we get

$$Z_2 = -Z_0 \quad (\text{Output Oscillator Condition})$$

That means if the outer impedance at the input (Z_G) is equal to the negative of the input impedance, then the outer impedance of the output (Z_0) is also equal to the negative of the output impedance. The oscillator conditions are both fulfilled simultaneously.

The Oscillator Design

Figure 3 shows the chosen transistor and Table 1 shows the s - parameter provided by the manufacturer nearly directly readable by the PUFF program. The design frequency was chosen to $f = 750$ MHz because then the micro-strip circuit fits nicely on a Euroboard (160mm x 100mm).

From the interpolated values for 750 MHz

$$s_{11} = 0.82, -64^\circ$$

$$s_{22} = 0.96, -25^\circ$$

we can calculate or determine by means of the Smith Chart, the normalised input and output admittances.

$$G_1 Z_0 + jB_1 Z_0 = 0.12 + j0.62 \approx j0.62$$

$$G_2 Z_0 + jB_2 Z_0 = 0.06 + j0.22 \approx j0.22$$

In both admittances the capacitive component is dominant which justifies the simple equivalent circuit, Figure 2. In order to calculate the negative real part - $g_m X_1 X_2$, we need information about g_m . For low frequencies we have [4] from Table 1

$$-2g_m Z_0 = s_{21} \approx -1.524$$

Therefore $g_m Z_0 = 0.787$

The negative normalised resistance we would expect at 750MHz is therefore

$$\frac{-g_m X_1 X_2}{Z_0} = -\frac{g_m Z_0}{B_1 Z_0 \cdot B_2 Z_0} = -\frac{0.787}{0.62 \cdot 0.22} = \underline{\underline{-5.77}}$$

The Oscillator Design Procedure

Figure 4 shows a PUFF screen dump of the oscillator circuit used in the first design step. Note in the PARTS window that indefinite s-parameters are used for the transistor bf999 in order to have the source floating. The tiny length of the transistor is given by 1.5mm. This information is decisive for the layout, but in order to see the details of the circuit, it is a good idea to switch to Manhattan Layout Mode (last line in the BOARD window). Then the distance between the connection points become 1/10 of the board size irrespective of the given dimensions. The simple circuit shown in the LAYOUT window of Figure 4 consists only of the transistor with a shorted transmission line at its input. The simulation makes use of the component sweep option of PUFF so the reflection coefficient at the output (s_{22}) is measured as a function of the input transmission line length in degrees at the input. As the Smith Chart radius is chosen to 3 (see PLOT window), the locus of s_{22} is totally outside the unit circle, the boundary of the normal Smith Chart. This signifies the existence of a negative real part of s_{22} decisive for the oscillator function. The cursor in Figure 4 shows the real part of s_{22} which is achieved when the input shorted transmission line resonates with the transistor capacitances.

We get $\text{Re}(s_{22}) = 6.66dB = 2.15$

Therefore $\frac{R_2}{Z_0} = \frac{1 + s_{22}}{1 - s_{22}} = \frac{3.15}{-1.15} = -2.74$

This result shows quite a remarkable deviation from the theoretically expected value of -5.77. Of course losses have to be taken into account (real parts of the transistor input and output admittances, loss resistance of the resonating transmission line) but one major deteriorating effect in the generation of the negative resistance is due to the capacitance C_{12} shown dotted in Figure 2 which shunts h_{11} . A simple calculation results in a corrected formula for the negative normalised output resistance

$$\frac{R_2}{Z_0} = \frac{\frac{-g_m Z_0}{B_1 Z_0 \cdot B_2 Z_0}}{\left(\frac{g_m Z_0 \cdot B_{12} Z_0}{B_1 Z_0 \cdot B_2 Z_0}\right)^2 + \left(\frac{B_{12} Z_0}{B_1 Z_0 + B_2 Z_0} + 1\right)^2}$$

Even for a value as low as $B_{12} Z_0 = 0.1$, the negative resistance in our case is reduced from -5.77 to -3.63! But nevertheless Figure 4 shows that we have generated a negative resistance decisive for oscillator design. In order to fulfil the oscillator condition at the

output, the normalised output resistance has to be -1. In Figure 2, some circles with constant normalised negative real parts are signified in the extended Smith Chart. The circle with the -1 value is degenerated to a perpendicular line that means that the according $s_{22} = \infty$. We registered above that the transistor parameter g_m is decisive for the negative resistance. When the transistor saturates g_m will become smaller automatically. That means that we can simulate the effect of saturation by adding a variable resistor to the input resonance circuit in order to fulfil the oscillator condition. Then the negative resistance is reduced by adding a positive resistance, in reality the negative resistance is reduced by the nonlinear effect of transistor saturation which reduces the parameter g_m . This approach appears simpler as the simulation of saturation effects by means of an attenuator proposed in [1].

As discussed before an increasing resistance at the input of the transistor will reduce the value of the negative resistance seen at the output therefore the value of s_{22} will increase remarkably by this measure. As it is very inconvenient to handle reflection coefficients near infinity, a reflection coefficient inverter can be designed which will transform any reflection coefficient Γ_L into $1/\Gamma_L$ in good approximation. The design follows from the well known formula[4].

$$s_{11}' = s_{11} + \frac{s_{12} \cdot s_{21} \Gamma_L}{1 - s_{22} \Gamma_L} = \frac{s_{11} - (s_{11} s_{22} - s_{12} s_{21}) \Gamma_L}{1 - s_{22} \Gamma_L}$$

If $s_{11} = s_{12} = 1000$ and $s_{21} = s_{22} = -1000$ the (for $\Gamma_L \gg 1/1000$)

$$s_{11}' = \frac{1}{\Gamma_L}$$

So the reflection coefficients near infinity will be transformed into reflection coefficients near zero to be found right in the middle of the normal Smith Chart.

One more remark to Figure 4. The circles for negative imaginary parts remain in the negative half plane, the circles for the positive imaginary parts remain in the positive half plane irrespective of the sign of the real part. This means that for a series resonant circuit with a constant negative real part, the locus of the frequency response will form a counter clockwise loop whereas normally (positive real parts, normal Smith Chart), one always experiences clockwise loops with increasing frequency. The occurrence of a counter clockwise loop can be taken as a criterion for a negative real part even if this loop is to be found anywhere off the circumference of the normal Smith Chart due to phase shift by additional transmission lines (Figure 7).

Figure 5 shows the frequency response of s_{22} and $1/s_{22}$ after the reflection coefficient inverter was placed. The ^P- option of PUFF allows to display the frequency response of different circuits in one picture! In addition, the source of the transistor is connected with a resonant circuit which represents a very high impedance for the design frequency but allows a 50Ω - connection to ground via port 3 for DC and frequencies far off the design frequency. The lumped element $h(0\Omega \ 2.5mm)$ is necessary in order to give the right gap

for the transistor in the layout. At the gate of the transistor we have added a resistor in order to simulate transistor saturation as discussed above.

In Figure 6, the resistor a is chosen to 60Ω . The frequency response of $1/s_{22}$ is now passing the centre of the Smith Chart. Adjustment of the line length at the input to 70° fulfils the oscillator condition at the design frequency of 750MHz . Figure 7 shows the microstrip design on a Euroboard ($160\text{mm} \times 100\text{mm}$) where resistor and reflection coefficient inverter are removed of course. The details near the transistor cannot be seen because it is so small. At the output (port 2), a bias circuit was added consisting of a 90° transmission line grounded by a 27pF capacitor and coupled to the output by another 27pF capacitor. Note that the counter clockwise frequency response loop of s_{22} is now to be found in a totally different region of the extended Smith Chart due to the additional phase shift of line i . Figure 8 shows the simple layout of the oscillator. Only the little square in the bottom right corner has to be connected to the ground by a pin through a drilled hole. The gaps will be bridged by surface mounted devices (capacitors and the transistor of Figure 3).

Figure 9 shows a photograph of the realised oscillator together with the simple BNC adapters which are soldered to the microstrip lines on top of the board and make contact to the ground plane by means of fingerstrips. This technique works well for frequencies below 1GHz . Figure 10 shows a spectrum analyzer measurement of the oscillator frequency. Due to nonlinear effects the measurement result deviates slightly from the design frequency which can be corrected by experimental trimming of the length of the gate line.

Conclusion

The principle of a very simple oscillator circuit was explained using h-parameters with a first order MOSFET transistor model. A design procedure for the realisation of this oscillator in microstrip (Euroboard, $f=750\text{MHz}$) was presented in a step by step approach using the Caltech simulation and layout program PUFF. This material was developed for an undergraduate course "Microwave Technology" to be held in the Department of Electronic & Electrical Engineering, De Montfort University, Leicester. U.K.

Literature

- | | | |
|-----|------------------|--|
| [1] | David Rutledge | Fields and Circuits (Chapter 12, Transistor Circuits)
California Institute of Technology 1994 |
| [2] | Scott W Wedge | Richard Crompton, David Rutledge
PUFF - Computer Aided Design for Microwave
Integrated Circuits (Version 20). California Institute of
Technology, 1991. |
| [3] | George Vendelin | Anthony M Pavio, Ulrich L Rohde
Microwave Circuit Design Using Linear and Nonlinear
Techniques
John Wiley & Sons, Inc 1990 |
| [4] | Max W Medley, Jr | Microwave and RF Circuits
Analysis, Synthesis and Design, Artech House, Boston,
London 1993 |

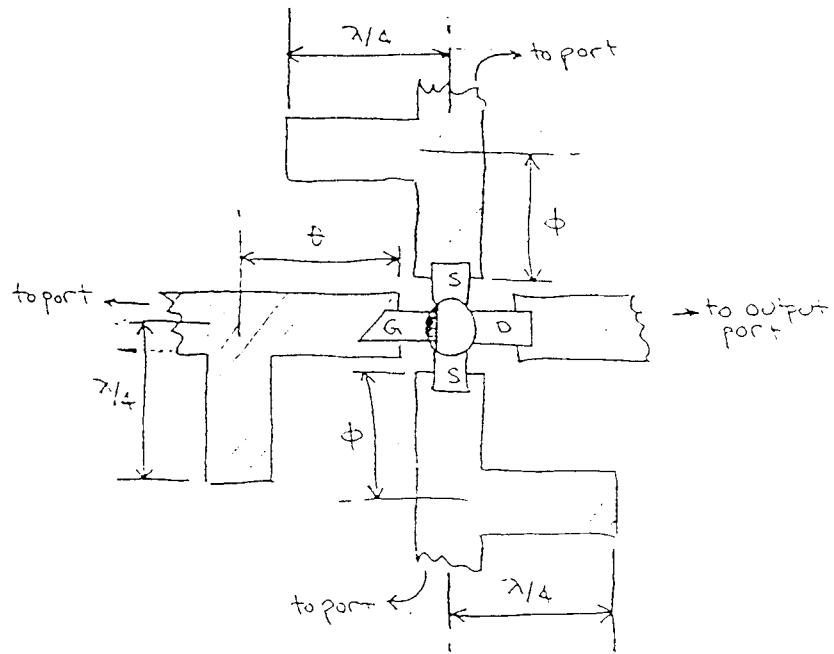


Fig.1 = Microstrip Oscillator [1] (Transistor: FHX 35LG, P = 5GHz)

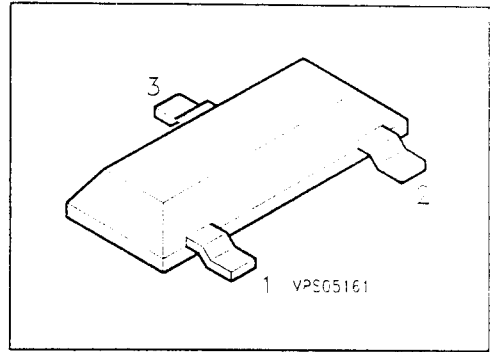
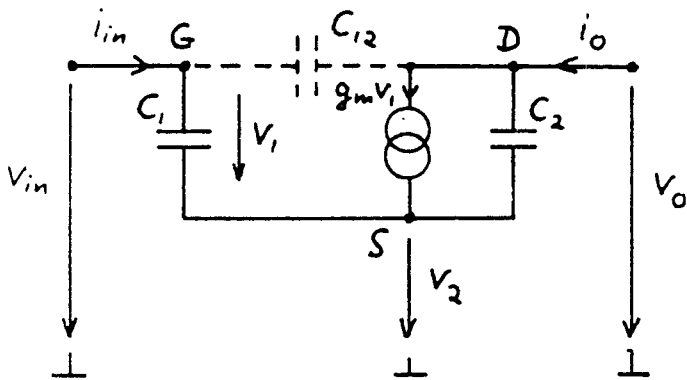


Fig 2 = Simplified equivalent circuit for a MOSFET transistor

Fig 3 = Appearance of the transistor BF999

(2.9mm x 1.3mm)

```
! BF999,SILICON N CHANNEL MOSFET
! VDS=10V VGS=0V IDS=10mA
!
# GHZ S MA R 50
```

.05	.998028	-4.85	1.574664	172.11	.000800	91.44	.996509	-1.80
.06	.997694	-5.82	1.573903	170.46	.000938	84.76	.996391	-2.14
.08	.995744	-7.74	1.569176	167.20	.001142	86.17	.995700	-2.85
.1	.993141	-9.55	1.562103	163.93	.001469	83.68	.995654	-3.55
.15	.985988	-14.28	1.539376	155.85	.002132	79.41	.993939	-5.30
.2	.975486	-18.77	1.504383	147.96	.002607	80.23	.991911	-7.02
.25	.964286	-23.18	1.465243	140.47	.003105	79.15	.989094	-8.76
.3	.951293	-27.43	1.424725	133.36	.003494	76.01	.987463	-10.47
.4	.927063	-35.83	1.345450	119.84	.003887	76.56	.981746	-13.83
.5	.899411	-44.27	1.275747	106.56	.003501	74.80	.975423	-17.07
.6	.869668	-52.61	1.196960	93.52	.002453	95.22	.969228	-20.28
.7	.837343	-60.54	1.110753	80.93	.002807	141.53	.964377	-23.53
.8	.809294	-67.79	1.025244	69.27	.005285	167.87	.958414	-26.88
.9	.785396	-74.36	.940550	58.68	.009486	172.77	.950211	-30.35

Table 1 = s-parameters of the transistor BF999

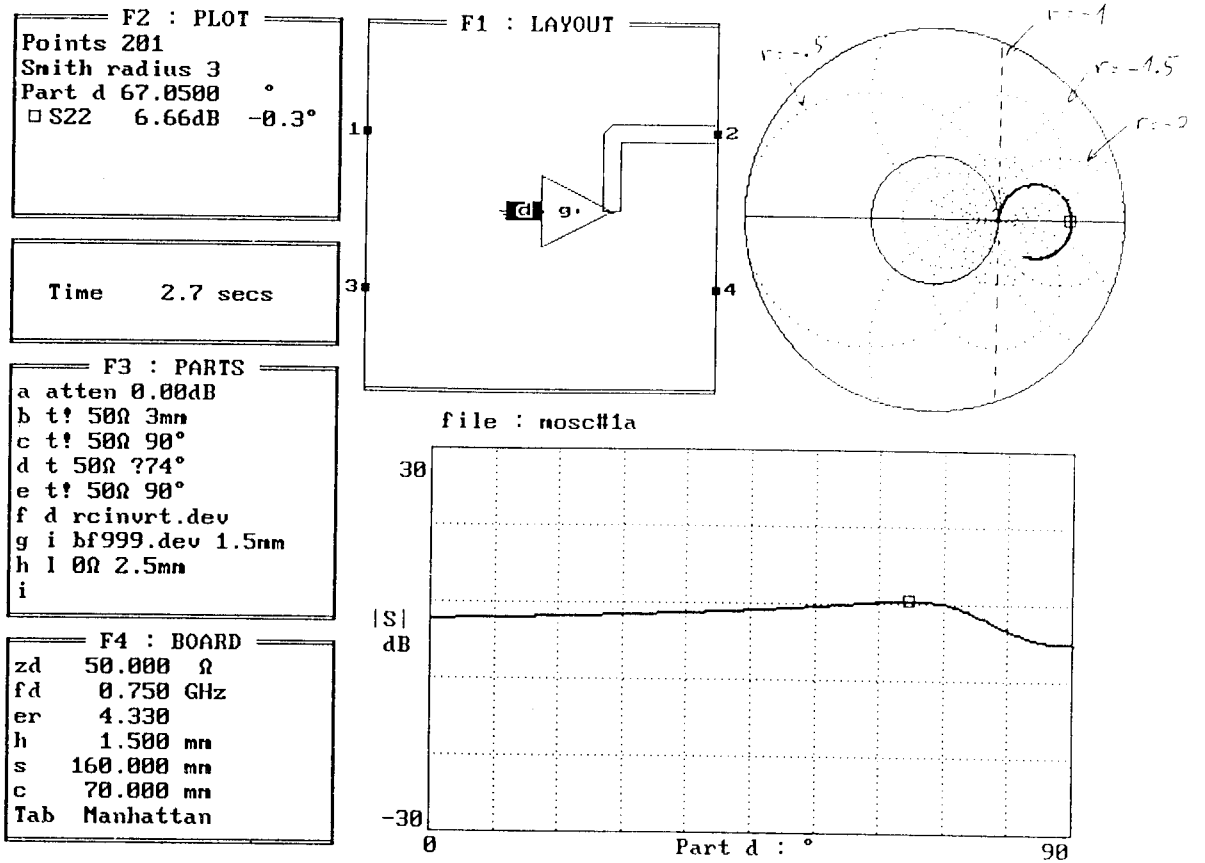


Fig 4 = Negative output impedance as function of the length of the shorted input line

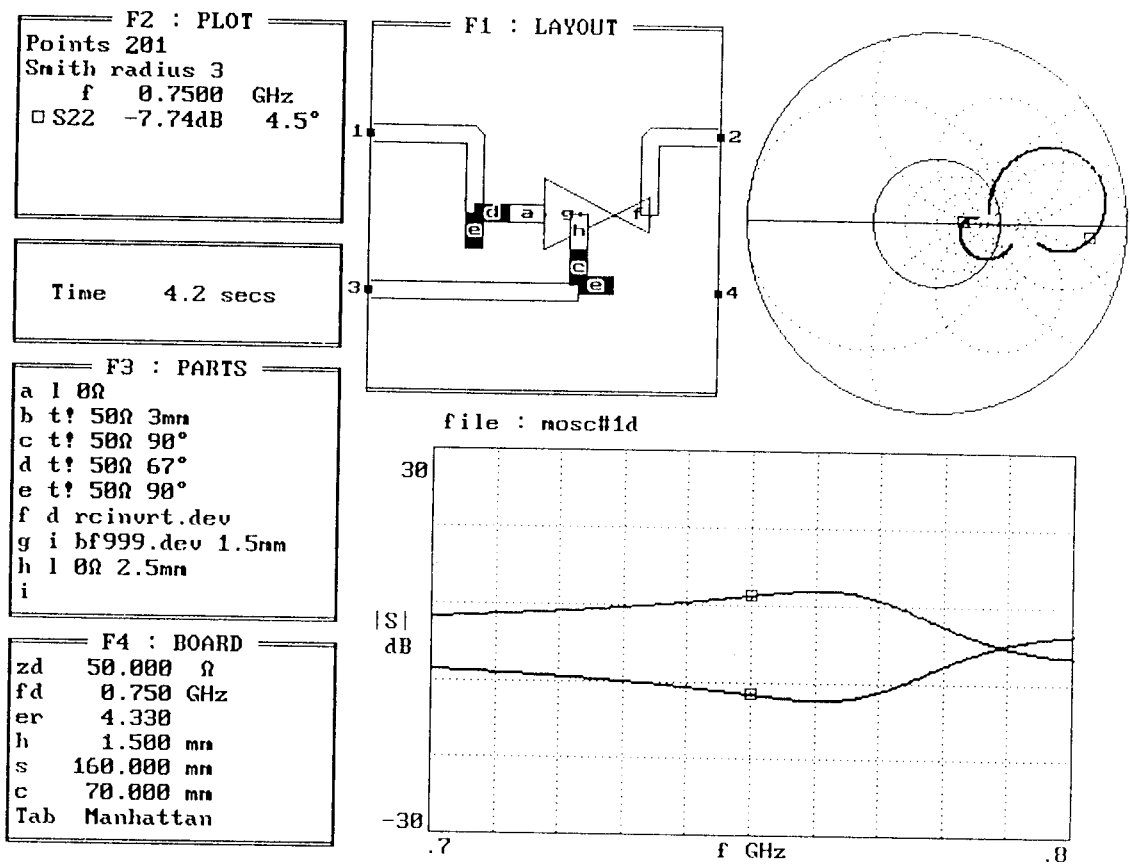


Fig 5 = Frequency response of s_{22} with and without reflection factor converter

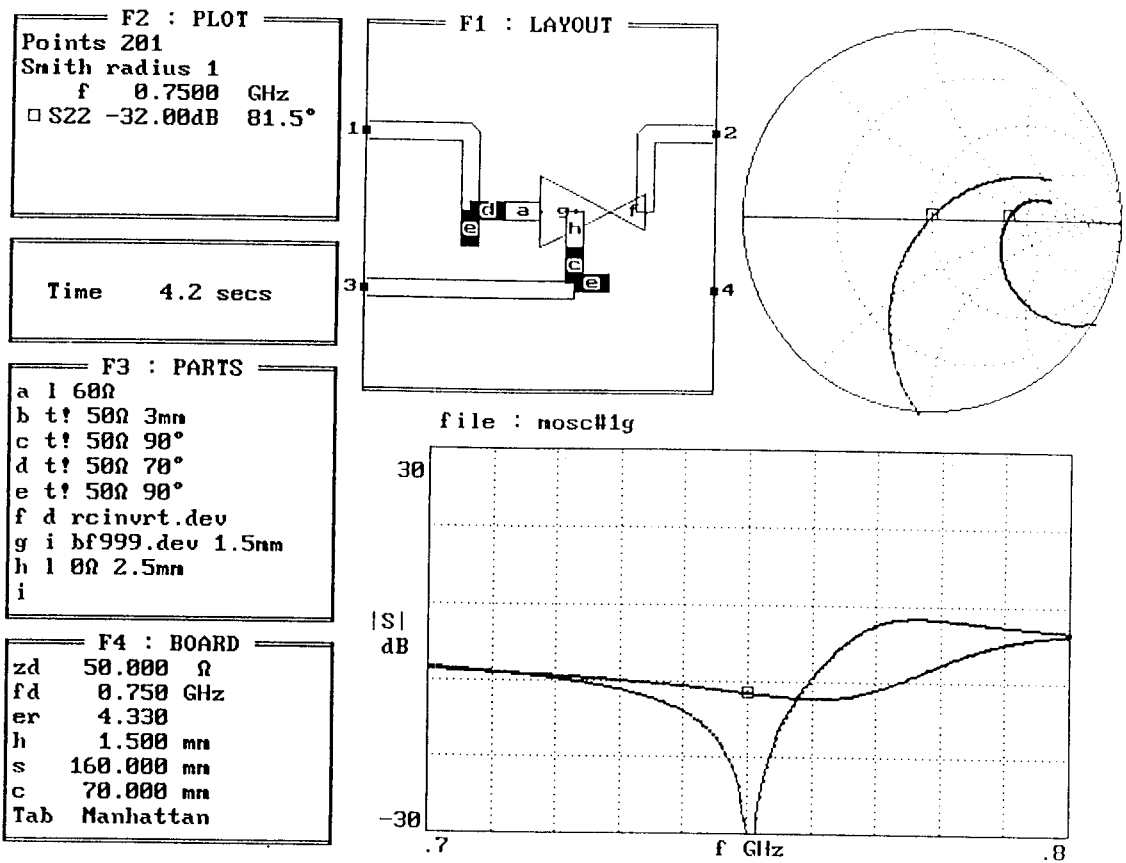


Fig 6 = Frequency response of s_{22} with and without resistor at input (simulation of transistor saturation)

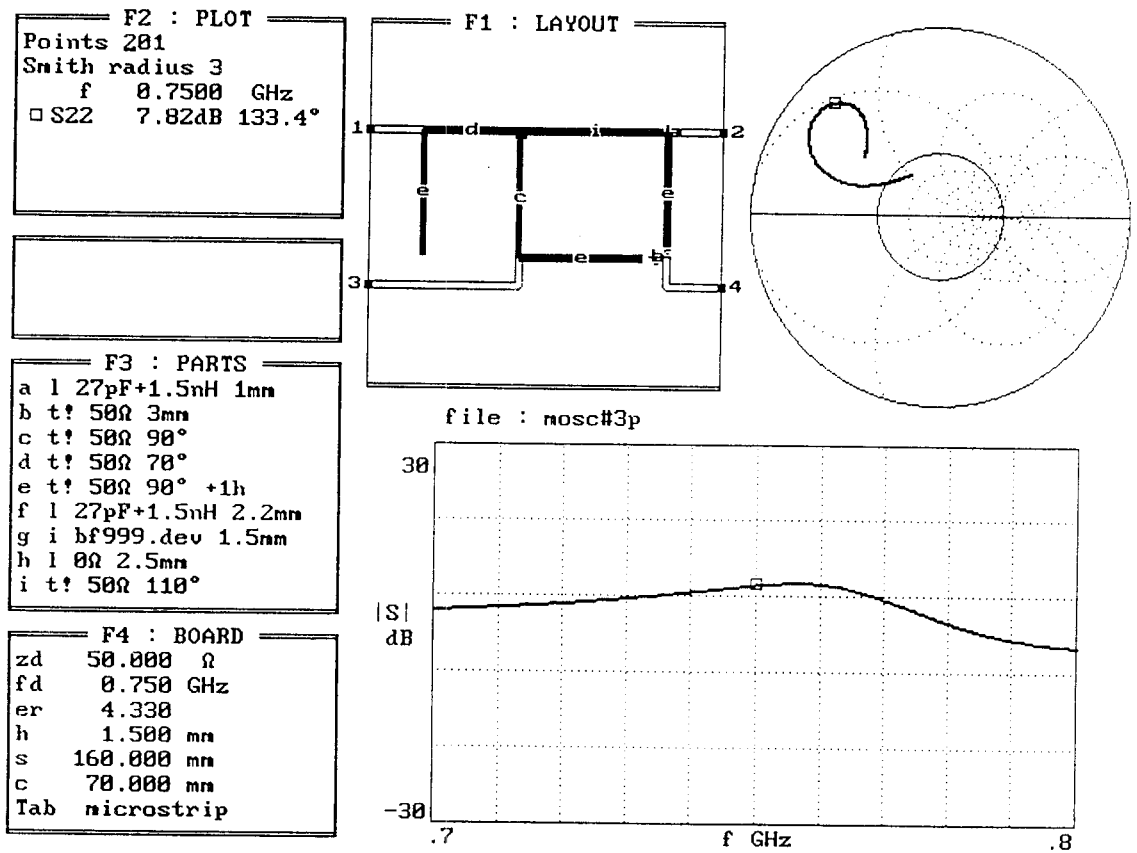


Fig 7 = Final frequency response of s_{22} with additional bias circuitry (microstrip layout mode).

mosc#3p
f=750MHz

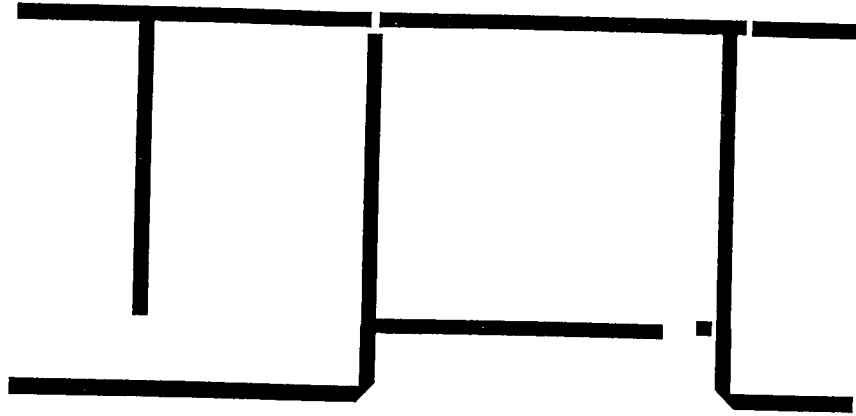


Fig 8 = Layout of the oscillator circuit

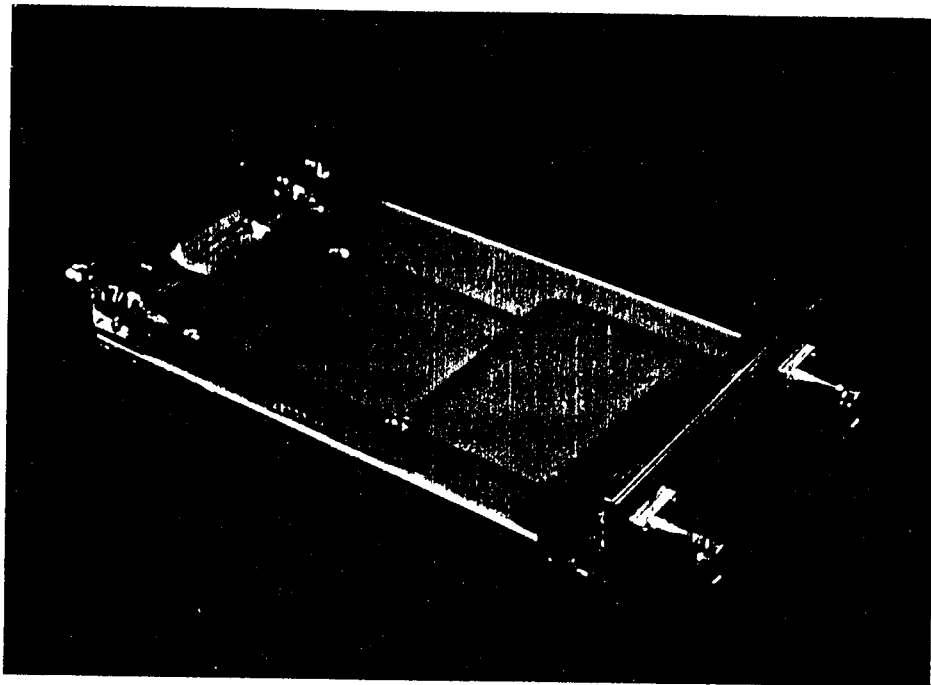


Fig 9 = Photograph of the realized oscillator

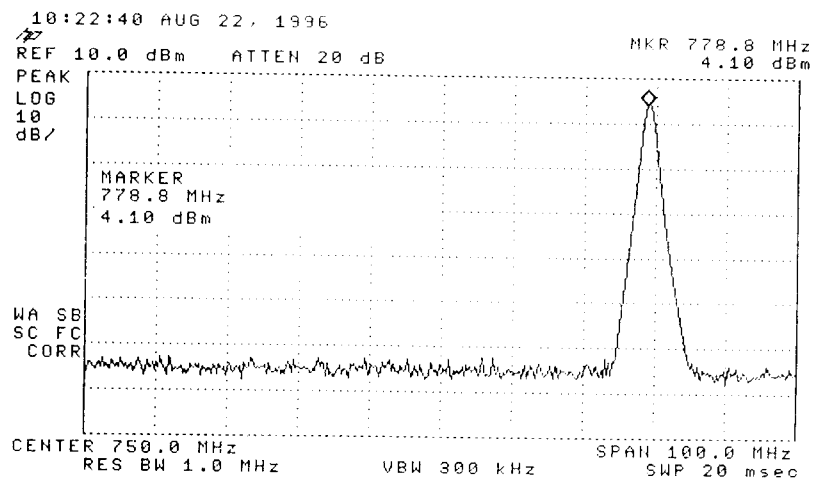


Fig 10 = Spectrum at output of the oscillator

Entwurf und Entwicklung eines programmierbaren AT-Bus Interface ASIC in VHDL

Dipl.-Ing (FH) Bodo Schakols

Labor für computergestützten Schaltungsentwurf,
Fachhochschule Karlsruhe, Hochschule für Technik

Tel.: 0721 / 925 - 2244, Fax: - 2259, email: schakols@fh-karlsruhe.de

Für das Labor für computergestützten Schaltungsentwurf an der Fachhochschule Karlsruhe war ein Beispiel für ein Semi-Custom-Design durchzuführen, welches den Studenten als Leitfaden bei der Durchführung der erforderlichen Designschritte für die Entwicklung von digitalen ASIC's in VHDL dient.

Als Beispiel-Design wurde ein ASIC entwickelt, welcher die Ankopplung von peripherer Hardware an den PC über den AT-Bus erheblich vereinfacht. Der Aufbau eines Interface zum AT-Bus erfordert nur noch diesen ASIC, einen DIP-Schalter und ein Widerstand-Array. Durch die Programmierbarkeit des ASIC ist die notwendige Flexibilität für den Einsatz auf einer standardisierten Prototypenkarte gegeben. Ein Einsatz einer solchen Prototypenkarte führt zu einer erheblichen Zeit- und Arbeitersparnis beim Einsatz in Studien-, Diplom- und Projektarbeiten, da sie den Aufbau eines Interface mit Standard Logikbausteinen oder programmierten GAL Bausteinen überflüssig macht.

1. Entwicklung

1.1 Entwicklungsumgebung

Plattform:	LAN aus 8 HP900 Workstations der Serie 700
OS:	HP-UX, Unix Derivat von HP
CAE-Software	Mentor Graphics A.2-F Design Architect (DA) inklusive VHDL Compiler (IEEE - 1076) Design Viewpoint Editor (DVE) QuickSim II (QSIMII) Autologic (AL) IC-Station (IC)

1.2 Entwicklungsschritte

VHDL-Entwurf (DA):

Festlegen der gewünschten Hardware-Funktion des ASIC. Aufteilung der Top-Komponente in mehrere Komponenten und Beschreibung dieser in VHDL (Top-Down Design).

Simulation (QSIM II):

Simulation der VHDL-Komponenten. Schreiben von VHDL Test-Benches / AMPLE Script-Files für den Test der VHDL-Komponenten. Simulation der Gesamtfunktion (VHDL Top-Komponente) unter Einsatz von AMPLE Script-Files.

Synthese (AL):

Synthetisieren der VHDL Top-Komponenten auf eine Grundbibliothek von standardisierten Logik-Elementen (Generic Library).

Optimierung (AL):

Übertragen der synthetisierten Top-Komponente auf eine Zielbibliothek. (MIETEC CMOS 0.7µm) unter Optimierung verschiedener Eigenschaften (Timing, Platzbedarf). Weitere Simulation (Spike, Hazard, Toggle und Contention Check) und Vergleich mit den Ergebnissen der Simulation der VHDL Top-Komponenten.

Bonding-Diagramm:

Auswahl der benötigten I/O-Zellen sowie der Art und Anzahl der Power-Zellen. Siehe Bild 1. Zuordnung der I/O- und Power-Zellen zu den Gehäuse-Anschlüssen (Pins).

Chip-Layout Generierung (IC):

Einsatz automatischer Tools zur Erzeugung des Chip-Layout. Manuelle Korrekturen und Fertigstellung des Layout. Layout Versus Schematic Check (LVS-Check) — Verifikation der Übereinstimmung von Chip-Layout und dem Schematic der optimierten Top-Komponente. Design Rule Check (DRC) — Verifikation der Einhaltung technologiespezifischer Layout-Geometrien.

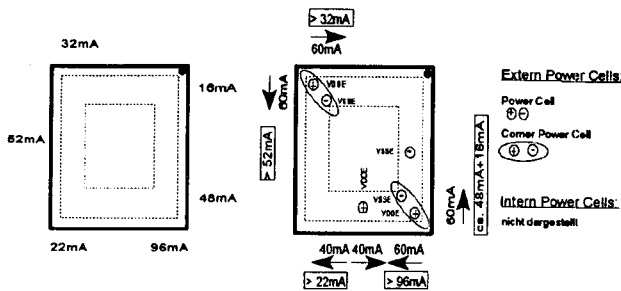


Bild 1 Stromaufnahme der I/O-Zellen und Platzierung der Power-Zellen.

2. Bausteinbeschreibung

Bild 2 zeigt das Schema eines herkömmlichen Aufbaus eines AT-Bus Interface. Die Komponenten für das Interface sind grau unterlegt.

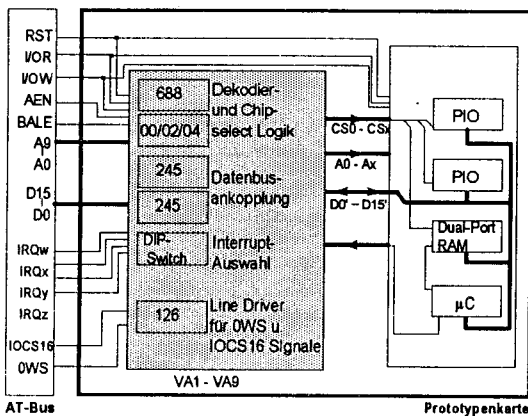


Bild 2 Herkömmlicher Aufbau eines AT-Bus Interface

Bild 3 zeigt den Aufbau eines AT-Bus Interface unter Einsatz des ASIC.

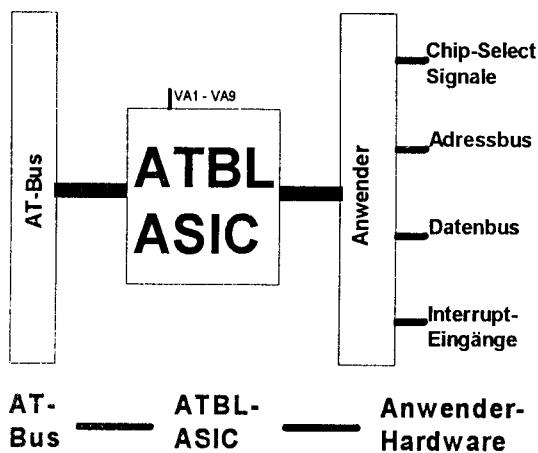


Bild 3 Aufbau eines AT-Bus Interface unter Einsatz des ASIC

Es ist nur noch die Erzeugung einer Basisadresse erforderlich, welche die Lage der beiden Register des ASIC nach einem Reset des Bausteins bestimmt. Bis auf einen DIP-Schalter und ein Widerstands-Array entfallen somit sämtliche Bausteine bei der Realisierung des Interface.

2.1 Adressraumverwaltung

Der Adressraum (AR) den der ASIC im I/O-Adressbereich des PC belegt, kann in Potenzen von Zwei zwischen 2 und 32 eingestellt werden.

Der ASIC erlaubt es den AR in gleichgroße Teiladressräume (TAR) aufzuteilen. Die Teiladressraumgröße muß eine Potenz von Zwei sein. Bild 4 zeigt für einen AR von 32 Adressen einige der Möglichkeiten für die Aufteilung.

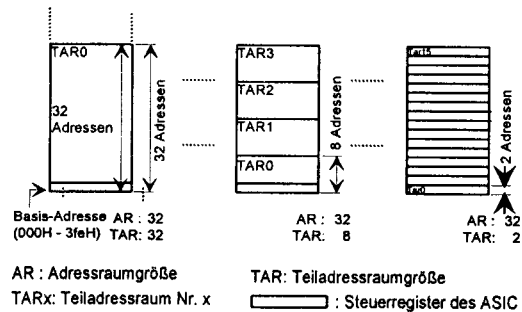


Bild 4 Beispiele der AR-Aufteilung bei 32 I/O-Adressen

Die Teiladressräume werden von Null beginnend durchnummeriert. Für jeden TAR wird ein Chip-Select Signal erzeugt, welches an einem zugeordneten Pin abgenommen werden kann. Der Teiladressraum der Nummer Null (TAR0) liegt grundsätzlich an der Basisadresse. Innerhalb des TAR0 wird über die erste Adresse ein direkt adressierbares Register angesprochen. Über die nächsthöhere Adresse wird ein Adressfenster angesprochen, durch das die internen, programmierbaren Register erreicht werden können. Nach einem Reset ist die Basisadresse gleich der eingestellten Vergleichsadresse (VA1 - VA9). Nach der Wahl der AR Größe ($AR = 2^n$) wird die Basisadresse nachgeführt. Sie entspricht dann der Vergleichsadresse, deren n niederwertigsten Bits zu Null gesetzt sind. Nachdem die Größe des AR gewählt wurde, erfolgt die Aufteilung des AR in TAR gleicher Größe.

2.2 Leistungsmerkmale

Verwaltung von bis zu 16 Peripherie-Bausteinen.

Belegung von bis zu 32 I/O-Adressen.

Verwaltung von bis zu 4 Hardware-Interrupts.

Steuerung der Zugriffsart (Standard, 16-Bit, 0-Wait-state, I/O-CH Ready) (neben der Zugriffsart Standard sind maximal 2 weitere Zugriffsarten möglich)

alle Funktionen programmierbar
 0.7µm CMOS-Technologie von Alcatel-Mietec
 max. Propagation Delay Time von ca. 20ns (unter kapazitiver Last der entsprechenden Busleitung)
 Ruhestrom: 11mA

3. Anwendungsbeispiel

3.1 Schaltung

Im folgenden wird eine sehr einfache Anwendung des ASIC gezeigt. Es wird ein einzelner PIO-Baustein (8255) an den AT-Bus angekoppelt. Bild 5 zeigt die entsprechende Schaltung.

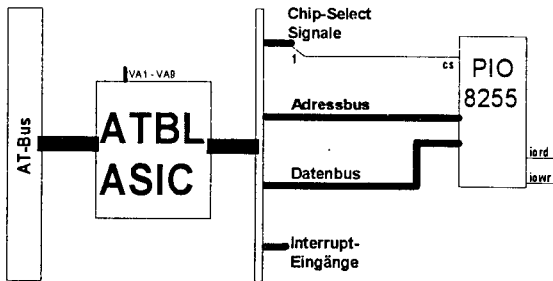


Bild 5 Ankopplung einer 8255 PIO an den AT-Bus

Die Vergleichsadresse ist durch einen DIP-Schalter mit 0300H vorgegeben. Bild 6 zeigt den I/O-Adressbereich, wie er nach der Programmierung der Register Reg0 und Reg1 durch den ASIC belegt wird. Bild 7 zeigt die Programmierung der internen Register, wenn der ASIC einen AR von 8 Adressen verwalten soll und für den PIO-Baustein der einzige TAR mit einer Größe von 8 Adressen vorgesehen ist. Der PIO-Baustein soll mit 8-Bit, 0WS- Zugriffen angesprochen werden.

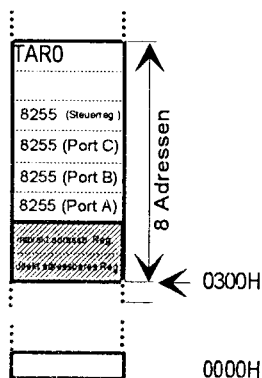


Bild 6 I/O-Adressraumbelegung

Register-Programmierung

- Reg0: 03H
- Reg1: 02H
- Reg2: 00H
- Reg4: 00H
- Reg5: 00H
- Reg6: 00H
- Reg7: 01H
- Reg8: 00H

Bild 7 Register-Programmierung

3.2 Ergebnis

Bild 8 zeigt das Timing-Diagramm für einen 0-Waitstate Schreibzugriff auf die Adresse 303H.

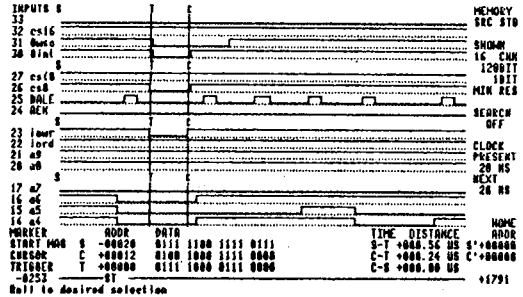


Bild 8 0-Waitstate Schreibzugriff auf den PIO 8255

Das Signal „iowr“ ist das vom AT-Bus erzeugte I/O-Command Signal für einen I/O-Schreibzugriff. Das Signal „cs0“ ist das dem PIO-Baustein zugeführte Chip-Select Signal und „owso“ das dem AT-Bus zugeführte 0-Waitstate Signal.

4. Layout

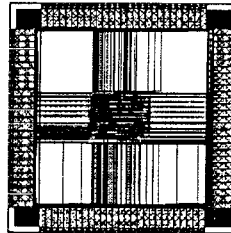


Bild 9 Chip-Layout des AT-Bus Interface ASIC.

5. Situation und Ausblick

Beide bisher getesteten Chips waren voll funktionsfähig. In einer Studienarbeit soll nun das Verhalten des ASIC im Betrieb am AT-Bus bei der maximal möglichen Datentransfer-Rate untersucht werden. Für den Einsatz des ASIC auf einer standardisierten Prototypen-Karte, wird bei der endgültigen Version des Bausteins die On-Board Debug-Logik entfernt und an ein Packaging in einem PLCC 84 Gehäuse gedacht.

Entwurf eines Mikrocontrollers mit dem embedded Prozessorkern FHOP

Dipl.-Ing. (FH) Wolfgang Vollmer, ASIC-Design-Center
 Fachhochschule Offenburg, Badstr. 24, 77652 Offenburg
 Tel. 0781/205-272, Fax 0781/205-242,
 E-Mail: W.Vollmer@fh-offenburg.de

Als Fortsetzung des FHOP-Projektes wurde an der Fachhochschule Offenburg auf Basis des bestehenden Mikroprozessorkerns im Rahmen einer Diplomarbeit ein Mikrocontroller in ES2-0.7 μm -Technologie entworfen. Der Controller wurde modular aufgebaut mit den Komponenten: FHOP-Mikroprozessor, Buscontroller, Waitstate-Chipselect-Einheit, 16x16 Bit Multiplizierer, 2KB ROM, 256 Byte RAM, Watchdog, PIO mit 16 konfigurierbaren Ports, SIO, 2 Timer und ein Interruptcontroller für 8 Interruptquellen.

Der Chip benötigt bei einer Komplexität von ca. 65400 Transistoren eine Siliziumfläche von etwa 27 mm². Er wurde im September 1996 zur Fertigung gegeben und mittlerweile erfolgreich getestet. Das interne ROM des Mikrocontrollers enthält das BIOS sowie ein Testprogramm. Zur Erstellung der Software steht eine komplette Entwicklungsumgebung zur Verfügung. Sämtliche Komponenten stehen im FHOP-Design-Kit in Kürze zur Verfügung.

1. Einführung

Ende 1994 begann man an der Fachhochschule Offenburg einen eigenen Prozessor zu entwickeln. Ziel war es, eine Steuerungskomponente zu erhalten, deren Verhalten leicht beeinflusst werden kann und somit flexibel ist. Die Verfügbarkeit der RAM und ROM-Megazellen begünstigte es, daß gleich ein kompletter Prozessor entworfen wurde (Bild 1). Gleichzeitig bekommen die Studenten Einblicke in die Funktionsweise eines Prozessors. Der Prozessor wurde 1995 gefertigt und in seiner Funktion getestet. Er verfügt über folgende wesentliche Leistungsmerkmale:

- 16 bit Architektur (16 bit ALU)
- externer 8 bit breiter Datenbus
- 64 KB Adressraum
- 6 Register
- Steuereingänge HOLD, INT und READY
- Befehle für Transfer, Arithmetik, Logik, Schieben, Sprünge und sonstige Operationen (u. a. Software-Interrupt)

- bis 50 MHz getestet, ca. 8 MIPS
- verfügbar als ES2 0,7 μm Hardmacro

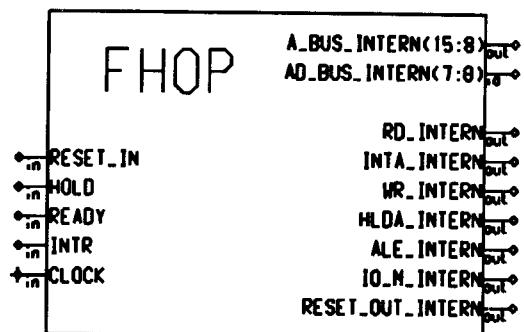


Bild 1: Symbol FHOP

Neben den bereits existierenden Megazellen für RAM und ROM werden häufig Komponenten benötigt, die eine weitere Einsatzmöglichkeit zulassen. Solche Komponenten sind vor allem:

- Parallele Ein-/Ausgabe (PIO) zur Steuerung digitaler Signale
- Serielle Schnittstelle (SIO) zur Kommunikation mit einem PC oder ähnlichem
- Zeitfunktionen (Timer) zur zeitabhängigen Auslösung von Aktionen
- Interruptcontroller zur Verwaltung mehrerer Interrupteingänge
- Watchdog zur Programmüberwachung
- Multiplizierer zur schnellen Multiplikation

Die Aufgabe bestand darin, die einzelnen Komponenten als Hardmakros zu erstellen und dann zu einem Mikrocontroller zusammenzufassen. Desweiteren wurden diese einzelnen Peripheriemodule zu einem Baukastensystem (Design-Kit) zusammengestellt und können somit auch in anderen Anwendungen schnell und einfach eingesetzt werden (Wiederverwertbarkeit).

2. Hardwareentwurf

Der Mikrocontroller besteht aus mehreren Komponenten (Bild 2). Das Herzstück bildet der Mikroprozessor FHOP. Er ist über den Buscontroller mit dem

externen Bus, d. h. der Außenwelt verbunden und kann über den internen Bus alle Peripheriemodule des Mikrocontrollers ansprechen. Die Chipselect-Einheit generiert Signale für alle internen Einheiten. Diese Signale kennzeichnen, wann der Prozessor auf die entsprechende Komponente zugreift. Desweiteren stehen acht externe CS-Signale zur Verfügung, deren aktiver Speicherbereich konfiguriert werden kann. Eine externe Adressdecodierung entfällt somit. Ebenso kann ein externer Waitstate-Generator entfallen, da dieser ebenfalls intern realisiert und getrennt für Speicher und Ports auf bis zu 14 Waitstates konfiguriert werden kann.

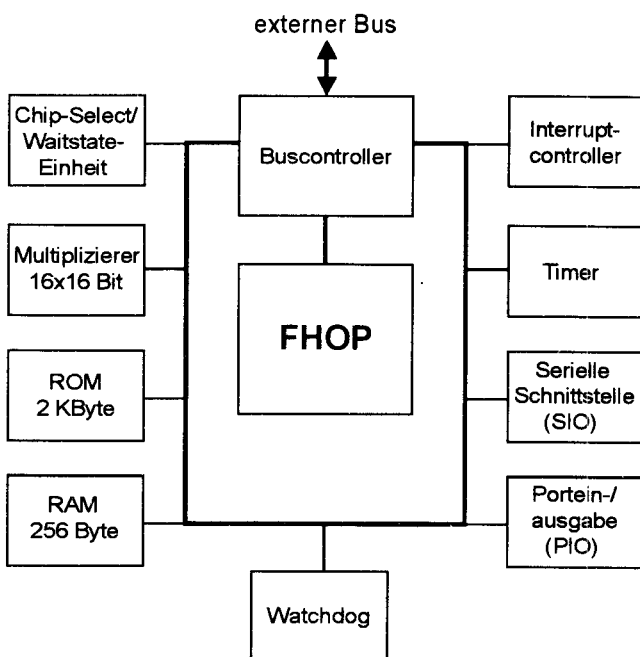


Bild 2: Architektur des Mikrocontrollers

Der Multiplizierer ermöglicht eine 16x16 Bit Hardwaremultiplikation im Integerformat. Er besteht im wesentlichen aus einer Megazelle wie auch das 2 KB ROM und 256 Byte RAM. Diese beiden Speicherbausteine werden benötigt, um das Programm, Daten, Variablen, Interruptvektoren und den Stack abzulegen.

Der Watchdog kontrolliert den Programmablauf und löst einen Reset aus, falls er nicht regelmässig getriggert wird.

Die PIO besteht aus zwei Einheiten mit jeweils 8 Bit, deren Port bitweise auf Ein- oder Ausgang konfiguriert werden können.

Die SIO entspricht dem RS232 Standard, arbeitet voll duplex bei 8 Datenbits, 1 Start- und 1 Stopbit, gerader oder ungerader Parität und verfügt über zwei Interruptausgänge, die den Empfang bzw. das Ende einer Sendebotschaft signalisieren.

Die Timerkomponente verfügt über zwei voneinander unabhängige Timer, ist über mehrere Dekaden pro-

grammierbar und kann auch zum Zählen von externen Ereignissen verwendet werden. Jeder Timer verfügt über einen Interruptausgang, der aktiviert wird, wenn die Zeit bzw. ein bestimmter Zählerstand erreicht ist.

Der Interruptcontroller besitzt 8 Eingänge, wovon einer als NMI-Eingang definiert ist. Die Eingänge sind konfigurierbar in der Freigabe, Priorität und Flanke zur Auslösung. 4 Eingänge werden bereits für SIO und Timer benötigt, die restlichen vier stehen extern zur Verfügung.

Der Entwurf sämtlicher Komponenten wurde mit dem Design Architekt auf Schematic-Ebene sowie über VHDL und anschließender Synthetisierung durchgeführt. Das Routing des kompletten Mikrocontrollers benötigt etwa 27 mm² und wurde mit der ES2 0,7 µm Technologie gefertigt (Bild 3). Dabei sind die einzelnen Peripheriemodule separat als Hardmacro geroutet, können so auch in anderen Entwürfen eingesetzt werden.

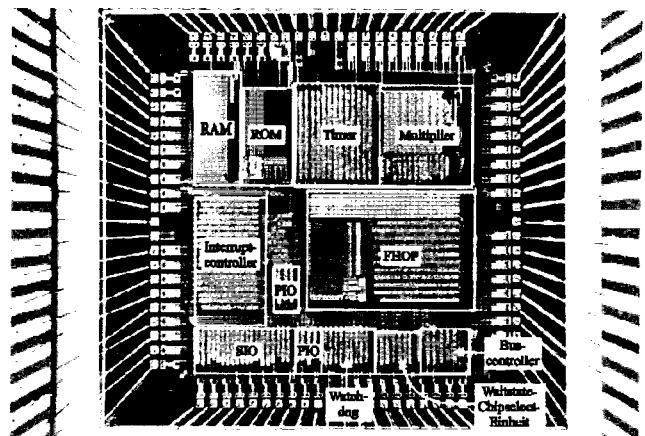


Bild 3: Routing und Chipaufteilung

3. Software des Mikrocontrollers

Im Routing integriert ist bereits ein ROM von 2 KB. Dieses Rom beinhaltet ein BIOS, das Funktionen zur Verfügung stellt, um sämtliche Peripheriemodule ansprechen zu können (Bild 4).

Häufig benötigte Funktionen sind somit bereits implementiert und können bequem auch von einem externen ROM mittels Software-Interrupt (SWI) aufgerufen werden. Die hardwarenahe Programmierung reduziert sich somit auf ein Minimum, wodurch in kürzester Zeit ein Ergebnis erreicht werden kann. Eventuell notwendige Interruptroutinen sind ebenfalls im BIOS implementiert und stellen somit Standardroutinen zur Verfügung. Sollen leistungsstärkere Interruptroutinen verwendet werden, so muß nur der Interruptvektor im RAM umgebogen werden.

Neben dem BIOS enthält das ROM noch ein Testprogramm, das mittels der BIOS-Routinen die Peripheriemodule per Software testet. Über die PIO-Ein-

gabe kann entschieden werden, welches Testprogramm aktiviert wird. Das Ergebnis kann teilweise am PIO-PORT B abgelesen werden. Mit einem Pin kann die Testfunktion disabled werden. Dann wird zu einer externen Adresse gesprungen, wo ein EPROM die Kontrolle über den Prozessor übernimmt. Somit ist der Chip auch für andere Anwendungen einsetzbar.

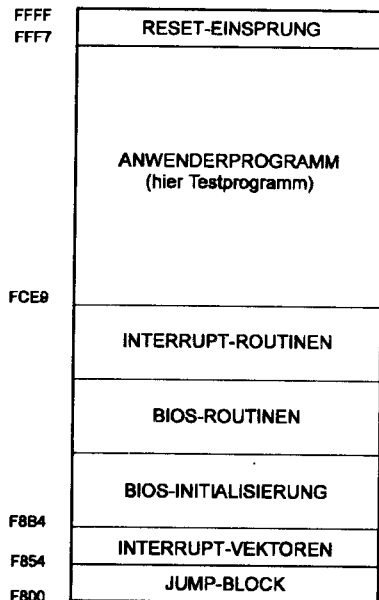


Bild 4: ROM-Aufteilung

4. Hardware-Software-Codesign

Durch die Möglichkeit, Software direkt als Megazelle, d. h. als Siliziumfläche abzulegen, entsteht eine neue Situation. Die Software muß gleich mit dem ersten Entwurf 100% korrekt sein. Eine nachträgliche Änderung ist nur über eine erneute Chipfertigung mit geändertem Programm möglich. Ist die Software falsch, kann dies ein Mißerfolg für einen 100% korrekten Hardwareentwurf bedeuten. Deshalb wurde im Rahmen von zwei weiteren Diplomarbeiten eine Entwicklungsumgebung geschaffen, die dieses Risiko auf ein Minimum reduziert. Genau wie bei der Hardware der Entwurf mittels eines Simulators (Quicksim) kontrolliert werden kann, ist es möglich, den Softwareentwurf, der mit dem Assembler erstellt wurde, mit dem Simulator zu prüfen (Bild 5 und 6). Der Simulator stellt ein abstraktes Abbild des FHOP-Prozessors dar. Es besteht die Möglichkeit, jeder aktuelle Schritt des Prozessors im Programmlisting sowie im „Trace“-Fenster zu kontrollieren. Hier werden ebenfalls asynchrone Ereignisse (Interrupt, Reset) des Prozessors erfaßt, die über spezielle Benutzereingaben aktiviert werden können. Der Programmablauf ist dabei schrittweise, im „Slow“-Betrieb oder „Run“-Betrieb möglich. Durch das Setzen von Breakpoints ist eine gezielte Programmunterbrechung möglich. In weiteren Fen-

stern können die Registerinhalte, der Speicher, der Stackbereich sowie die Portzustände überwacht bzw. beeinflusst werden. Somit sind alle Ereignisse, die auf den FHOP wirken bzw. von ihm ausgehen, zu erzwingen bzw. auszuwerten.

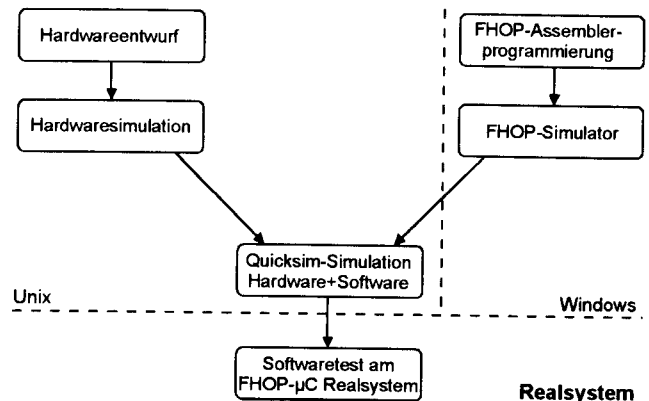


Bild 5: Simulationsübersicht (Hardware-Software-Codesign)

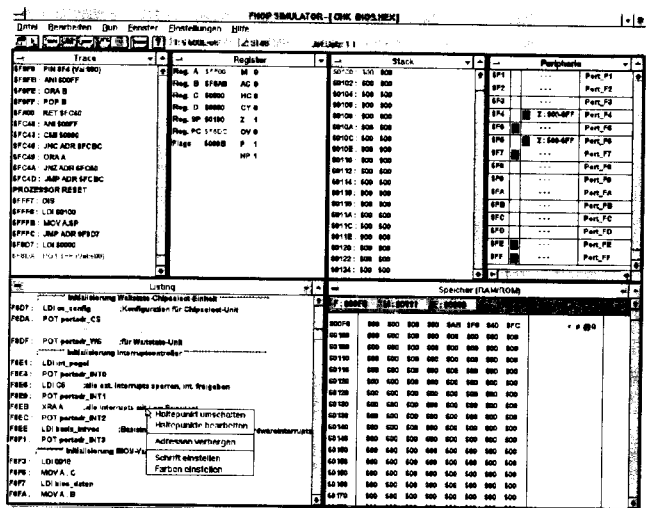


Bild 6: FHOP-Simulator

Über die DDE-Schnittstelle von Windows ist es außerdem möglich, zusätzliche Peripheriemodule (z. B. Tastatur oder LCD-Display), die über Speicher- oder Portzugriffe mit dem Prozessor in Verbindung stehen, als separate Windows-Anwendungen zu ergänzen. Diese Anwendungen sollen dann ein abstraktes Abbild des Peripheriemoduls darstellen. Dadurch ist es möglich, ein komplettes Hardwaresystem nachzubilden und die Software zu testen. Lediglich das Timing muß nochmals kontrolliert werden. Dies ist über eine Quicksim-Simulation möglich, wobei gleichzeitig die Hardware mit der Software simuliert werden kann. Die Simulation von Hardware-Software-Codesigns ist somit möglich. Es kann in der Simulation ein komplettes Programm oder Programmteile simuliert werden und dadurch das Zusammenspiel zwischen Hardware und Software kontrolliert werden. Es können einzelne Befehle

nachverfolgt werden (Bild 7), bzw. komplette Programmteile auf ihr Resultat (z. B. PIO-Ausgabe) kontrolliert werden. Der Nachteil besteht noch darin, daß eine solche Simulation je nach Workstation und Hardwareentwurf etwa 10 Minuten benötigt, um 1 ms Programmablauf zu simulieren. Deshalb ist man bestrebt die Software an einem realem System zu testen. Dies ist nun mit der Fertigstellung des Mikrocontrollers möglich. Alle zukünftigen Projekte können nun die Software am Mikrocontroller testen und dabei schon auf die Peripheriemodule zurückgreifen. Neue Komponenten können eventuell mittels einem FPGA ergänzt werden.

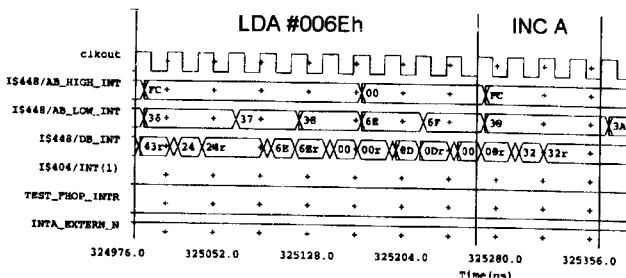


Bild 7: Einzelbefehle simulieren

5. FHOP-Design-Kit

Ist die Software am Realsystem getestet und das Konzept kontrolliert und realisierbar, kann das Projekt als Ein-Chip-Lösung verwirklicht werden. Dazu werden lediglich die Komponenten aus dem Design-Kit übernommen, die für das Projekt benötigt werden (Bild 8). Ergänzt werden sie um die anwenderspezifischen Komponenten.

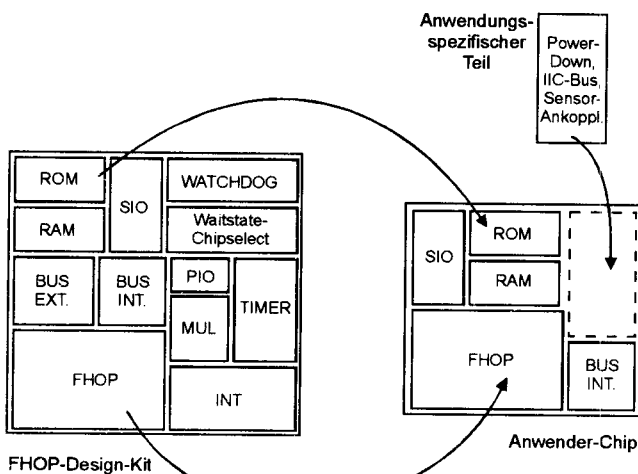
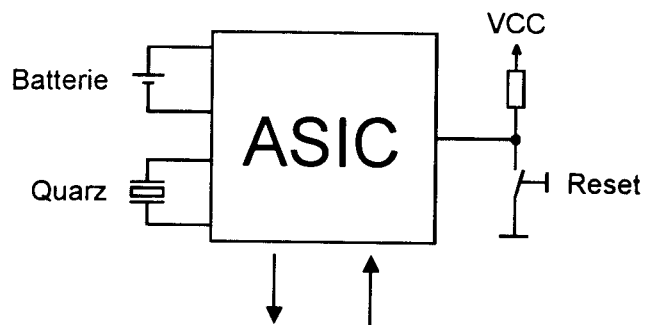


Bild 8: Baukastensystem

Ein solcher Entwurf kann soweit integriert werden, daß an externer Beschaltung lediglich eine Batterie, ein Quarz und ein Reset-Impuls nötig ist (Bild 9).

Entsprechend dem Anwendungsfall kommen weitere externe Bauteile hinzu (z. B. Tastatur, Display usw.).

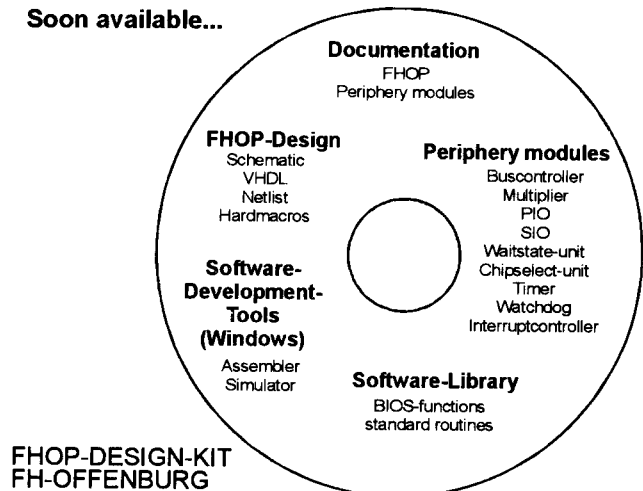


sonstige Anschlüsse
entsprechend der
gewünschten Anwendung

Bild 9: Ein-Chip-Lösung

Zur Zeit arbeiten wir an der Fachhochschule Offen- burg an der Zusammenstellung und Dokumentation des FHOP-Design-Kits (Bild 10). Er wird in Kürze erhältlich sein. Interessenten können sich an mich oder Herrn Jansen wenden.

Soon available...



FHOP-DESIGN-KIT
FH-OFFENBURG

Bild 10: FHOP-Design-Kit auf CD-ROM

Literaturverweis:

- [1] Aufbau eines Mikrocontrollersystems auf der Basis des Mikroprozessorkerns FHOP
Diplomarbeit W. Vollmer, FH-Offenburg, 1996
- [2] Entwicklung der Steuerbaugruppe eines 16-Bit Mikroprozessor-Chips mit VHDL
Diplomarbeit Th. Gieringer, FH-Offenburg, 1994
- [3] Entwicklung des Datenpfads eines 16-Bit Mikroprozessors (FHOP) mit Hilfe von VHDL
Diplomarbeit F. Zimpfer, FH-Offenburg, 1994
- [4] A microprocessor in four month, Veröffentlichung auf der IEEE International ASIC Conference and exhibit, Jansen, Gieringer u. Zimpfer, 1994

rdsdl

Anwendungsspezifischer Schaltkreis zum Senden und Empfang
von Radio-Data-System (RDS) Signalen

W.Ludescher
Fachhochschule
Ravensburg-Weingarten

Anwendungsspezifischer Schaltkreis zum Senden und Empfang von RDS-Signalen.

Übersicht

Das Radio Data System (RDS) hat das Ziel, die Funktionalität eines FM-Empfängers zu verbessern. Zusätzliche Informationen - beispielsweise die Sendefrequenz, weitere alternative Sendefrequenzen, Datum und Uhrzeit, Verkehrsfunk-Kennung, öffentliche oder verschlüsselte Informationen können während eines Mono- oder Stereo-Programms mit abgestrahlt werden. Es wird ein Schaltkreis beschrieben, der als RDS-Sender - mit oder ohne Unterstützung eines Mikroprozessors - arbeitet und RDS-typische Empfangsfunktionen unterstützt, indem er z.B. RDS-Datenblöcke und damit einen Synchronisationszustand erkennt. Im Bedarfsfall kann eine Fehlerkorrektur eingeleitet werden. Ein integriertes FIR-Filter erlaubt es, Synchronisation über mehrere RDS-Blöcke hinweg festzustellen oder zu verfolgen, ohne dafür Prozessor-Rechenzeit zu belegen.

Der ASIC ist für eine 0.8µm CMOS-Technologie entworfen und besitzt eine Komplexität von ca. 80k MOS-Transistoren

1) Einleitung

1.1 - Das Radio-Data-System (RDS)

RDS wird überwiegend im VHF/FM-Hörfunkbereich eingesetzt und erlaubt die Übertragung zusätzlicher, nicht hörbarer, digital codierter Information wie zum Beispiel senderspezifische Daten (Stationsname, Sendefrequenz, alternative Sendefrequenzen,...) oder programmspezifische Daten (Verkehrsfunk, Art des Programms, Uhrzeit, Text-Information,...). Funktionalität sowie Benutzerschnittstelle des Radiogerätes werden dadurch bedeutend verbessert.

1.2 - Das RDS-Datenformat

Die Datenrate des RDS-Signals liegt bei 1187.5Hz, d.h. die Bitzelle des RDS-Bit dauert etwa 0.84ms. Dieser "krumme" Wert ergibt sich, wenn man die 3. Oberwelle des 19kHz-Pilot-Tons (57kHz) durch die ganzzahlige Konstante $N = 48 = 2 * 2 * 2 * 2 * 3$ teilt. Die ersten 16 Bitzellen eines RDS-Signals enthalten 16 "Nutzdatenbit", wobei das höchstwertigste Bit (msb) zeitlich zuerst gesendet wird. Die folgenden 10 Bitzellen enthalten "Prüfbit". Das zur Berechnung der Prüfbit (siehe -3-) notwendige Generatorpolynom lautet $g(x) = x^{10} + x^8 + x^7 + x^5 + x^4 + x^3 + 1$.

Ein dergestalt strukturiertes 26 Bit langes Gebilde nennt man "Block". Die Übertragungszeit eines Blocks beträgt ca. 21.9ms. In den Prüfbit eines jeden Blocks ist eine Block-Kennung versteckt. Dies wird erreicht, indem zu jedem Bit der Prüfsumme ein sogenannter Offset-Wert modulo-2 addiert wird. Damit sind die Blöcke gekennzeichnet. Wir betrachten der Einfachheit halber nur 4 Block-Arten - nämlich A,B,C,D.

Ein Datensatz, der aus der Blocksequenz ABCD besteht, wird "Gruppe" genannt. Eine Gruppe kann 4x16 Nutzdatenbit transportieren, nämlich die Nutzdatenbit der Blöcke A, B, C und D. Die Übertragungszeit der Gruppe beträgt damit ca 87.6ms. Ein vom Sender generierter RDS-Datenstrom reißt nie ab - es werden immer Nutz- oder Prüfbit gesendet. Dabei gilt, daß der Sender immer Gruppen aussendet, also Blöcke in der Reihenfolge ...CDABCDABCDABCD...

Somit sollte ein Empfänger unter optimalen Empfangsbedingungen nach (aufgerundet) 200ms eine vollständige Blocksequenz ABCD "gesehen" haben.

1.3 - Der Aufbau des RDS-Signals

Ein RDS-Datenstrom besteht aus "Bit", "Gruppen" und "Blöcken" und ist wie folgt gegliedert:

<p>1) Bit Kleinste Informationseinheit (0 oder 1)</p>
<p>2) Block: = 26 Bit 16 Informationsbit, 10 Prüf + Offsetbit Die Prüfbit werden durch ein Generatorpolynom $g(x)$ berechnet: Generatorpolynom: $g(x) = x^{10} + x^8 + x^7 + x^5 + x^4 + x^3 + 1$ Blöcke sollen unterscheidbar sein, dies wird erreicht, indem man der Ausgabe des Generators $g(x)$ (dem Prüfwort) ein Offsetwort $d(x)$ Modulo-2 aufaddiert.</p>
<p>3) Gruppe := 4 Blöcke := 104 Bit Die RDS-Gruppe besteht aus 4 Blöcken Blöcke werden zyklisch gesendet: ...,A,B,C,D,A,B,C,D,... Es werden 16 Blocktypen mit je 2 Varianten unterschieden.</p>
<p>4) - RDS-Datenstrom Blöcke in der Reihenfolge ...ABCDABCDABCDABCDABCD... Blocktypen unterschiedlicher Häufigkeit</p>

1.4 - Die RDS-Datenstruktur im Basisband

Betrachten wir folgendes Beispiel: Wir wollen 8 Byte Nutzdaten (4 Worte a 16 Bit) senden. Der Datensatz wird zyklisch wiederholt, die Datenworte sind willkürlich gewählt und haben nur den Zweck, die Codierungs-Struktur im Basisband zu verdeutlichen.

Nutzdaten: Wort1: = 0x0001, Wort2: = 0x8000, Wort3: = 0xFFFF, Wort4: = 0x0001).

Binär codiert stellt sich das folgendermaßen dar:

Wort 1	Wort 2	Wort 3	Wort 4
00000000	00000001	10000000	00000000
11111111	11111111	00000000	00000001

Die Bitfolge wird zeitlich gesendet, wie Sie diese Zeilen lesen: von links nach rechts und von oben nach unten...Um die Datenworte 1..4 nach der Übertragung wiederzufinden, werden sie in 4 verschiedene Blöcke gepackt. Jeder Block ist durch seinen Offset gekennzeichnet.

Es ergibt sich:

Wort(i)	Offset(i)
00000000 00000001	0011111100 /* Wort1,offset 0011111100, Block A
10000000 00000000	0110011000 /* Wort2,offset 0110011000, Block B
11111111 11111111	0101101000 /* Wort3,offset 0101101000, Block C
00000000 00000001	0110110100 /* Wort4,offset 0110110100, Block D

Gesendet werden Code-Vektoren der Struktur:

XXXX	/* X:= dont care
00000000 00000001 0101000101	/* Wort1 mit Prüfsumme+OffsetA
10000000 00000000 0111101111	/* Wort2 mit Prüfsumme+OffsetB
11111111 11111111 0110100101	/* Wort3 mit Prüfsumme+OffsetC
00000000 00000001 0000001101	/* Wort4 mit Prüfsumme+Offset

Der RDS-Sender generiert somit folgenden Datenstrom:

XXXX
00000000 00000001 0101000101 10000000 00000000 0111101111
11111111 11111111 0110100101 00000000 00000001 0000001101
00000000 00000001 0101000101 10000000 00000000 0111101111

1.5 - Differenzielle Codierung

Regel: Ist das gerade gesendete und das nächste, zu sendende Datenbit
 ... gleich, so wird in der nächsten Bitzelle log0
 ... ungleich, so wird in der nächsten Bitzelle log1 ausgegeben.

a) Datensignal (Code-Vektor):

X 00000000 00000001 0101000101 10000000 00000000 0111101111

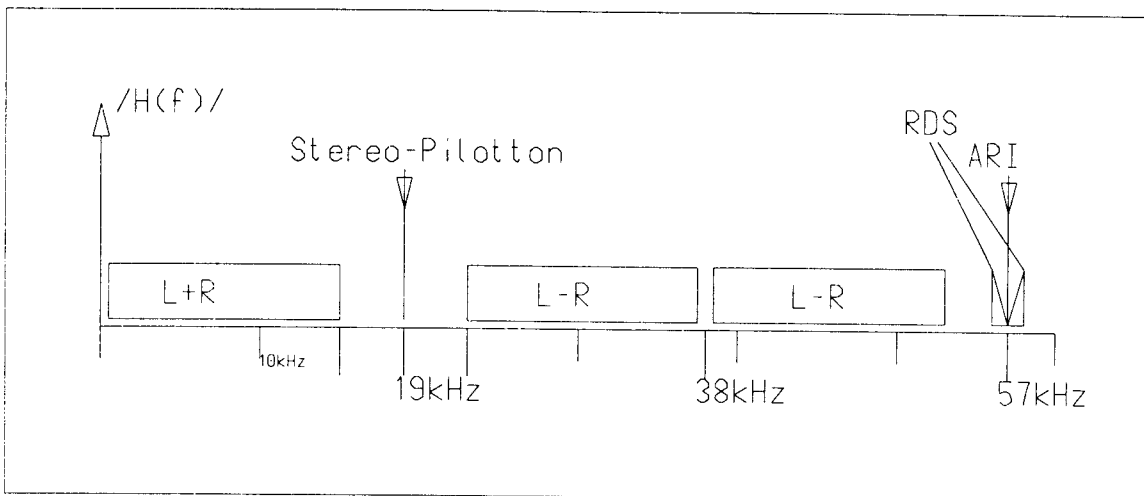
b) Differenziell codiertes Datensignal:

0 00000000 00000001 1001111001 00000000 00000000 0101001010

Der Vorteil der differenziellen Codierung zeigt sich beim Empfang: Signale werden "richtig" empfangen, auch wenn das empfangene Eingangssignal invertiert sein sollte.

1.6 - Biphase-Codierung

Um die Bandbreite des Datensignals klein und den DC-Anteil auf Null zu bringen wird der Bitstrom biphase-codiert. Die Modulation auf 57kHz macht es unhörbar. Damit ergibt sich die Lage des RDS-Signals im Spektrum des UKW-FM-Stereo-Signal.



2) - RDS-Datensender

2.1 - Übersicht

RDS-typische Funktionen sind auf eine anwendungsspezifische Schaltung (ASIC) aufgeteilt. Sende- und Empfangsfunktionen sind getrennt gehalten. Der ASIC ist für die Fertigung am IMS-Stuttgart vorbereitet. Zieltechnologie: gate-array, 0.8µm-CMOS, Zweilagigen-Metallisierung.

Es werden zwei Betriebsarten unterschieden:

a) Stand-Alone-Modus - Betrieb ohne Mikroprozessor

Diese Betriebsart realisiert einen RDS-Bitmuster-Generator/Testsender, der zum Betrieb nur 2 Bausteine, nämlich den ASIC und ein externes EPROM benötigt. Das EPROM wird durch den ASIC angesprochen und ausgelesen. Im EPROM sind die zu sendenden Nutzdaten und die Block-Kennung (Offset) gespeichert - daraus resultierende Prüfsummen errechnet der ASIC automatisch. Der Sender generiert und sendet den RDS-Block, ein Bit signalisiert, ob weitere Blöcke vorliegen. Diese werden ggf. geladen und gesendet - die dazu notwendigen Adresszähler befinden sich im ASIC.

b) Steuerung durch Mikroprozessor.

Diese Betriebsart benötigt 3 Bausteine: Einen Mikro-Prozessor (uP), den ASIC und ein EPROM. Der uP findet sein Programm im externen EPROM, der Zugriff wird über den ASIC gesteuert. Daten- und Adress-Bus des uPs sind gemultiplext. Ist das Signal ALE = 1, werden 8 Bit des Datenbusses und 8 Bit des Adress-Busses in einen ASIC-Registerblock geschrieben und später als 16-Bit-Adresse verwendet. Somit ist ein Adressraum von 64kByte bereitgestellt, wobei nach dem Reset folgendes gilt:

Adressen: FF00-FF20: interne Register des ASICs

Rest: EPROM, für uP-Programm oder Daten

Der uP (z.B. Motorola M68HC11E1FN) wird in dieser Konfiguration seinen Reset-Vektor etc. an der richtigen Stelle finden, seinen Befehlszähler damit laden und ein Programm im EPROM abarbeiten. Enthält das EPROM fast ausschließlich Sendedaten, entspricht das einer Sendezeit von ca 5 Minuten, ehe sich der Nutzttext wiederholt. RAM-Kapazitäten von Single-Chip-Prozessoren sind oft kleiner als 1kByte. Um RDS-Daten im Minutenbereich lokal mitzuschreiben ist ein deutlich größerer RAM-Bereich notwendig, was nur extern möglich ist. Dies muß durch Logik unterstützt werden. Ein Auswahl-Register (8 Bit breit) in ADI "beschattet" EPROM-Bereiche durch RAM-Bereiche. Ist ein Bit im Auswahl-Register auf log1 gesetzt, erscheint ein 8k-RAM-Bereich anstelle des EPROMS. Im Extremfall findet der uP ausschließlich RAM vor, nach dem RESET ist immer EPROM sichtbar, aus dem das System initialisiert wird.

2.2 - Funktionsblöcke

Der Baustein besteht aus:

- 1) ADI Adress/Data-Interface, uP-Schnittstelle
- 2) TXCPS Taktaufbereitung und Modulation im Sender
- 3) TXM RDS-Datengenerator/Sender

ADI realisiert die Ankopplung eines uPs ohne zusätzliche Logikbausteine.

TXCPS generiert die zum Sendebetrieb - Ausgeben, Codieren und Modulieren - notwendigen Signale wie z.B das "differential coded signal" oder das "biphase coded radio signal". Abgeleitet werden die Signale aus einem 4.332MHz-Takt.

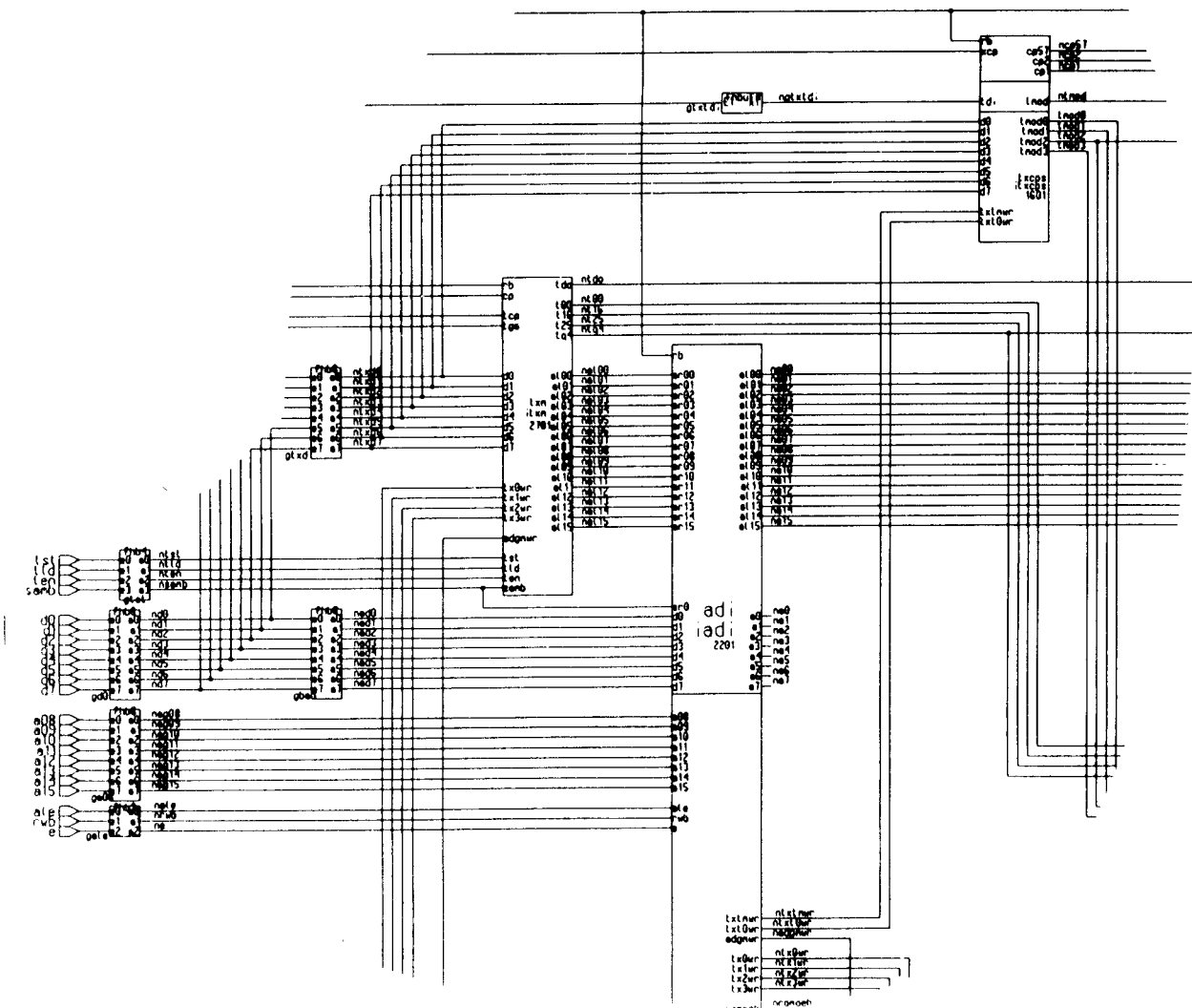
Sendebetrieb soll auch ohne uP möglich sein, die EPROM-Adressen werden dann durch TXM erzeugt. TXM enthält auch den RDS-Datensender mit einem Registersatz, in den die 16 Nutzdatenbit und 10 (also 8 + 2) Offset-Bit geschrieben werden. Im stand-alone-Modus steuert eine finit state machine (fsm) in ADI den TXM.

Gate-array, 0.8um-CMOS

30k CMOS-Transistoren.

Funktionsblöcke:

- | | |
|-------|---|
| ADI | Adress/Data-Interface, uP-Schnittstelle |
| TXCPS | Taktaufbereitung und Modulation im Sender |
| TXM | RDS-Datengenerator/Sender |



3) Der RDS-Empfänger

3.1 Empfang von RDS-Signalen

Um festzustellen, was für Forderungen an einen RDS-Baustein zu stellen sind, betrachten wir verschiedene Möglichkeiten:

a) Ortsfeste Empfangsstelle, hochwertige Empfangsanlage

Sie schalten Ihr Radio ein oder wechseln den Sender. Ein empfangswürdiges Signal liege vor, RDS werde ausgestrahlt. Der RDS-ASIC hat damit die Aufgabe, eine Blocksequenz ABCD zu finden (d.h. zu synchronisieren), anschliessend einfallende Blöcke (in zyklisch steigender Sequenz) zu lesen und zu melden.

b) Transiente Störungen

Ihr UKW-Empfang wird gelegentlich durch Störungen beeinträchtigt.

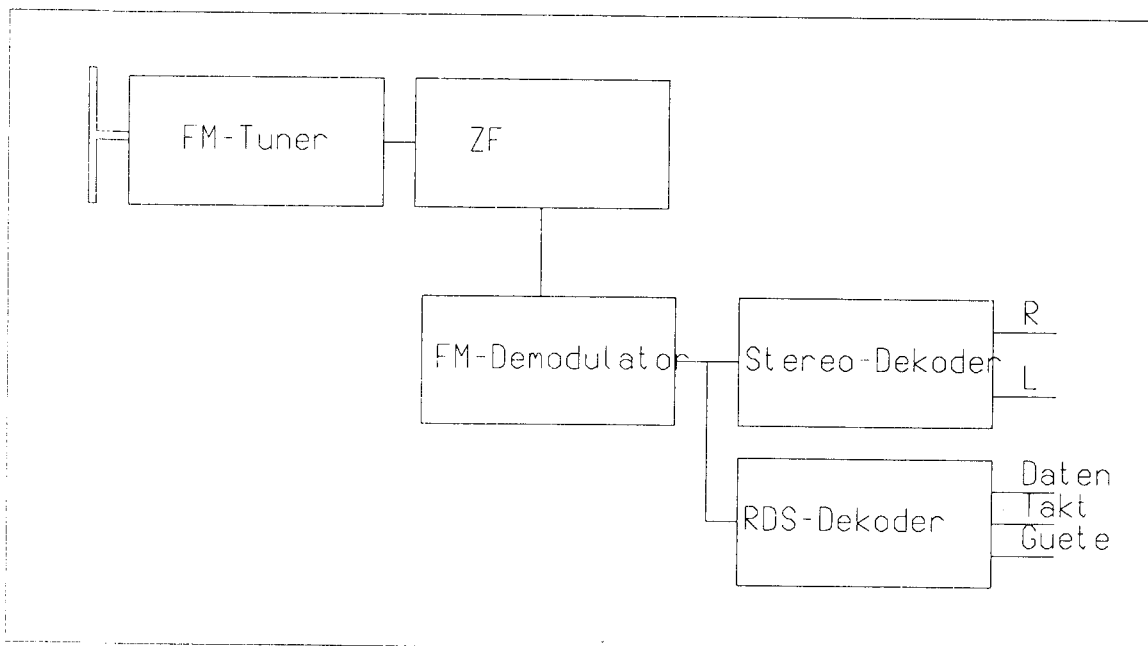
Mögliche Störquellen sind z.B. Zündfunken-Störungen durch Haushaltsgeräte, Störungen durch PC-Oberwellen, Funk,...

Der RDS-ASIC hat damit die Aufgabe, die Sequenzfolge zu halten und verfälschte Nutzdaten-Bit - soweit möglich - zu rekonstruieren.

c) Mobiler Betrieb, Überreichweiten, Fading

Sie erreichen die Grenze des Sendebereiches oder durchfahren abgeschattete Gebiete. Der UKW-Empfang wird beeinträchtigt - womit sich die Aufgaben "Synchronisation halten" und "Fehlerkorrektur" ergeben.

An der Empfangsstelle kann der Datenstrom daher aus verschiedenen Gründen sehr wohl abreißen. Das bedeutet für den Empfänger: Block, dann Blocksequenz ABCD suchen, um zu re-synchronisieren.



3.2 - Der Empfangsbaustein

Der Baustein besteht aus den Funktionsblöcken ADI (Adress/Data-Interface, uP-Schnittstelle) und RXM (Empfänger mit Block- und Sequenzerkennung). RXM realisiert vorwiegend RDS-typische Funktionen und unterstützt den Empfang von RDS-Daten. Dort befinden sich die Baugruppen:

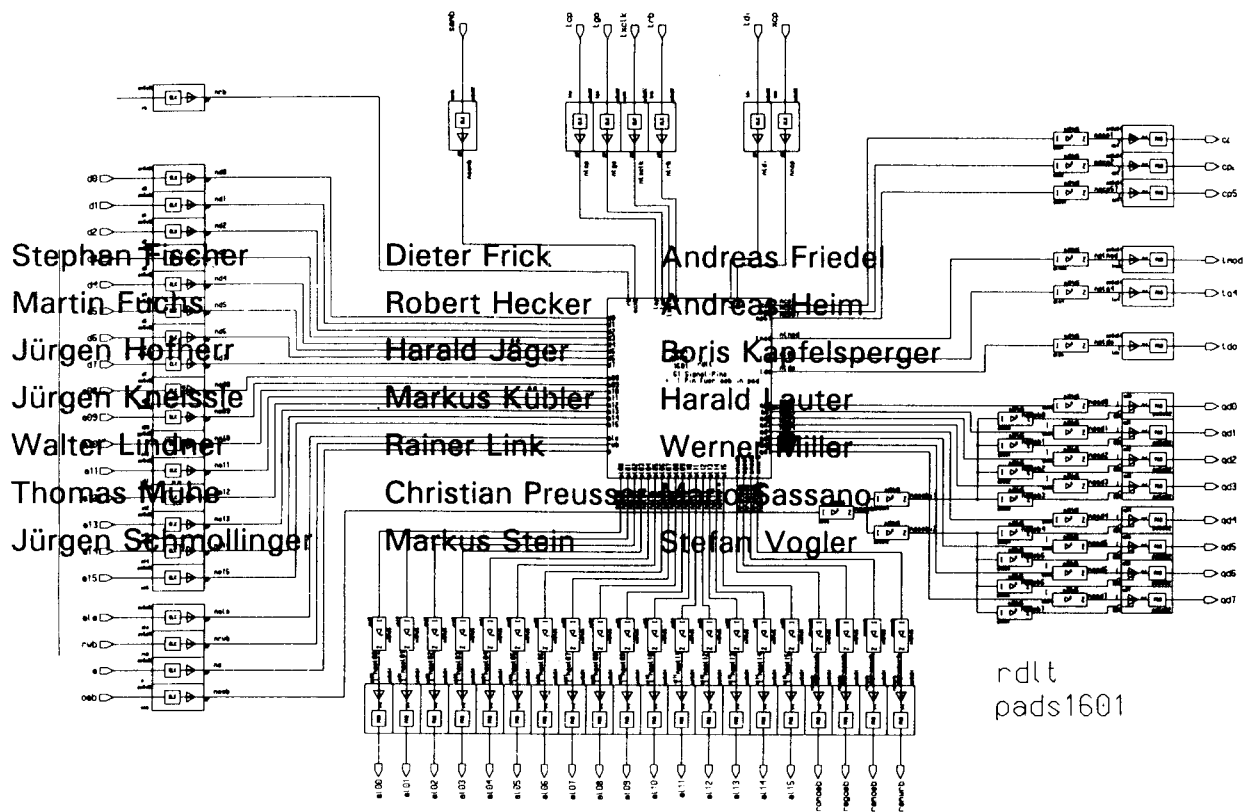
- RXM-SYN Synchronisation
- RXM-SEQ Sequenz-Suche
- RXM-RXI Empfänger/Fehlerkorrektur und
- RXM-REG. uP-Register-Schnittstelle

RXM-SYN stellt fest, ob das empfangene RDS-Bit ein 26tes Bit, also das lsb der Prüf + Offsetbit und damit das letzte Bit eines gesamten Blocks darstellt. Dazu wird eine Prüfsumme über die 26 Bit gebildet. Handelt es sich bei dem zuletzt empfangenen Datum tatsächlich um das letzte Bit eines Blocks, so steht im Prüfsummen-Block eine "Hausnummer" (genannt Syndrom), die den Block kennzeichnet. Somit ist festgestellt, ob und wenn ja, welcher Block gesendet wurde. Ein Ausgangssignal $blk = 1$ signalisiert einen gültigen Block. RXM-SEQ enthält ein Transversalfilter mit Abgriffen bei $M \cdot 26$ (d.h. $1, 26 + 1, 2 \cdot 26 + 1, 3 \cdot 26 + 1, \dots$). Durch direktes Beobachten (Multiplex auf $M \cdot 26$) wird festgestellt, ob zum gegebenen Zeitpunkt alle M Abgriffe logisch 1 sind, was bedeutet, daß M Blöcke richtig und ungestört empfangen wurden. Diese Information reduziert den Software-Overhead um Synchronisation zu erreichen und zu erhalten auf ein "Status-Lesen" im RXM-SEQ. RXM-RXI bietet neben der Empfangsfunktion die Möglichkeit der Fehlerkorrektur. Eine Korrektur wird angestoßen, wenn der uP feststellt, daß ein Block-Signal nicht zum richtigen Zeitpunkt aktiv wurde, um einen jetzt fälligen Block anzuzeigen. Diese Situation tritt ein, wenn der letzte Block gestört war - z.B. durch Fremdstörung (Zündfunken), etc. Es soll auch vorkommen, daß die PLL, die den RDS-Empfangstakt gewinnt, gelegentlich ausser Tritt kommt und dabei einen Taktimpuls "verschluckt". Dieser Effekt wird als "bit slip" bezeichnet. Aus welchem Grunde auch immer - es ist auf den RDS-Datenstrom zu re-synchronisieren bzw. die bestehende Synchronisation aufrechtzuerhalten und ggf. Übertragungsfehler zu korrigieren.

RXI-REG stellt die Verbindung zur Aussenwelt dar. Hier finden wir vorwiegend Multiplexer, um die internen Datenpfade und Registerblöcke an der 8-Bit-uP-Schnittstelle sichtbar zu machen. Daten von RXI-REG werden durch TRISTATE-Buffer auf die IC-Pins gegeben, deren Freigabe über ADI kontrolliert wird. Solange die externen kapazitiven Lasten nicht zu groß sind, kann damit der ASIC ohne externe Bustreiber direkt an uP und EPROM-Datenbus verdrahtet werden.

4. Ausblick

Der Schaltungsentwurf entstand als Multi-Projekt-Chip (MPC) im CAE-Labor an der Fachhochschule Ravensburg-Weingarten. Wir danken dem Land Baden-Württemberg, das im Rahmen der MPC-Aktivitäten die Fertigung ermöglicht.



Literaturverzeichnis

- 1- Lüder, E. Vorlesung Systemtheorie, Uni Stgt,
- 2- Navabi, Z., VHDL, Analysis and Modelling of Digital Systems
New York, McGraw-Hill 1993
- 3- Radio Data System, Forum WorkGroup 6
RDS Forum WG 6, pr EN 50067:1996

Entwurf eines CMOS-ICs für ein Datenträgersystem

K.-H. Hartner, G. Forster
Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm

In Zusammenarbeit der FH Ulm und der Daimler Benz Aerospace AG Ulm entstand im Rahmen einer Diplomarbeit ein Vollkunden-Layout eines ICs für ein Datenträgersystem. Die Aufgabe bestand in der Schaltungssimulation und der ASIC-Integration mit Hilfe eines 1.2µm CMOS Prozesses der Fa. AMS.

Die Funk-Kommunikation zu den Tags erfolgt mittels Abfragegeräten (beispielsweise an der Decke montiert) im RF-Bereich. Eine Weckfunktion ermöglicht die Aktivierung aus dem Sleep-Modus für den Datentransfer. Nach Erkennen der Wecksequenz ist eine Kommunikation möglich, wobei produktbezogene Daten abgespeichert und ausgelesen werden können.

Die große Tagstückzahl in solchen Systemen und die Anforderung nach minimaler Stromaufnahme für eine lange Batterielebensdauer sind die Randbedingungen, die eine hohe Schaltungsintegration im analogen und digitalen Schaltungsteil erfordern.

Der Rahmen für die vorliegende Arbeit war eine einjährige Projektarbeit bei der Daimler-Benz-Aerospace AG, Bereich Sensorsysteme. Die Arbeit ist eine Studie zum Einsatz von integrierten kundenspezifischen Mixed-Signal-Schaltungen (ASIC). Für eine als Muster mit Standard-ICs aufgebaute Schaltung eines Datenträgersystems wurde für den Empfängerteil eine ASIC-Schaltung entwickelt.

Mit diesem konkreten Beispiel einer ASIC-Realisierung soll für den Entwicklungsbereich Know-How zum Thema Mixed-Signal-ASIC aufgebaut werden. Neben Fragen der ASIC-Schaltungsrealisierung, Technologieauswahl und Ablauf einer ASIC-Entwicklung lassen sich dann anhand des Prototypen Performance- und Kostenvergleiche durchführen.

Die Schaltungsentwicklung und Simulation erfolgte mit den Design- und Simulationswerkzeugen der Fa. Mentor Graphics [1]. Eingesetzt wurden *Design Architect* für die Schaltplaneingabe, der Analogsimulator *AccuSim* und *IC Station* für die Layout-Erstellung.

1 Systemüberblick

Datenträgersysteme, hier im weiteren Tag-System (Etiketten-System) bezeichnet, haben ein weites Anwendungsfeld im Logistik- und Containermanagementbereich.

Bild 1.1 zeigt das spezielle Verfahren der Dasa Ulm Sensorsysteme

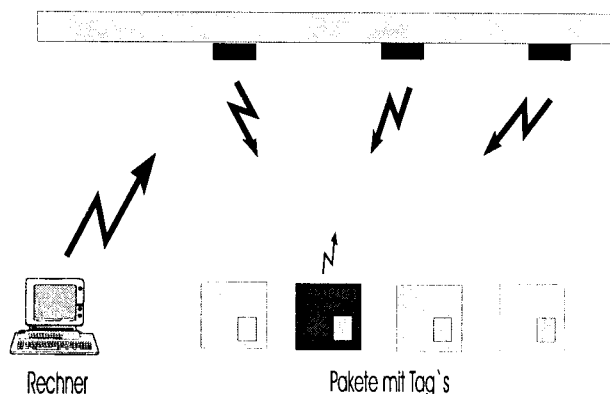


Bild 1.1 Systemprinzip

2 Das TAG

2.1 Aufbau

Die Funktionalität des TAGs ist in Bild 2.1 dargestellt. Das TAG arbeitet amplitudenmoduliert bei einer Trägerfrequenz von 2,442 GHz, als Mittenfrequenz im ISM-Band 2,4000 ... 2,4853 GHz.

Das Tag besteht aus 4 Komponenten:

- Sendeteil
- Prozessorteil
- Empfangsteil
- Weckdetektion und Datenaufbereitung (ASIC)

Die Weckdetektion mit Datenaufbereitung wurde als kritisch zu realisierender Teil eingestuft und sollte deshalb zuerst in Form eines ASICs realisiert werden.

Das TAG wird mit einer Lithium-Batterie betrieben und soll eine Lebensdauer von 5 - 10 Jahren besitzen, was eine geringe Stromaufnahme voraussetzt. Das Senden der Daten erfolgt im Backscatter-Verfahren. Ein von der Feststation gesendeter Träger wird durch Zu- und Abschalten einer Stichleitung an der Antenne mittels Diodenschalter um 180° phasenmoduliert. Dieses Verfahren ermöglicht eine stromsparende Realisierung des Sendeteils ohne Oszillator.

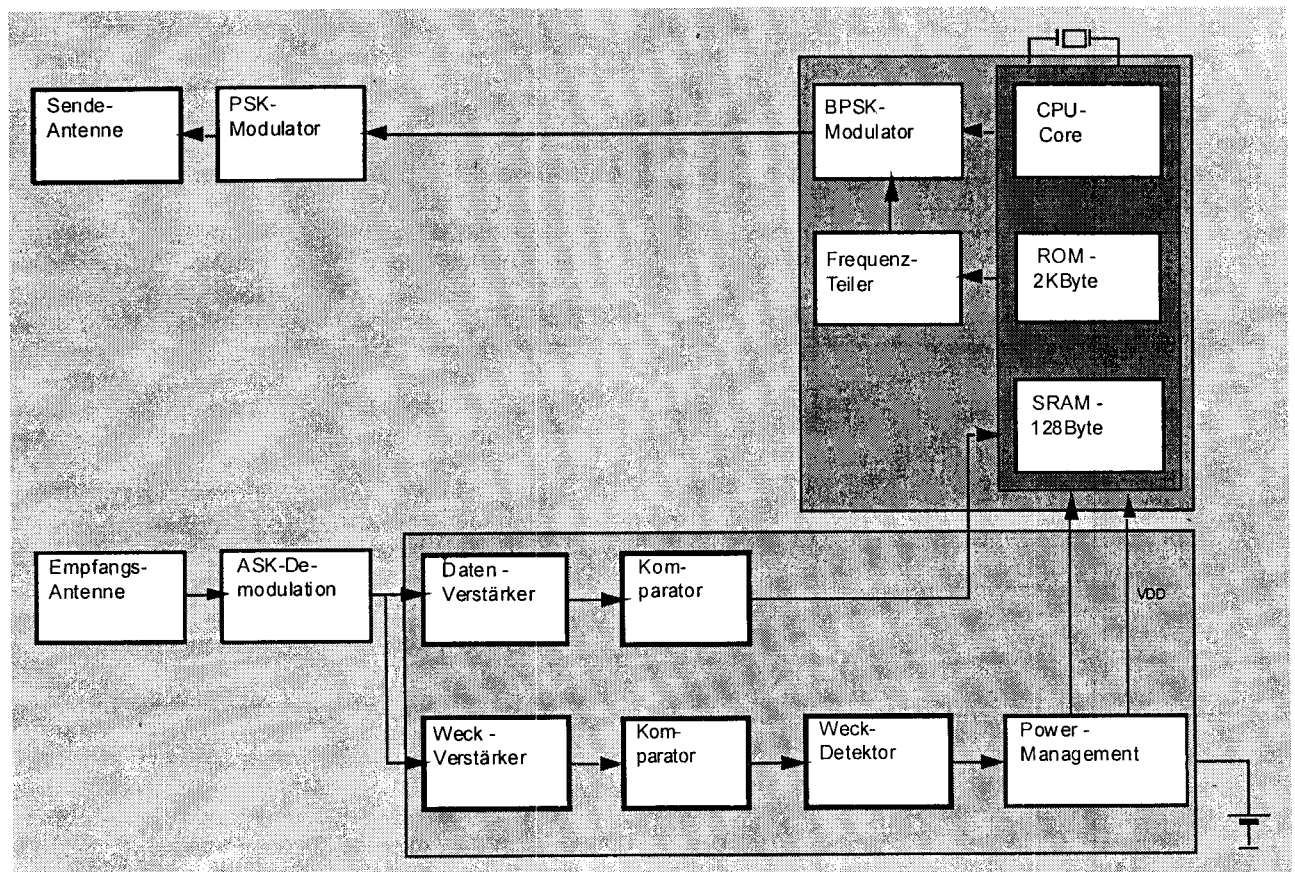


Bild 2.1 Blockschaltbild TAG

2.2 Das ASIC

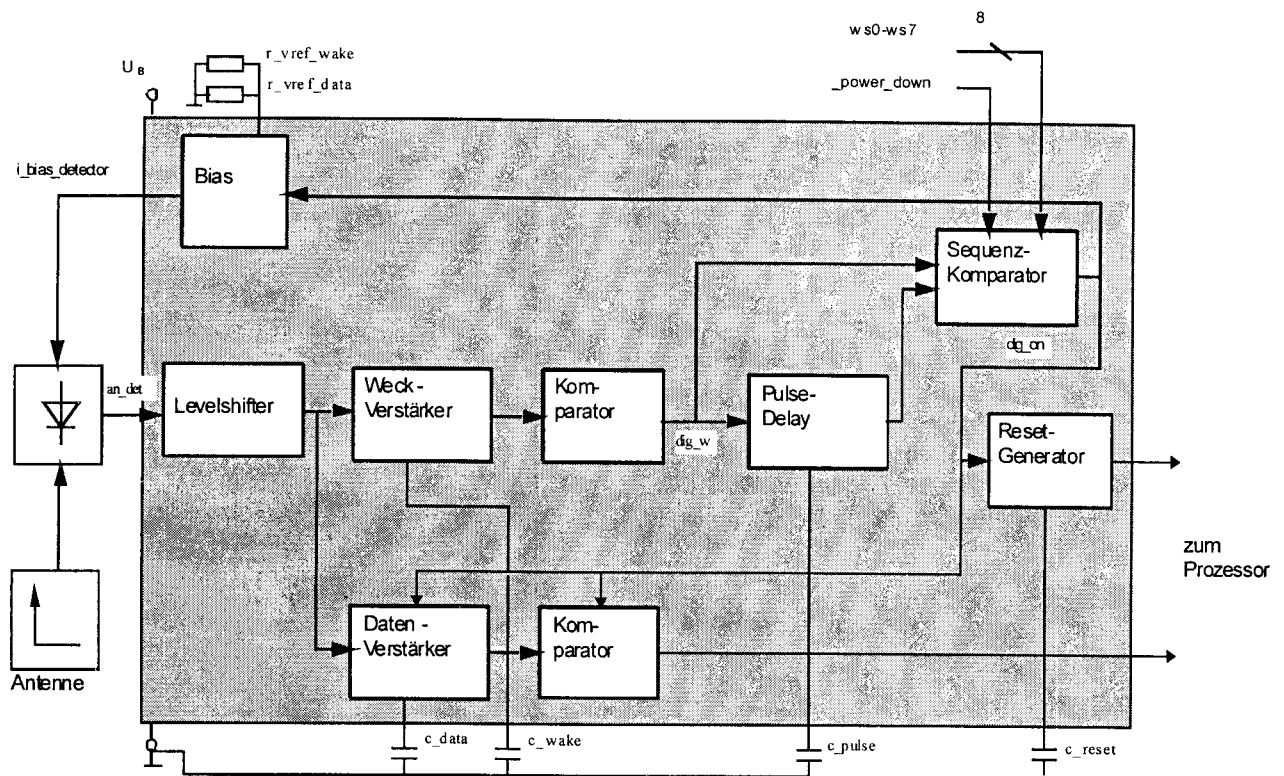


Bild 2.2 Blockschaltbild ASIC

Die von einer Feststation empfangenen Signale werden an den Empfänger-Schottky-Dioden demoduliert. Bild 2.3 zeigt das Prinzip der Demodulatorschaltung.

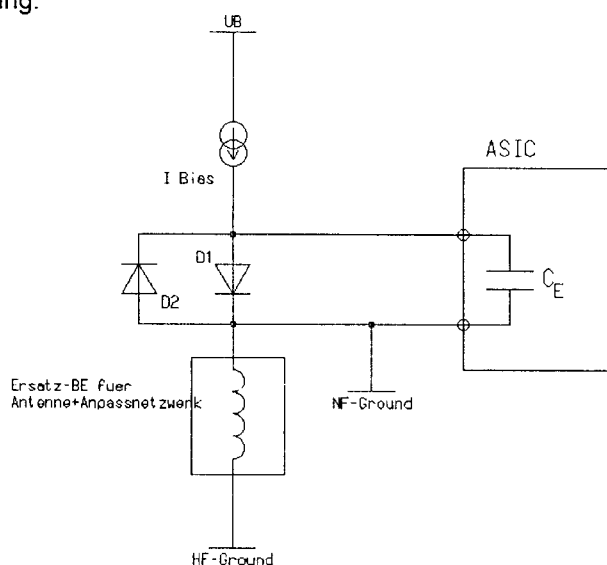


Bild 2.3 Prinzip der Demodulation

Diode $D2$ bewirkt eine Amplitudenbegrenzung. Die Impedanz der Dioden und die Eingangskapazität C_E des ASICs wirken als Tiefpaß. Somit stehen am ASIC die Daten im Basisband zur Verfügung.

Das ASIC arbeitet in zwei Betriebszuständen, dem Weckzustand und dem Datenzustand. Im stromsparenden Weckzustand sind der Datenverstärker und der Datenkomparator nicht aktiv. Das ASIC wartet auf eine gültige Wecksequenz und wertet alle empfangenen Signale dahingehend aus. Da nur ein geringer Strom verbraucht werden darf, reduziert sich die zur Verfügung stehende Bandbreite, und die realisierbaren Weckbaudraten sind entsprechend geringer als die Datenbaudraten.

Nach Erkennen der eigenen Adresse schaltet sich das ASIC auf Datenzustand, antwortet und kehrt dann wieder in den Weckzustand zurück.

Im Datenzustand ist das gesamte ASIC aktiv. Die Aktivstromaufnahme ermöglicht hohe Datenbaudraten. Die Stromaufnahme im Weckzustand beträgt $< 15 \mu A$ während der Strom im Datenzustand bis zu 2 mA betragen darf.

Die Einstellung der Stromaufnahme läßt sich über die externen Widerstände r_{vref_wake} und r_{vref_data} getrennt für Weck- und Datenzustand programmieren. Damit lassen sich stromskalierbar die zu realisierenden Baudraten in einem bestimmten Bereich einstellen. Darauf abgestimmt sind die externen Kondensatoren c_{wake} und c_{data} zu beschalten, die die Frequenzcharakteristik der Verstärker einstellen. Mit dem externen Kondensator c_{pulse} erfolgt pulsweitenabhängig die Detektion des Wecksignals.

2.3 Verstärkerprinzip

Eine von der Feststation gesendete Wecksequenz wird durch den Weckverstärker verstärkt und im nachfolgenden Komparator auf Digitalpegel umgesetzt. Bild 2.4 zeigt das Prinzip des Weckverstärkers mit Komparator. Das gleiche Prinzip ist dem Datenverstärker mit Komparator zugrundegelegt.

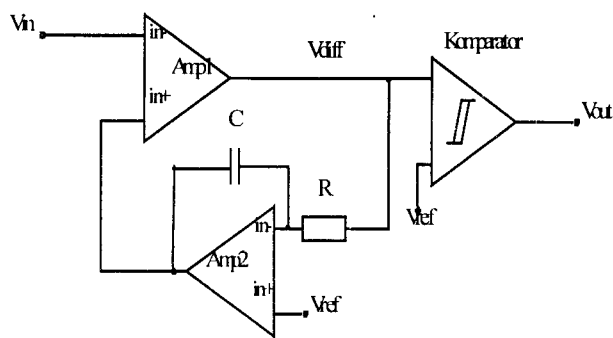


Bild 2.4 Verstärkerprinzip

Bezüglich des DC-Pegels ist der Komparator vom Eingangssignal V_{in} entkoppelt. Der Komparator kann unabhängig vom Eingangs-DC-Pegel auf den Referenzpegel V_{ref} bezogen arbeiten. Verstärker $Amp1$ und $Amp2$ regeln durch die Rückkopplung die Arbeitspunkte. Eingang $in+$ von $Amp1$ stellt sich auf den DC-Pegel von V_{in} ein und Eingang $in-$ von $Amp2$ auf den DC-Pegel V_{ref} . $Amp2$ bildet in der Beschaltung mit dem Widerstand R und dem Kondensator C einen Integrator. Die Gesamtübertragungsfunktion von $Amp1$ und $Amp2$ hat Bandpaßcharakteristik. V_{diff} ist das verstärkte und differenzierte Eingangssignal. V_{diff} hat den DC-Bezug V_{ref} und kann, auf diesen DC-Wert bezogen, mittels eines Komparators auf Digitalpegel umgesetzt werden.

Der Komparator des Datenverstärkers wird abgeschaltet wenn keine Signale anstehen, um Schaltvorgänge aufgrund von Spannungsspitzen zu vermeiden.

2.4 Simulation des Verstärkers

Bild 2.5 zeigt den Verstärkungsfrequenzgang des Weckverstärkers.

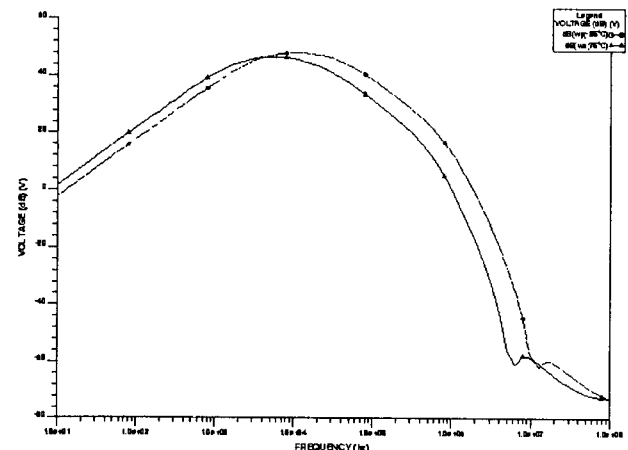


Bild 2.5 Frequenzgang

Deutlich zu erkennen ist die integrierende Wirkung der Rückkopplung im unteren Frequenzbereich (nahezu linearer Anstieg). Die maximale Verstärkung beträgt 46 dB bei einer Grenzfrequenz von 20 kHz.

Bild 2.6 zeigt die Transientensimulation des Weckverstärkers mit kleinem Eingangssignal von 1 mV bei einer Übertragungsrate von 5 kBaud. Darunter ist das Ausgangssignal auf Digitalpegel 3V zu sehen. Ganz unten ist das auf eine Amplitude von 200 mV verstärkte Signal vor dem Komparator dargestellt.

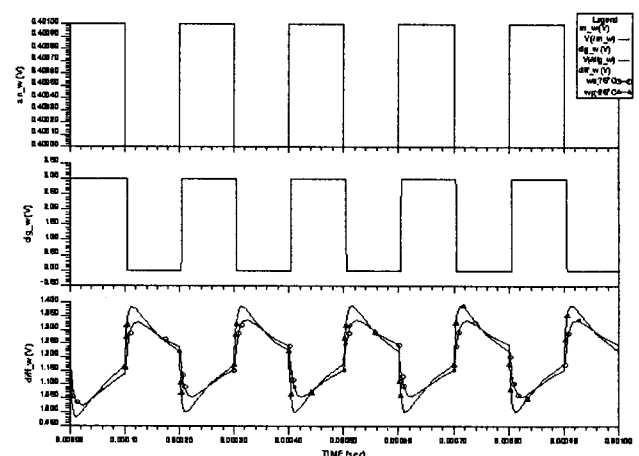


Bild 2.6 Transientensimulation

Entwurf eines CMOS-ICs für ein Datenträgersystem

Der Datenverstärker ist identisch aufgebaut. Die unterschiedlichen Baudraten werden mit Hilfe der integrierenden Rückkopplung mit den externen Kapazitäten c_{wake} und c_{data} eingestellt. Das Ausgangssignal des Weckverstärkers wird zur Detektion der Wecksequenz auf den Sequenz-Komparator sowie auf den Pulse-Delay gegeben.

2.5 Prinzip der Sequenzdetektion

Bild 2.7 zeigt das Prinzip der Sequenzdetektion. Der Pulse-Delay generiert aus dem pulsbreitenmodulierten Wecksignal den Lesetak für den Sequenzkomparator. Das Einlesen der Pulse in den Sequenzkomparator setzt damit die Pulsbreiten in ihre logischen Werte um.

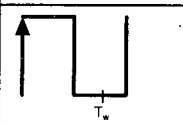
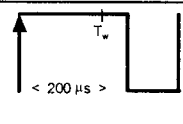
Periodendauer	Signalform	Logischer Wert
200 μ s		"0"
300 μ s		"1"

Bild 2.7 Wecksignal

Bei Übereinstimmung der empfangenen Wecksequenz mit dem Byte $ws0$ - $ws7$ der Prozessorschnittstelle oder einer intern vorgegebenen 8-Bit-Folge schaltet der Sequenzkomparator das Signal dig_{on} aktiv und gibt kodiert mit on_{intern} an, ob die empfangene Wecksequenz der internen oder extern über Schnittstelle vorgegebenen Vergleichssequenz entspricht.

Das Signal dig_{on} startet die Generierung eines Resetpulses durch den Resetgenerator. Dieser Resetpuls steht zum Wecken des Prozessorteils des TAGs aus dem Sleep-Mode zur Verfügung. Das Signal dig_{on} schaltet weiterhin die Biasschaltung auf höheren Strom zum Empfang der schnelleren Datenpulse um. Die Stromumschaltung aktiviert den Datenkreis, der im Verstärkerteil damit die notwendige Bandbreite erhält. Die verstärkten und auf Digitalpegel umgesetzten Daten stehen am Prozessorteil zur Verfügung.

Nach der Datenübertragung steuert das vom Prozessorteil kommende Eingangssignal $_{power_down}$ das ASIC wieder in den Weck-Zustand. Der Sequenz-

komparator wird zurückgesetzt und damit der Bias-Kreis auf niedrigen „Weck“-Strom gestellt.

Die Zeit zwischen dem Beginn des Weckens bis zum aktiven Datenzustand beträgt weniger als 3 ms.

2.6 Versorgungseinheit

Die Referenzspannung wird durch das bekannte Prinzip einer Bandgap in Bild 2.8 erzeugt [2].

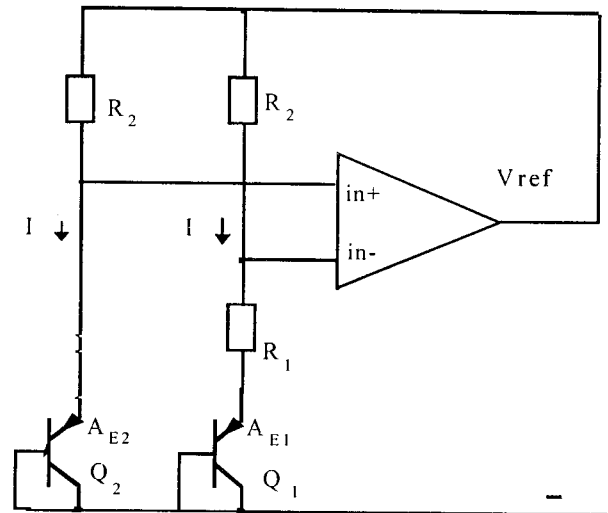


Bild 2.8 Bandgap-Referenz

Die unterschiedlichen Ströme für Weck- und Datenzustand werden durch eine skalierbare Stromquelle in Bild 2.9 erzeugt. Dabei wird aus der Referenzspannung ein Referenzstrom erzeugt. Im Datenzustand wird R_D parallelgeschaltet.

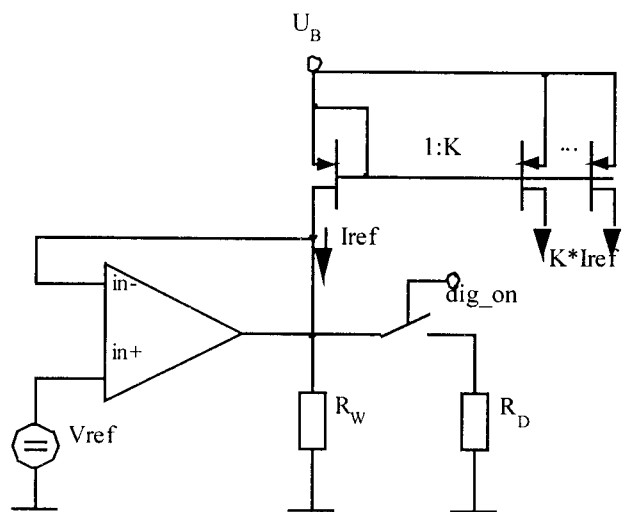


Bild 2.9 Stromreferenz

2.7 Gesamtsimulation

Bild 2.10 zeigt die Gesamtsimulation des ASICs im Zeitbereich.

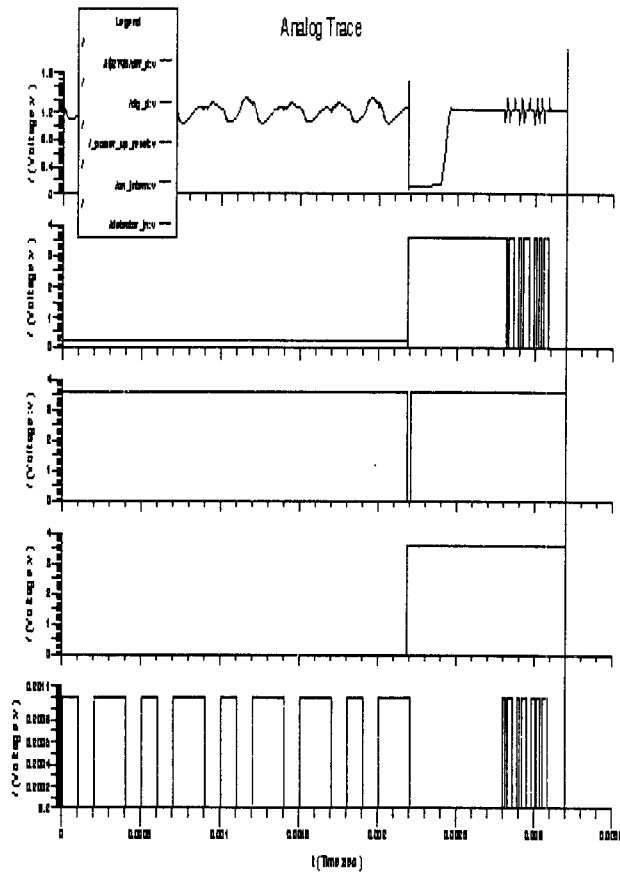


Bild 2.10 Gesamtsimulation

Zu erkennen sind von oben das Signal am Datenverstärker mit einem Gleichanteil von $V_{ref} = 1.28\text{ V}$, darunter der Ausgang des Datenverstärkers mit dem auf Digitalpegel 3V umgesetzten Datensignal. In der Mitte ist der Reset-Puls zu sehen, der den Prozessorteil auf definierten Anfangszustand setzt. Darunter befindet sich das Signal `dig_on`, das den Datenverstärker einschaltet sowie eine Wecksequenz (Datenrate 5 kbaud) mit Datensignal (Datenrate 32 kbaud) mit einer Amplitude von 1 mV.

3 Das Layout

3.1 Allgemeines

Mit dem Layout werden die für den Herstellungsprozess notwendigen Masken grafisch erstellt. Da es sich in diesem Fall um ein Vollkunden-Layout handelt, umfaßt es alle Masken. Die Masken werden mit Hilfe des Mentor Tools *IC_Station* erzeugt. Bei der Erstellung der Masken sind die jeweiligen prozeßbedingten *Design-Rules* zu berücksichtigen. Die *Design-Rules* im AMS-Kit [3] enthalten alle Regeln, zum Beispiel die minimale Kanallänge, die Mindestabstände und Dicken der Leiterbahnen, die Mindestabstände der einzelnen Wannen oder die Mindestpadgröße, die unbedingt einzuhalten sind.

Für unser ASIC wird der *AMS 1,2 µm CMOS CAE Prozeß* verwendet. Der Zusatz CAE charakterisiert den Prozeß:

- p - Substrat
- zwei Metall - Layer
- zwei Poly-Silizium-Layer

Der Chip wird auf einem p-Substrat aufgebaut. Für die Verdrahtung stehen zwei Metallschichten zur Verfügung, was die kreuzungsfreie Verdrahtung erleichtert. Des weiteren beinhaltet der Prozeß eine zweite Poly-Silizium-Lage, die zur Herstellung von Kondensatoren verwendet werden kann. Desweiteren ist es möglich, trotz des CMOS-Prozesses Bipolartransistoren zu erzeugen.

3.2 Bauelemente

Das Layout ist, ähnlich dem Aufbau der Schematics im *Design Architect*, hierarchisch aufgebaut. Zu Beginn des Layoutentwurfes werden zunächst die einzelnen Bauelemente (Transistoren, Widerstände, Kondensatoren) nach den Angaben in den Schematics entwickelt und in einer Bibliothek abgelegt (Siehe Bild 3.1). Dabei müssen die Dimensionen der Bauelemente und die Anordnung der richtigen Prozeßmasken beachtet werden.

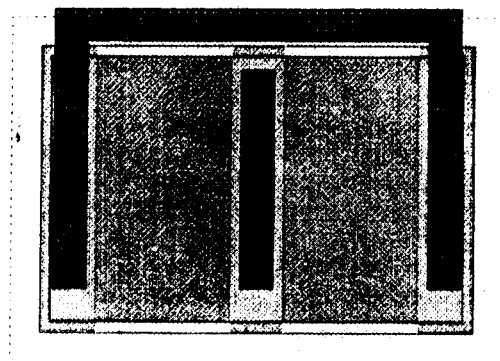


Bild 3.1 Layout eines Transistors

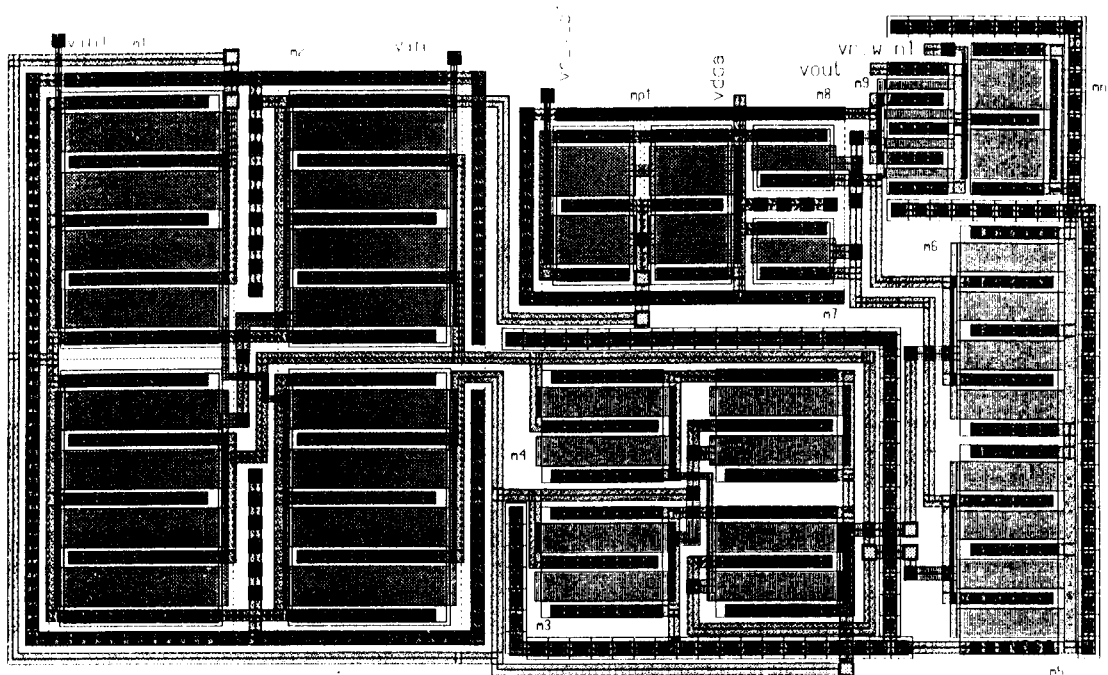


Bild 3.2 Layout des Wake_amp1

3.3 Makro-Zellen

Nachdem alle notwendigen Bauelemente aufgebaut wurden, beginnt man eine Makro-Layout-Zelle zu erstellen. Hier ist es zweckmäßig, daß man sich im Voraus die grobe Anordnung der einzelnen Bauelemente überlegt. Zu beachten sind hierbei die Verdrahtungsmöglichkeiten, die Gefahr von Störeinkopplungen und Temperaturunterschiede auf der Chipfläche [4]. Bild 3.2 zeigt das fertige Layout des Wake_Amp1.

Zu erkennen sind die paarweise kreuzgekoppelten Transistoren m1 und m2 bzw m3 und m4, die einen Offset vermeiden sollen. Außerdem erkennt man die Guardringe, die um kritische Bauelemente gelegt sind, um sie von Störeinflüssen abzuschirmen.

Das Layout der Spannungsreferenz ist in Bild 3.3 dargestellt. Links im Layout sind die großen N-Wannen-Widerstände zu erkennen. Unten mittig sind die 9 Bipolartransistoren angeordnet sowie rechts unten Kondensatoren

Die Digitalzellen sowie die I/O-Zellen wurden von der Fa. AMS zur Verfügung gestellt. Die große Anzahl der I/O-Zellen ist damit begründet, daß für Testmöglichkeiten alle wichtigen Signale nach außen geführt wurden.

3.4 Topologieplan

Nachdem auch die Makrozellen erarbeitet wurden, werden sie anhand eines Topologieplans zum Gesamtlayout plaziert. Wichtigstes Kriterium bei der Anordnung der Zellen ist die von ihnen ausgehende Störstrahlung bzw. die Empfindlichkeit gegenüber eingekoppelten Störsignalen. Größter Störer ist der rein digitale Sequenz-Komparator. Eine Trennung von Schaltungsblöcken, insbesondere der Referenzblöcke ist wichtig, um durch das schnelle Schalten der Digitalzellen eine Welligkeit auf dem Substratpotential, welche bei einigen Analogteilen zu unerwünschten Störungen oder instabilen Zuständen führen kann, zu vermeiden. Um Einkopplungen zu vermeiden, werden Guardringe um die Zellen gelegt.

Die analoge und digitale Masse werden getrennt voneinander geführt, um Störeinkopplungen über die Masseleitung zu vermeiden. Um die Zellen herum werden die I/O-Zellen und die Zellen für die Stromversorgung angeordnet. Desweiteren sind Teststrukturen für die Prozeßkontrolle anzubringen. Es soll ein CLCC44-Gehäuse verwendet werden. Bild 3.4 zeigt den Topologieplan des Layouts.

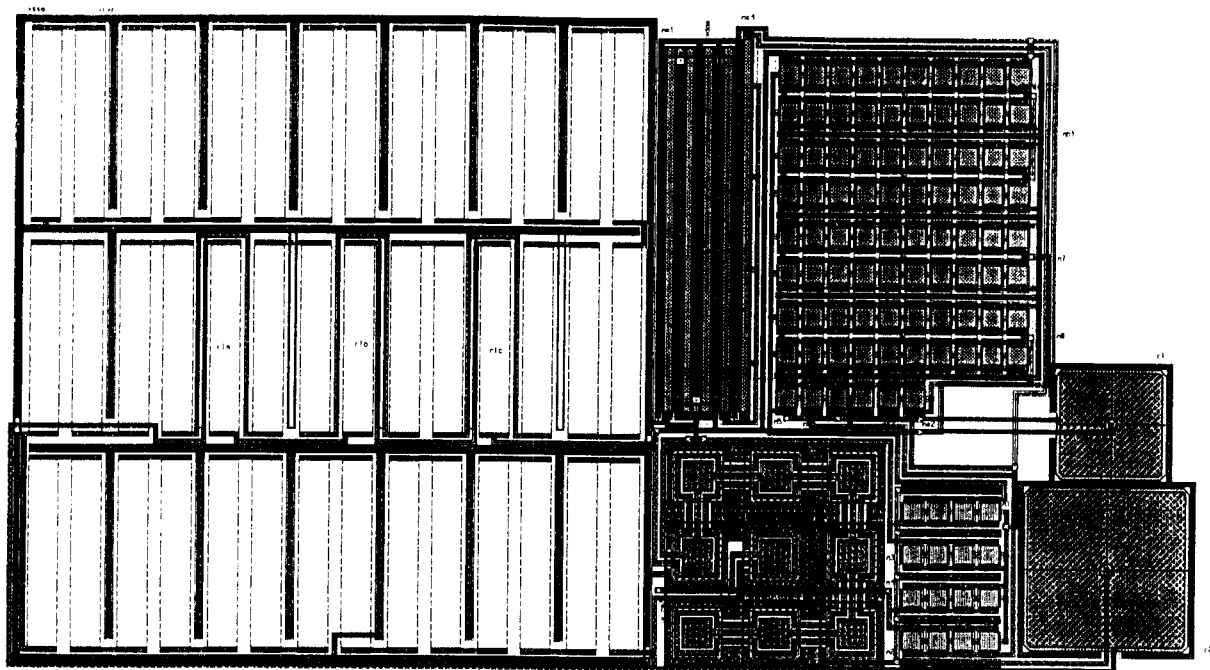


Bild 3.3 Layout der V_reference

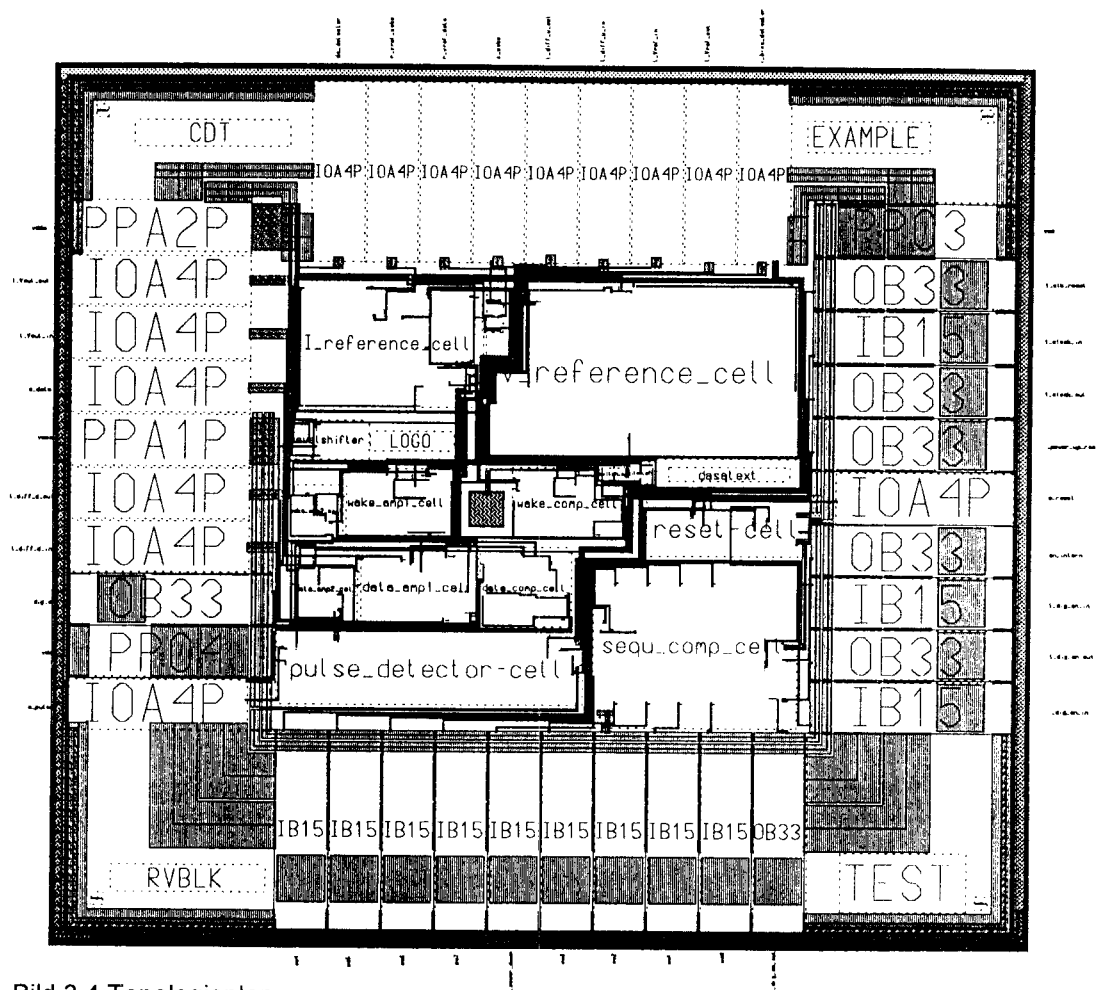


Bild 3.4 Topologieplan

3.5 Gesamtlayout

Bild 3.5 zeigt das fertige Gesamtlayout des ASICs

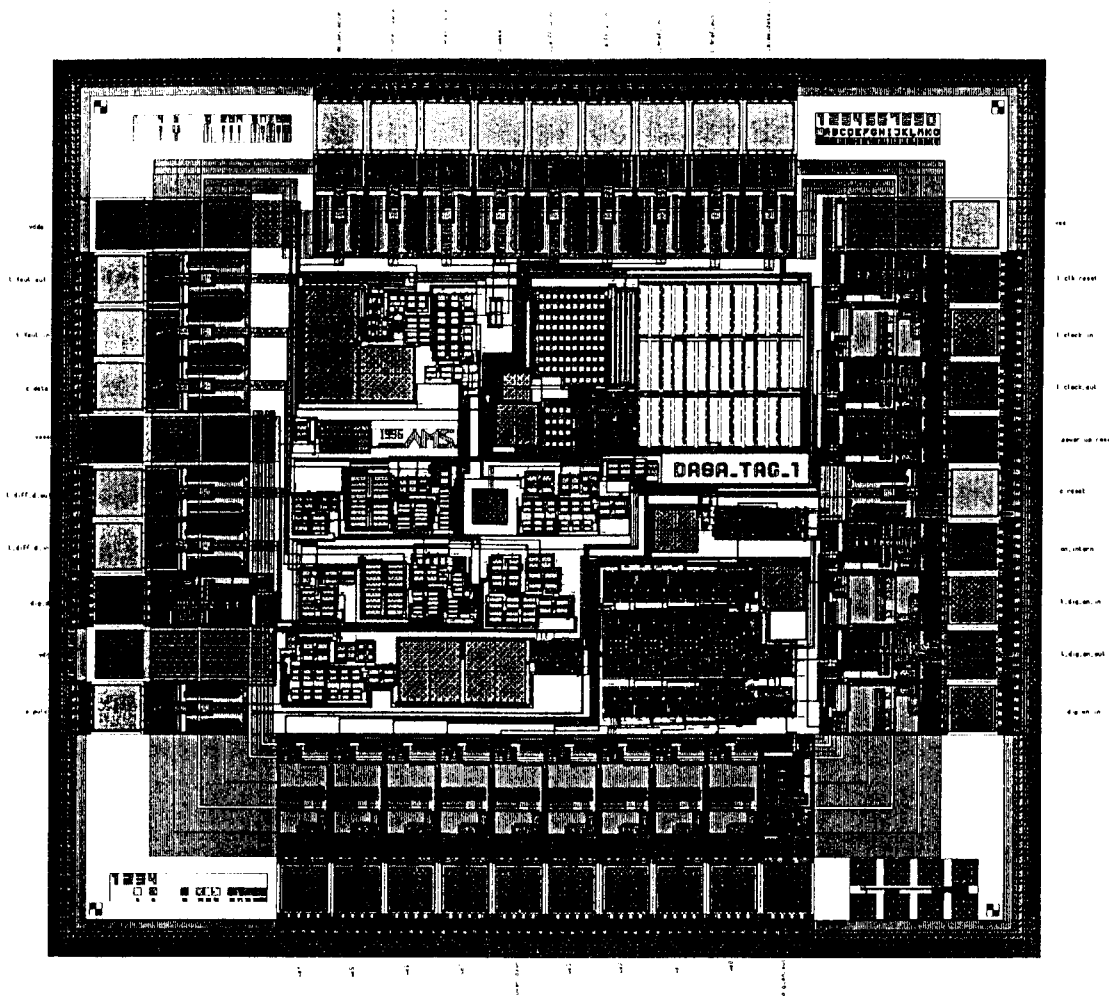


Bild 3.5 Gesamtlayout

Mit Hilfe des Tools Design Rule Checks von IC-Station werden die prozeßabhängigen Layoutregeln kontrolliert. Dieser Test überprüft nur die geometrischen Abstände und Größen der einzelnen Bauteile und die Verdrahtungsgeometrien nach den Layoutregeln im AMS-Kit. Die Layoutregeln berücksichtigen:

- Auflösung der Fotolithographie
- Justiertoleranzen zu vorausgehenden Masken
- Seitliche Ausdiffusion
- Unterätzungen
- Elektrische Parameter

Für die elektrische Prüfung (Überprüfung der Verbindungen und der Bauteile) steht der LVS (Layout versus Schematic Check) zur Verfügung. Er vergleicht die Verbindungen mit einer Netzliste. Dazu müssen jedoch die Transistoren mit ihren Anschlüssen in eigens dafür vorgesehenen LVS-Layern benannt werden.

4 Zusammenfassung

Im Rahmen der Diplomarbeit wurden Schaltungsteile und die Gesamtschaltung simuliert und modifiziert. Anschließend wurde eine Bauteilebibliothek erstellt und die Makrozellen wurden erzeugt. Zum Schluß wurden die Makrozellen zum Gesamtlayout zusammengefügt.

Nach Fertigstellung des Layouts werden Prototypen des Chips mit Hilfe des EURORACTICE-Programms gefertigt.

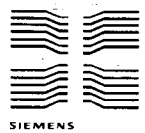
Im Anschluß an die Fertigung der Chips ist ein Test erforderlich. Dabei ist nicht nur der Funktionstest, sondern auch der Test der elektrischen Eigenschaften mit Hilfe eines Testaufbaues durchzuführen. Da alle wichtigen Signale für Testzwecke über Pins nach außen gelegt wurden, ergab sich die große Zahl von Anschlüssen. Tatsächlich werden nur 26 Anschlüsse benötigt.

Im Hinblick auf eine spätere Massenfertigung wäre es sinnvoll, die Testanschlüsse im Rahmen eines Redesigns zu entfernen, um zu geringeren Chip- und Gehäusekosten zu kommen.

5 Literatur

- [1] Mentor Graphics Version A3f
- [2] U. Tietze, Ch. Schenk: Halbleiter-Schaltungstechnik
- [3] AMS Hit-Kit Version 5.0
- [4] Philip E. Allen, Douglas R. Holberg: CMOS Analog Circuit Design

Die Autoren danken Herrn Dr. Cramer von der Fa. Dasa Ulm und Herrn Krenzke von der Fa. Dialog für die freundliche Unterstützung auf dem Gebiet der System- und Schaltungsentwicklung. Die ASIC-Fertigung wird durch die Fa. DASA finanziert.



SIEMENS Evaluation Concept For High Integrated Telecommunication ICs: The Evaluation System For PBX-Controller DOC

Bernhard Keppler FH ULM

SIEMENS Semiconductors Telecommunication System ICs 81541 Munich, Balanstraße 73
Phone: 089-4144-8930, Fax: 089-4144-8216, Email: Bernhard.Kepler@HL.Siemens.de

Summary

The SIEMENS Semiconductor Telecommunication System ICs Group has established an evaluation concept for all new components due to be placed on the market. Evaluation systems for all new chips and almost ready to copy reference designs, focusing on particular telecommunication applications, give customers shorter times to market with their new products. Within the SIEMENS Total Quality Management (TQM) policy, evaluation systems help to verify chip development results prior to new product releases. SIEMENS application engineers utilize evaluation systems for simulation of eventual customer problems, thus efficiently supporting customers during product development and product care.

This essay briefly describes the evaluation system for the new SIEMENS private branch exchange controller DOC (PEB 20560) which will be released shortly.

Standing for DSP oriented PBX controller, the DOC, comprises an almost complete PBX on a single chip, integrating switching components such as the SIEMENS Extended Line Card Interface Controller (ELIC) as well as the high performance SIEMENS DSP-core SPCE (OAK).

1 Chip Evaluation as Part of the SIEMENS TQM-Philosophy

Quality takes on an all-encompassing significance at the SIEMENS SEMICONDUCTOR DIVISION. Within that Total Quality Management approach (TQM), evaluation and reference designs for new developed components play an important role for customer support as well as for development result verification of new devices.

The Telecommunication System ICs Group of the SIEMENS SEMICONDUCTOR DIVISION develops evaluation designs for each new product. Correlated to product development, these evaluation designs are launched off in a Time Optimized Process (TOP), providing a ready to use evaluation entity for device system tests at the time, first engineering samples of a new component are available for test purpose.

Evaluation systems at the Telecommunication ICs Group accomplish four main tasks:

1. development result verification of a new chip, as a substantial part of the final device release process
2. demonstrating the features of a new product in a real-live environment, field application engineers at SIEMENS utilize the evaluation system to acquire new customers
3. incorporating an application example of a new component, evaluation designs give the customer a fast time to market with new products
4. simulation of problems with a component reported by customers in order to overcome the obstacle that delays customer product development

Upon a new device is placed on the market, the Telecommunication System ICs Group starts off reference designs that focus on a particular application for the new component. Successfully gaining market shares for a specific device, these reference designs incorporate an almost ready to copy telecommunication system product.

2 About To Be Released: SIEMENS New PBX Controller DOC, A Step Towards A Single Chip PBX

Figure 1 presents a block diagram of the DOC. The DOC-device comprises all necessary functional blocks such as switching, signaling DTMF/tone handling and conferencing for building up PBX and Line Cards.

The DOC integrates two ELICs (Extended Line Card Interface Controller) providing switching and integrated HDLC (layer 2 protocol) functionality. The on-chip DSP (SIEMENS SPCE (OAK)-core) takes care for all digital signal processing operations such as DTMF handling, conferencing and music on hold. Besides the onchip RAM the integrated DSP obtains an interface to an external memory, containing additional data for signal processing tasks. The on-chip emulation interface enables DSP software specialists to debug DSP-routines completely independent of the DOC-device microprocessor interface.

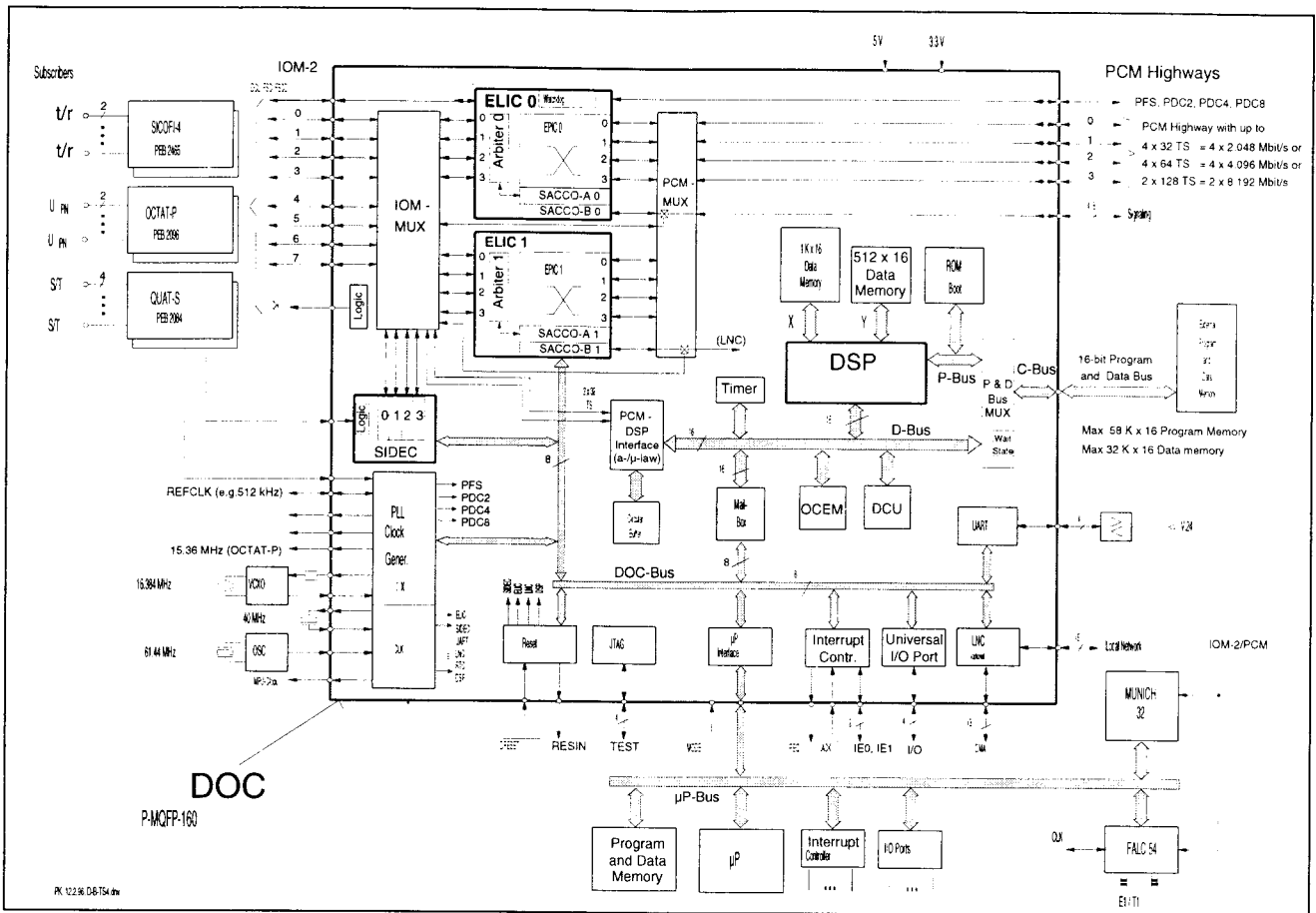


Figure 1: Block Diagram of the DOC

Besides the eight IOM-2 and four PCM ports, the DOC-device accommodates a 8 bit address/data multiplexed microprocessor interface. SIEMENS/INTEL bus schemes are fully supported, including interrupt handling and DMA transfers. Integrating PBX and Line Card functionality, except layer 1 devices, the DOC incorporates a first step towards a PBX system on a single chip. The DOC is manufactured in a P-MQFP 160-pin package.

3 Evaluation System for DOC

The evaluation system for the DOC-device implements the full hardware functionality of a small PBX. Figure 2 displays the system concept. Figure 3 illustrates the system implementation. The DOC-evaluation system supports all possible features of the DOC within an INTEL 386EX based micro-

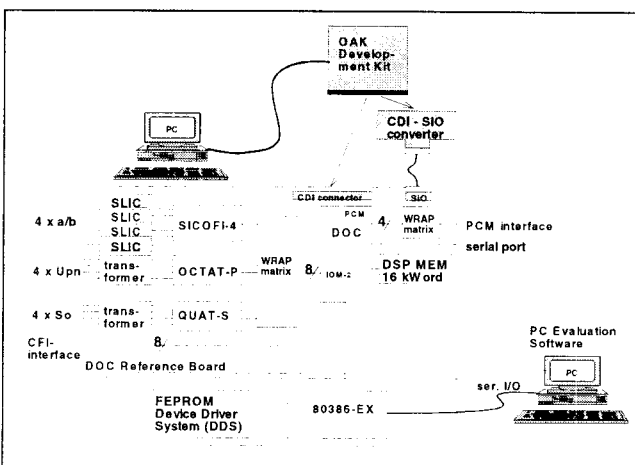


Figure 2: Evaluation System Concept

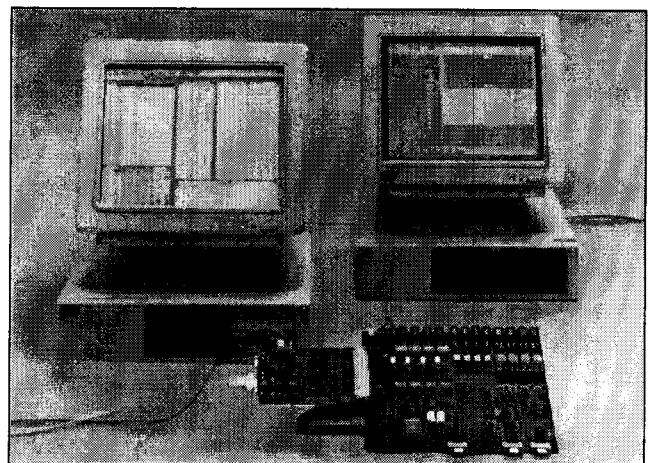


Figure 3: Evaluation System Implementation

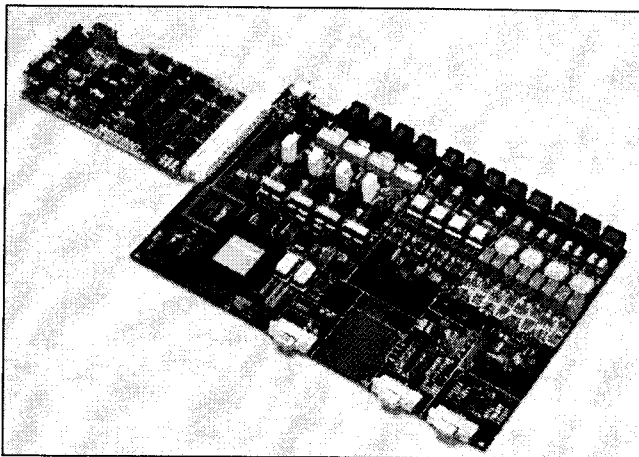
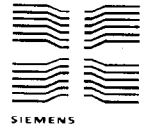


Figure 4: DOC-Evaluation System

processor system environment. The evaluation system is designed to provide an easy to use platform for chip alpha testing as well as for PBX software development.

Figure 4 shows the complete system. The complete evaluation system consists of the DOC-evaluation board and a separate INTEL 386EX based CPU-board (see Figure 5).

The CPU-board runs a PC-evaluation software in protected mode, fully supporting the DOC-microprocessor-interface features including DMA-access and vectored interrupt handling. Via the PC-evaluation software DOC-device registers can be directly accessed in a very convenient way. The PC-evaluation software provides a register access utility,

which interactively enables the software developer to read from and write to DOC-device registers (see Figure 6). Once an appropriate register setting is developed,

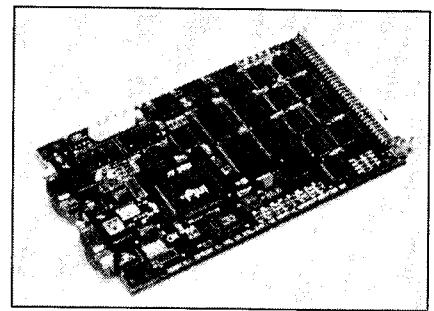


Figure 5: 386EX CPU-Board

the corresponding real time application routine can be tested within the PC-evaluation software kernel. This way PBX software developers build up their applications for a DOC-based PBX in a step by step manner.

Real-time DSP program debugging is supported via the DOC-JTAG pins. The DSP software specialist develops the DSP routines on a remote PC, before downloading and debugging executable code. A DSP software development utility gives full access to the DOC internal DSP and onboard RAM. For pure DSP program verification, the DOC-Evaluation Board can be operated without the 386EX CPU Board. Figure 7 gives a screen shot of the DSP software utility.

Via the means of wire-wrap headers the IOM-2 and PCM interfaces of the DOC-device can be connected as desired by the PBX designer in order to simulate a PBX system under design. This way the various on-board layer 1 devices flexibly connect to one of the

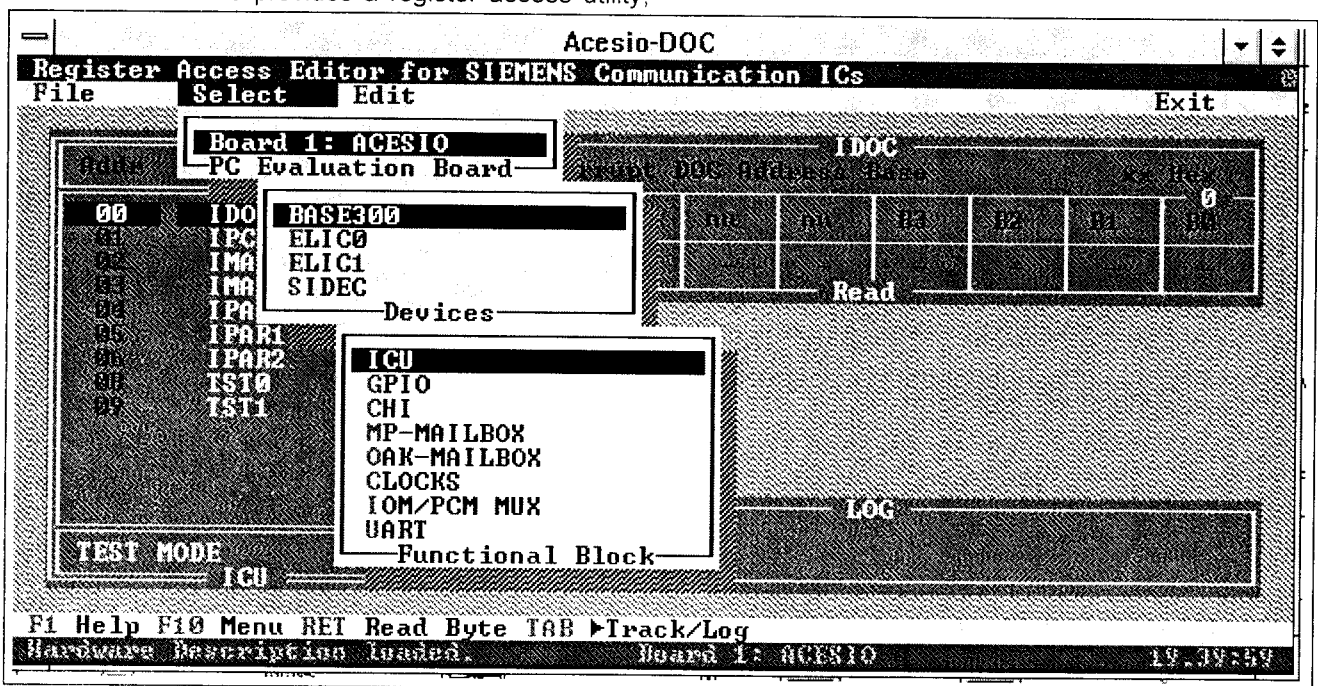


Figure 6: Screen Appearance of the PC-Evaluation Software

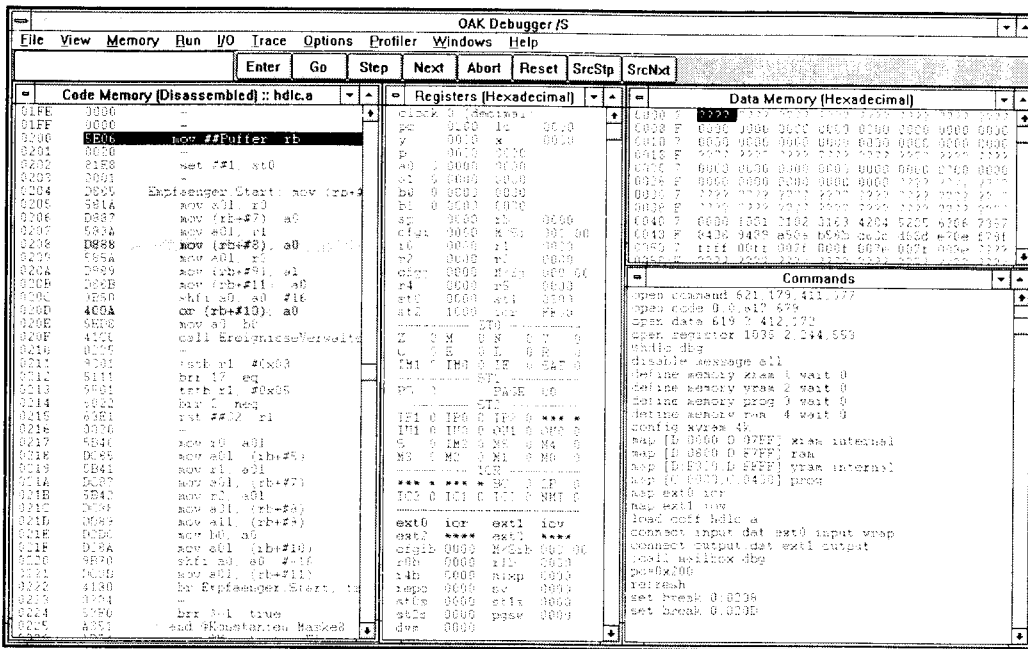


Figure 8 gives a detailed view of the DOC-evaluation board. The board supports three types of line interfaces, 4 x a/b, 4 x Upn and 4 x S0, all of which are controlled by the appropriate SIEMENS layer 1 ICs. Via the SUB-D plugs for the IOM-2 and the PCM interface any other SIEMENS Evaluation Systems can be attached to the evaluation board. A SUB-D plug for the onboard standard RS232 interface, supporting the

Figure 7: DSP Software Development Utility eight IOM-2 ports of the DOC, providing a maximum of adaptability for testing or troubleshooting.

DOC-UART, enables testing of serial program-download handshake routines. A small prototyping area gives way for testing of design ideas on the fly.

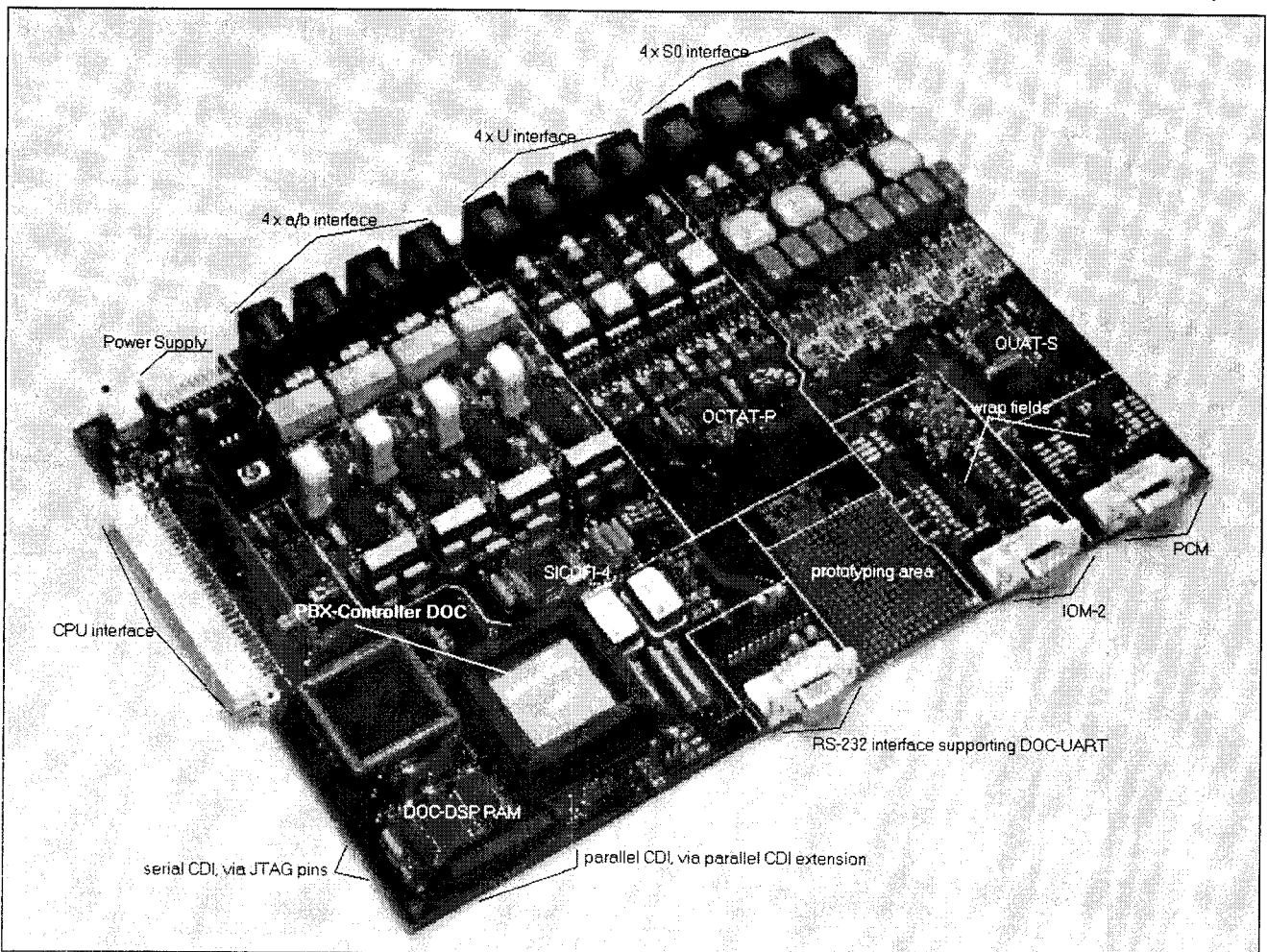


Figure 8: DOC-Evaluation Board

Schwimmende Spannungsquelle integriert auf Bipolar-Transistor-Array B500D

G. Plappert

Labor Schaltungsintegration, FH Heilbronn
 Max-Planck-Str. 39, 74081 Heilbronn
 Tel.: 07131/504-335, 504-400, Fax: 07131/252470
 e-mail Prof. Dr. Clauss: Clauss@fh-heilbronn.de

Eine Schaltung, die mit diskreten Bauelementen bereits realisiert wurde, soll in integrierter Form auf das Bipolar-Transistor-Array B500D übertragen werden. Dabei soll die Funktion unverändert bleiben. Wichtige Parameter sollen gegebenenfalls noch verbessert werden.

1 Einleitung

Aufgabe dieser Schaltung ist es aus einer positiven und einer negativen Versorgungsspannung mit gemeinsamer Masse eine dritte, frei einstellbare Spannung zu generieren, die nahezu massefrei ist. Daher auch der Name schwimmende Spannungsquelle. Sie soll dadurch einen Netztrafo ersetzen und somit Kosten und Platz auf einer Platine einsparen.

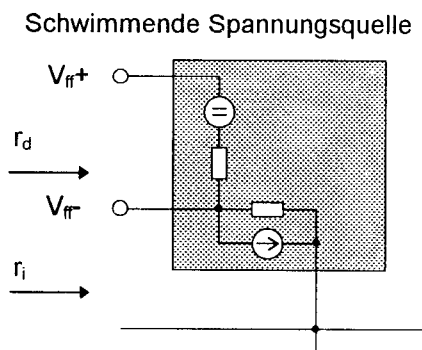


Abb. 1: Widerstandersatzschaltbild

Abb. 1 veranschaulicht die wesentlichen Kenngrößen. Sie bestehen aus der Spannungsquelle mit Innenwiderstand r_d und dem Isolationwiderstand r_i , d.h. dem Widerstand zwischen der schwimmenden Spannungsquelle und Masse. Bei der Analyse der Schaltung zeigte sich die Notwendigkeit parallel zu dem Isolationwiderstand r_i , eine Stromquelle einzuführen.

2 Schaltungsbeschreibung

Ein Schaltungsvorschlag für eine Schwimmende Spannungsquelle, aufgebaut aus diskreten Bauelementen und Operationsverstärkern, wurde in [1] veröffentlicht. Ziel unserer Arbeit war es, diese

Schaltung in eine integrierte Schaltung umzusetzen. Das Grundprinzip der Schaltung, siehe Abb. 2, beruht auf einem, durch Stromquellen, an beiden Anschlüssen des Lastwiderstandes R_L , eingepprägten Strom. Die großen Innenwiderstände der Stromquellen ent-

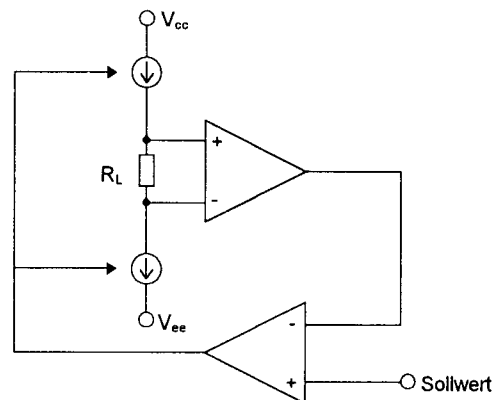


Abb. 2: Prinzipschaltbild

koppeln dabei die Ausgangsspannung von den Versorgungsspannungen. Die Ausgangsspannung wird von dem Differenzverstärker in eine massebezogene Spannung umgesetzt und durch einen Komparator mit dem vorgegebenen Sollwert verglichen. Der Ausgang des Komparators steuert die Stromquellen so, daß sich die gewünschte Ausgangsspannung einstellt.

Der Isolationswiderstand der Schwimmenden Spannungsquelle gegenüber Masse wird bestimmt durch die Innenwiderstände der Stromquellen und den Gleichakteingangswiderstand des Differenzverstärkers. Durch einen Unterschied in den eingepprägten Strömen ergibt sich ein Differenzstrom, der nach Masse abfließt und in Abb. 1 durch die Stromquelle nach Masse nachgebildet wird. Die Schaltungsgruppen sollen zunächst in der Schaltung nach [1] erläutert werden.

Die wesentlichen Baugruppen sind die beiden gesteuerten Stromquellen. Stromquelle Nr. 1 dieser Schaltung in Abb. 3 wird gebildet durch die Widerstände R_1 und R_2 , den Operationsverstärker $U1A$ und den Transistor Q_2 . Analog besteht Stromquelle Nr. 2 aus den Widerständen R_4 und R_6 , dem Operations-



verstärker U1B und dem Transistor Q3. Durch die große Leerlaufverstärkung des Operationsverstärkers ist für die volle Ausgangsspannung nur eine winzige Eingangsspannungsdifferenz an den Eingängen nötig. Damit ergeben sich an beiden Eingängen nahezu identische Potentiale und der Strom durch den Transistor im Ausgang wird so lange erhöht, bis an R1, bzw. R6, die gleiche Spannung abfällt wie an R2, bzw. R4. Mit den angegebenen Werten ergibt sich ein Stromverhältnis zwischen Ausgang und Eingang von 10:1. Die Ausgangsspannung wird über dem Widerstand R5 abgenommen. Die nachgeschaltete Stufe ist der Differenzverstärker der aus den Widerständen R8 bis R10 und dem Operationsverstärker U1C besteht. Da die Reihenschaltung der Widerstände R7 und R8 für den Isolationswiderstand eine Parallelschaltung zu

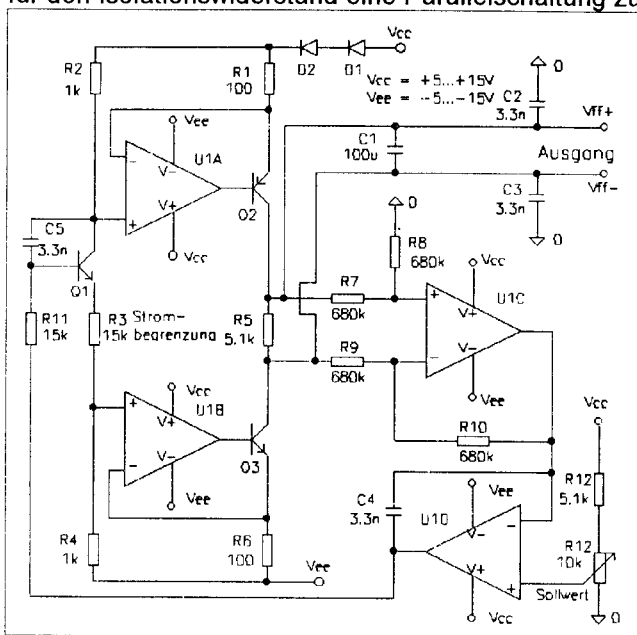


Abb. 3: Schaltung der Schwimmenden Spannungsquelle nach [1]

dem Innenwiderstand der Stromquellen darstellt, müssen diese Widerstände sehr hochohmig sein. Diese Stufe verwandelt die nahezu massefreie Ausgangsspannung wieder in eine massebezogene Spannung zurück. Dies ist nötig, damit der Operationsverstärker U1D den Istwert, wie er nach der Differenzstufe vorliegt, mit einem Sollwert, der natürlich ebenfalls massebezogen ist, vergleichen kann. Je nach Ergebnis dieses Vergleichs wird der Transistor Q1 auf- oder zugesteuert und damit die am Anfang erwähnten Stromquellen nachgeregelt. Im Belastungsfall sinkt der Istwert zuerst ab, da jede Parallelschaltung zu R5 den Gesamtwiderstand senkt und der Strom im ersten Moment konstant bleibt. Durch den Soll- Istvergleich an U1D wird der Transistor Q1 solange aufgesteuert, bis die Stromquellen ihren Strom soweit erhöht haben, daß über der Parallelschaltung aus R5 und der Last wieder die Sollspannung erreicht wird. Die

Widerstände R3 und R11 dienen der Strombegrenzung.

Sämtliche Operationsverstärker bis auf U1D arbeiten in rückgekoppelten Schaltungen mit einer Spannungsverstärkung von 1. Daher können leicht Schwingungen auftreten. Die Kapazitäten C1 bis C5 sollen diese Schwingneigung unterdrücken.

Nach [1] liegt der Innenwiderstand der Spannungsquelle weit unter 1Ω . Der Isolationswiderstand erreichte in einem Probeaufbau mit Metallfilmwiderständen mit 1% Toleranz einen Wert von mehreren hundert k Ω . Der Bereich der Klemmenpotentiale relativ zu den Versorgungsspannungen von $\pm 15V$ erstreckte sich auf

$$V_{ee} + 2V \leq V_{ff-} < V_{ff+} \leq V_{cc} - 2V.$$

Um die in [1] angegebenen Werte zu verifizieren, wurde die Schaltung mit Design Center 6.3 von MicroSim auf einem PC simuliert. Die Kennlinie der Ausgangsspannung in Abhängigkeit von der vorgegebenen Sollspannung, dargestellt in Abb. 4, ergab sich mittels eines DC-Sweeps.

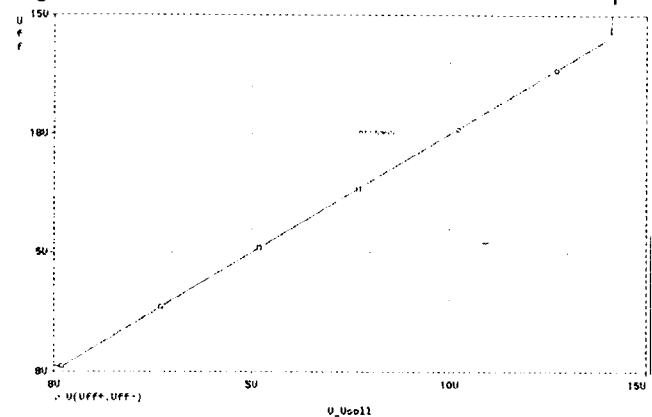


Abb.: 4 Verlauf der Ausgangsspannung

Dabei ergab sich ein linearer Aussteuerbereich von $+0.25V \leq V_{ff} \leq V_{cc} - 1V$.

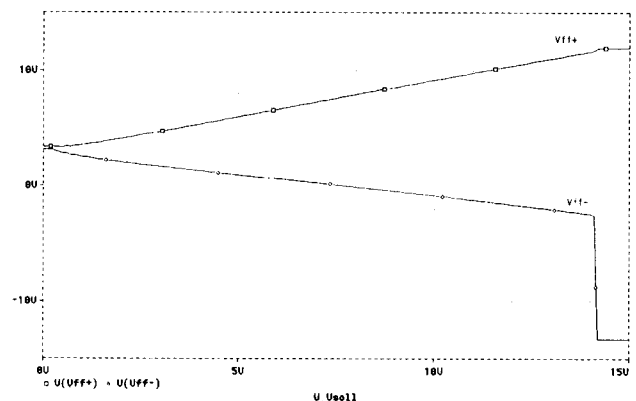


Abb. 5: Verlauf der Klemmenpotentiale

Die Potentiale der einzelnen Klemmen relativ zu den Versorgungsspannungen, in Abb. 5 dargestellt,

bewegen sich dabei von $V_{ee} + 3V \leq V_{ff-} < V_{ff+} \leq V_{cc} - 2V$

Den Innenwiderstand erhält man aus dem Ergebnis einer Transfer-Funktion-Analyse. Er betrug 0.6997Ω . Die Ausgangscharakteristik der Schwimmenden Spannungsquelle entspricht dem üblichen Verhalten einer geregelten Spannungsquelle mit sehr niedrigem Innenwiderstand und Strombegrenzung.

Bei der Untersuchung des Isolationswiderstandes ist es sinnvoll als Ersatzschaltbild eine Kombination aus Stromquelle und Parallelwiderstand zu wählen. Dementsprechend basiert die Ermittlung des Isolationswiderstandes auf der Aufnahme des Stromes im Kurzschluß. Dabei wird im Arbeitspunkt ein Widerstand von einer Klemme der Schwimmenden Spannungsquelle nach Masse geschaltet und dieser von 0, d.h. vom Kurzschlußfall, an vergrößert. Über die Stromteilerformel läßt sich nun der Isolationswiderstand ermitteln. Bei genauerer Untersuchung ergab sich für den Isolationswiderstand eine Abhängigkeit vom Arbeitspunkt, d.h. von der vorgegebenen Sollspannung, so daß die Simulationen einen Bereich von $670 \text{ k}\Omega$, bei nahezu Leerlauf, bis $550 \text{ k}\Omega$, bei maximaler Ausgangsspannung, ergaben. Die Simulationsergebnisse stimmen damit mit den in [1] angegebenen Werten überein.

3 Anpassung der Schaltung an das Transistor-Array B500D

Aufgrund der Tatsache, daß es bei den Stromquellenschaltungen und der Differenzstufe auf feste Widerstandsverhältnisse ankommt und die Schaltung fast ausschließlich aus Operationsverstärkern besteht, lag es nahe, diese Schaltung in eine integrierte Form zu überführen.

3.1 Operationsverstärker

Für die Integration war es nötig eine konkrete Operationsverstärkerschaltung zu realisieren. Dabei gaben die Bauelemente des Transistor-Arrays B500D und die Anforderungen, die die Schaltung stellt, die Randbedingungen vor. Grundsätzlich besteht ein Operationsverstärker aus einem Differenzverstärker am Eingang, einer Verstärkerstufe für die Spannungsverstärkung und einer Gegentaktendstufe am Ausgang zur Stromverstärkung.

Der erste Ansatz ergab sich dadurch, daß innerhalb einer integrierten Schaltung das Stromniveau insgesamt niedrig bleiben soll, und somit auf eine Gegentaktendstufe im Ausgang verzichtet werden kann. Damit blieb noch die Differenzstufe am Eingang und die Verstärkerstufe für die Spannungsverstärkung übrig. Wegen der niederen Strom-

belastbarkeit der PNP-Transistoren mußte dieser Transistor im Ausgang durch eine Darlingtonstruktur ersetzt werden. Der Operationsverstärker in Abb. 6

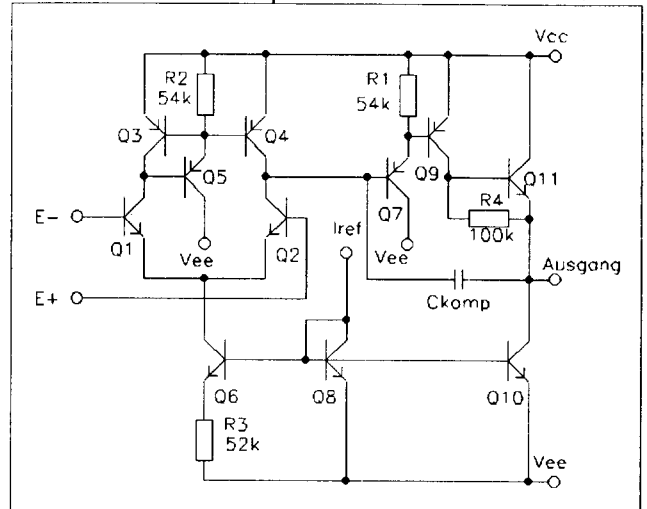


Abb. 6: Operationsverstärkerschaltung

hat durchaus zufriedenstellende Eigenschaften. Die Leerlaufverstärkung v_0 liegt über 110 dB und die Offsetspannung beträgt $807 \mu\text{V}$. Der differentielle Eingangswiderstand r_d beträgt $405 \text{ k}\Omega$ und der Ausgangswiderstand r_a beträgt $237 \text{ k}\Omega$.

3.1.1 Probleme des Frequenzgangs

Die Funktion der schwimmenden Spannungsquelle ist eine reine Gleichspannungsanwendung, womit der Frequenzgang im ersten Augenblick nebensächlich erscheint. Da jedoch alle Operationsverstärker außer einem rückgekoppelt sind und die Spannungs-

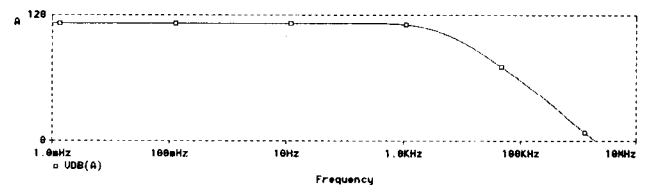


Abb. 7: Frequenzgang ohne C_{komp}

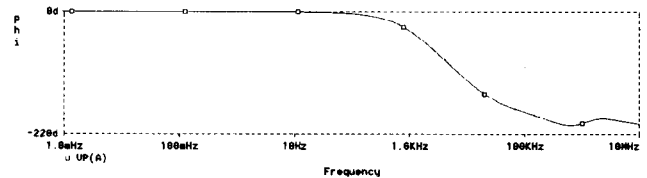


Abb. 8: Phasengang ohne C_{komp}

verstärkung 1 besitzen, muß dem Frequenz- bzw. Phasengang Beachtung geschenkt werden. Abb. 7 und 8 zeigen den Frequenz-, bzw. Phasengang des unkompenzierten Operationsverstärkers. Bei einem Betrag der Verstärkung von 0 dB , d.h. 1, ist der



Betrag der Phase kleiner als -180° . Damit ist keine Phasenreserve mehr vorhanden und der rückgekoppelte Verstärker kann leicht schwingen.

3.1.2 Frequenzgangkompensation

Die Frequenzgangkompensation nutzt den Miller-Effekt aus. Dabei erscheint eine Kapazität zwischen Eingang und Ausgang einer Verstärkerstufe um den Millerfaktor $1 + |v_{u1}|$ vergrößert am Eingang. Den Eingang der Verstärkerstufe bildet die Basis von Transistor Q7. Dies ist zugleich der Ausgang des Differenzverstärkers. Dieser Knoten bestimmt durch seinen Kleinsignalgesamt-widerstand und seine Gesamtkapazität gegenüber Masse die Frequenz der ersten Polstelle. Durch den Miller-Effekt sinkt der erforderliche Kapazitätswert erheblich, was einer Integration sehr entgegenkommt. Der Kollektor von Q9 ist der Ausgang der Verstärkerstufe und gleichzeitig Ausgang des Operationsverstärkers. Durch die zusätzliche Kapazität wird die Frequenz der ersten Polstelle stark erniedrigt und gleichzeitig die Frequenz der zweiten Polstelle stark erhöht. Dieser Effekt ist unter dem Namen Polsplitting bekannt. Dadurch verläuft der Frequenzgang über einen großen Frequenzbereich linear mit einer Steigung von -20 dB pro Dekade wobei der Phasengang in diesem Bereich konstant -90° beträgt. Je kleiner die Kollektorströme der Differenzstufe im Arbeitspunkt sind, desto stärker macht sich eine Kompensation bemerkbar. Damit bleibt der erforderliche Kapazitätswert gering. Abb. 9 und 10 zeigen die

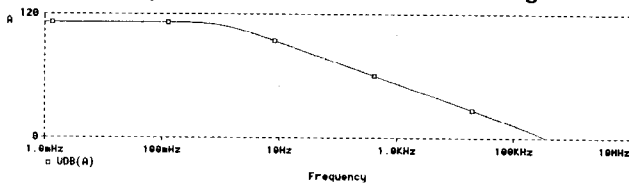


Abb. 9: Frequenzgang mit C_{komp}

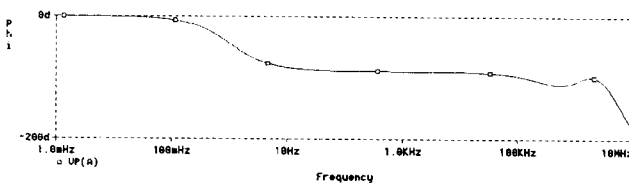


Abb. 10: Phasengang mit C_{komp}

Simulationsergebnisse mit einem Kompensationskondensator von 16 pF, wie er auf dem Transistorarray mehrfach vorhanden ist. Dabei stellt sich bei 0 dB eine Phasenverschiebung von -110° ein.

3.2 Stromquellen

Um die Stromquellen zu realisieren mußten der Operationsverstärkerschaltung lediglich die Aus-

gangstransistoren hinzugefügt werden. Der Standard-PNP-Transistor im Ausgang der Stromquelle Nr. 1 wurde wiederum durch eine Darlingtonschaltung ersetzt. Die 100Ω , bzw. $1 \text{ k}\Omega$ Widerstände wurden durch 210Ω , bzw. $2.3 \text{ k}\Omega$ Widerstände, wie sie in der Grundzelle des Transistor-Arrays vorhanden sind, ersetzt.

3.3 Differenzverstärker

Die in [1] verwendete Schaltung des Differenzverstärkers ist wegen der hohen Widerstandswerte von R7 bis R10 von $680 \text{ k}\Omega$

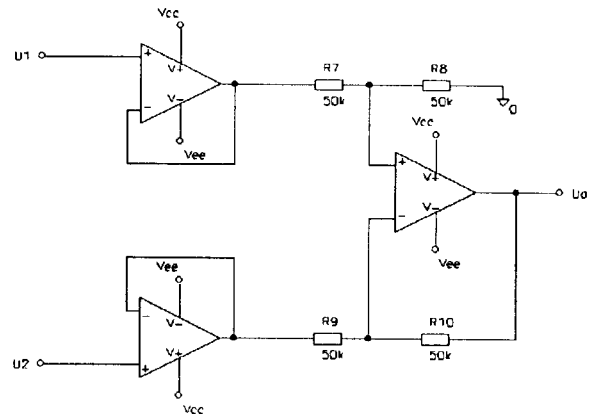


Abb. 11: Elektrometer-Subtrahierer mit vorgeschalteten Impedanzwandlern $U_a = U_1 - U_2$

nicht integrationstauglich. Abhilfe bietet ein Subtrahierer mit vorgeschalteten Impedanzwandlern, wie er in Abb. 11 gezeigt ist. Damit steigt die Zahl der Operationsverstärker insgesamt auf 6 an. Daraus resultiert ein hoher Schaltungsaufwand und nochmals zusätzliche Kompensationskapazitäten.

3.4 Gesamtschaltung

Sämtliche Schaltungsblöcke können nun auf dem Transistor-Array realisiert werden. In der Gesamtschaltung in Abb. 12 sind die Operationsverstärker nach Abb. 6 als Blockschaltbilder dargestellt. Die Dioden D1 und D2 in der Schaltung nach Abb. 3 wurden durch NPN-Transistoren mit einem Kurzschluß zwischen Kollektor und Basis ersetzt. Da die Aussteuergrenze des Operationsverstärkers nach Abb. 6, im Unterschied zu den Operationsverstärkern in Abb. 3, nicht bis zur negativen Versorgungsspannung reicht, wurden zwischen Stromquelle Nr. 2 und negativer Versorgungsspannung zusätzlich zwei NPN-Transistoren, wie oben beschrieben, eingefügt. Alle Operationsverstärker werden intern mit 24 pF kompensiert. Durch diese Überkompensation der einzelnen Operationsverstärker soll die Schwingneigung der Gesamtschaltung unterdrückt werden. Die Versorgungsspannung muß wegen der Durch-

bruchspannung der Transistoren von $\geq 24\text{ V}$ von $\pm 15\text{ V}$ auf $\pm 10\text{ V}$ gesenkt werden.

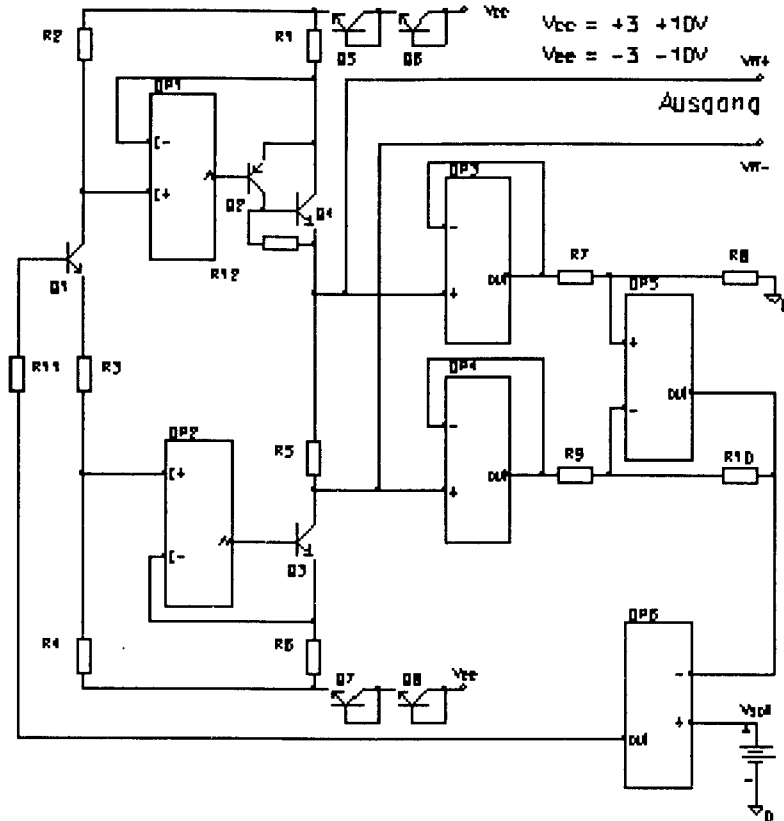


Abb. 12: Gesamtschaltung, Operationsverstärker als Blockschaltbild dargestellt.

3.5 Ergebnisse

Die Ergebnisse sind als vorläufige Ergebnisse zu sehen, da die Gesamtschaltung noch näher untersucht werden muß. Eine vollständige Darstellung der Ergebnisse findet sich in [4]. Abb. 12 zeigt den Verlauf der Ausgangsspannung der Schwimmenden Spannungsquelle in Abhängigkeit der Sollspannung.

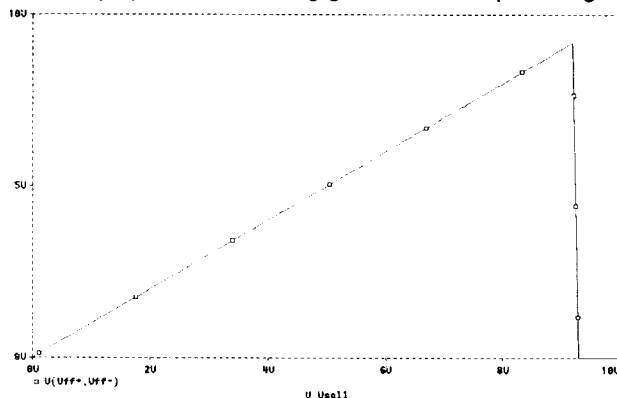


Abb. 12: Verlauf der Ausgangsspannung

Dabei ergab sich ein linearer Aussteuerbereich von $0 \leq V_{ff-} < V_{ff+} \leq V_{cc} - 0.8\text{V}$.

Der sichere Betriebsbereich erstreckt sich damit auf $0.5\text{V} \leq V_{ff} \leq 9\text{V}$.

Die Potentiale der einzelnen Klemmen, dargestellt in Abb. 13, relativ zu den Versorgungsspannungen bewegten sich dabei von $V_{ee} + 9\text{V} \leq V_{ff-} < V_{ff+} \leq V_{cc} - 0.9\text{V}$.

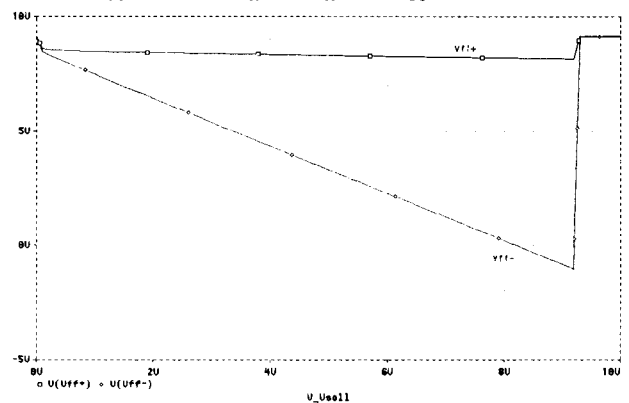


Abb. 13: Verlauf der Klemmenpotentiale

Der Innenwiderstand r_d betrug $< 1\text{ m}\Omega$. Bei der Untersuchung des Isolationswiderstands r_i ergaben sich Werte von mehreren $\text{M}\Omega$. Der Leckstrom nach Masse beträgt dabei lediglich $1\text{ }\mu\text{A}$.



4 Zusammenfassung

Die Funktion der Schwimmenden Spannungsquelle kann mit einem einzigen IC realisiert werden. Der Schaltungsaufwand für den Anwender ist dadurch minimal.

5 Literaturverzeichnis

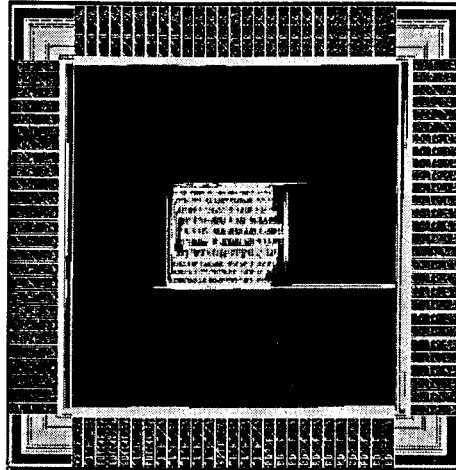
[1] G. Glasmachers
Elektronik 11/1996
S. 84 - 86

[2] Sedra/Smith
Microelectronic Circuits
The Dryden Press, Saunders College Publishing 1887
S. 398 - 458 und 708 - 772

[3] Tietze/Schenk
Halbleiterschaltungstechnik
Springer-Verlag, 9. Auflage 1991
S. 28 - 72, 140 - 153 und 854 - 859

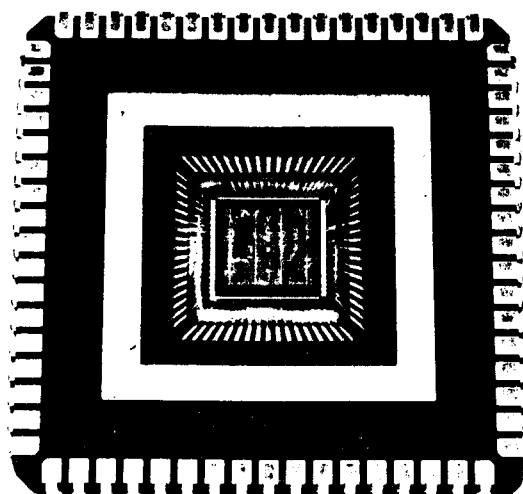
[4] G. Plappert
Diplomarbeit 1997 (in Vorbereitung)
FH Heilbronn

Programmierbares AT-Bus Interface



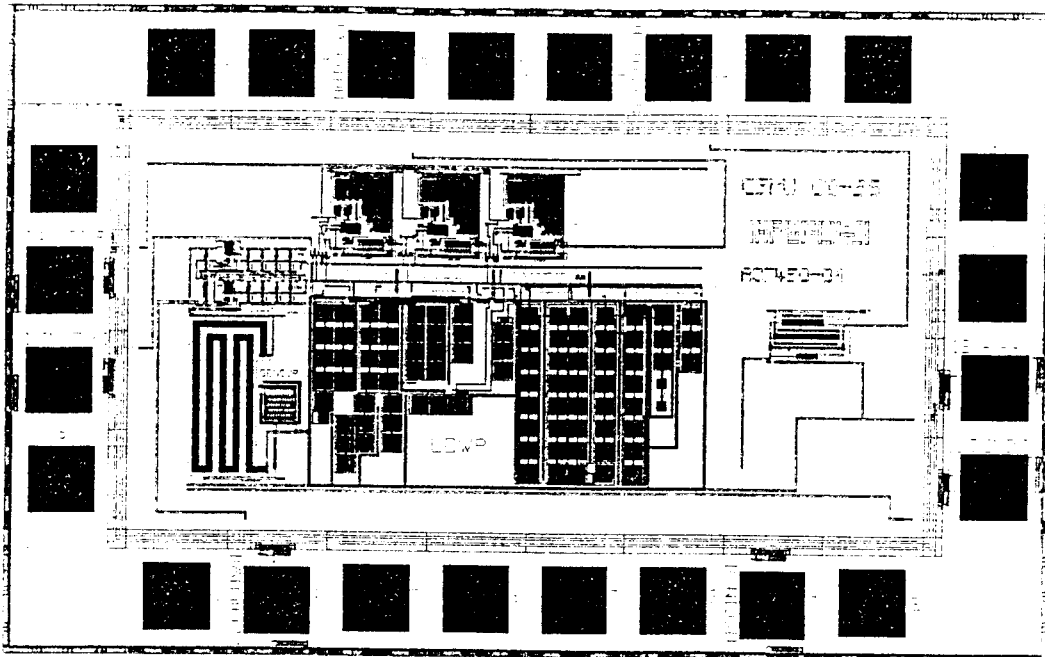
Chip-Layout

Entwurf	: Fachhochschule Karlsruhe Dipl.-Ing. (FH) Bodo Schakols, Assistent, Fb. N
Chipfertigung	: IMEC (Smith Ltd.)
Technologie	: CMOS, 0.7 μ m, Alcatel-Mietec
CAE-Software	: Mentor Graphics A.2-F
Herstellung	: 16/09/96
Kostenträger	: MPC-Gruppe
Beschreibung	: Programmierbares AT-Bus Interface. Der ASIC ersetzt die komplette Hardware für den Aufbau eines Interface zum AT-Bus. Der Baustein besitzt folgende Leistungsmerkmale: Verwaltung von bis zu 16 Peripherie-Bausteinen, Belegung von bis zu 32 I/O-Adressen, Steuerung der Zugriffsart (Standard, 16-Bit, 0-Waitstate, I/O-CH Ready), Verwaltung von bis zu 4 Hardware-Interrupts. Alle Funktionen sind programmierbar. Die max. Propagation Delay Time unter kapazitiver Last der entsprechenden Busleitung beträgt ca. 20ns. Ruhestrom ca. 11mA.
Anwendung	: Aufbau <i>einer</i> standardisierten Prototypenkarte auf der Basis des ASIC. Einsatz der Karte für den Aufbau von PC-Interfaces in Studien-, Diplom- und Projektarbeiten.



Entwurf:	Fachhochschule Esslingen - Hochschule für Technik Bearbeiter: M. Kröner, A. Meybohm, T. Munz, C. Löffler Betreuung: Prof. Dr. W. Zimmermann, Prof. Dr. G. Kampe	
Layout:	IMS Stuttgart	
Technologie:	IMS Gate Forrest 0,8µm (CMOS Gate Array) Entwurf mit VHDL, Synthese mit Mentor Autologic II	
Chipfertigung:	IMS	
Herstelldatum:	III. Quartal 1996	
Kostenträger:	MPC-Mittel FH-Verbund Baden-Württemberg	
Chipdaten:	Gate Array GFN024C , Gehäuse CLCC68	
Funktion:	Umsetzung der Signale von optischen Inkrementalgebern oder Resolvemern mit sinusförmigen Ausgangssignalen in einen digitalen Lagemeßwert. Die Sensorsignale werden mit Hilfe eines teilintegrierten Sigma-Delta-Wandlers umgewandelt und mit Hilfe eines digitalen Zweipunkt-Abtast-PLL-Regelkreises ausgewertet.	
Techn. Daten:	Eingangssignal:	sinusförmiges Quadratursignal
	Eingangsfrequenzbereich:	0-160 kHz
	Meßbereich:	1024 Signalperioden
	Auflösung:	9 bit je Periode
	Meßgenauigkeit:	6 bit je Periode
	Mikroprozessorbusinterface:	16 bit
Testergebnisse:	Funktion und Meßgenauigkeit konnten in einer Testschaltung nachgewiesen werden.	

Switch-Capacitor-Filter



Entwurf: Fachhochschule Esslingen, Außenstelle Göppingen
Bearbeitung: Vincent Arnould
Betreuer: Prof. Dr. H. Töpfer

Layouterstellung: FH Esslingen (Full Custom Design IAFGP4_Layout)

Technologie: Mietec CMOS 0,7µm

Herstellungsdatum: IV. Quartal 1996

Kostenträger: MPC-Gruppe Baden-Württemberg

Chipdaten: 4 Teilchips, Gesamtgröße 1,9 x 3,2 mm²
Lieferform: ungebondete Chips
Chip wird in DIL28-Gehäuse aufgebaut

Funktion: Switch-Capacitor-Filter 2.Ordnung für niedrige Betriebs-
spannungen in 2 unterschiedlichen Ausführungen,
3 verschiedene Quarz-Oszillatoren

Testergebnisse: liegen noch nicht vor, Chip wird gerade aufgebaut

zae54o - Digitalzähler

Funktionsblöcke simuliert und
 verifiziert im technischen Wahlfach
 "CAE Elektronischer Schaltungen",

7. Semester ELEKTRONIK im SS96

durch die Herren
 A.Neuner,
 U.Weißerrieder,
 F.Bummele,
 S.Zisel,
 C.Barth,
 A.Haugg,
 H.Widmann,
 C.Bock und
 A.Haas
 Vorstudie: H.Bender

	N021	N020	N019	N018	N017	N016	N015	N014	N013	N012	N011	N010	N009	N008	N007	N006	N005	N004	N003	N002	N001	
W001																						E021
W002																						E020
W003																						E019
W004																						E018
W005																						E017
W006																						E016
W007																						E015
W008																						E014
W009																						E013
W010																						E012
W011																						E011
W012																						E010
W013																						E009
W014																						E008
W015																						E007
W016																						E006
W017																						E005
W018																						E004
W019																						E003
W020																						E002
W021																						E001
	S001	S002	S003	S004	S005	S006	S007	S008	S009	S010	S011	S012	S013	S014	S015	S016	S017	S018	S019	S020	S021	

Chipfertigung: IMS Stuttgart
 EDIF-Tape-out: Juni 96
 Komplexität: ca. 55000 Transistoren
 Technologie: 0.8um CMOS Gate-Forest

zae54o dient zur Realisierung eines flexiblen, uP-gesteuerten Universalzählers. Bedienung und Programmierung müssen in diesem Fall über die auf dem ASIC integrierte uP-Schnittstelle erfolgen.

Ein Einsatz als Ein-CHIP-ZÄHLER wird ebenfalls unterstützt - allerdings nur in Form der Betriebsarten "Frequenzzähler" oder "Periodenmessung" mit festen Torzeiten (1s, 1ms) bzw. Auflösungen (1us).

Der Digitalzähler zae54o besteht aus den Baugruppen Zeitbasis ZB, Vorteiler VT, Torschaltung MIXTOR, Zähldekaden ZD, Displaylogik DIS und der uP-Schnittstelle PC.

ZEITBASIS (ZB) generiert - z.B. ausgehend von einem 1MHz-Takt - mit 9 dekadischen Teilern Teilfaktoren von 1/1 bis 1/1 * 10E9 bzw. Torzeiten bis zu 1000s, die durch binäre Teilerstufen eines Zeitbasis-Vorteilers um den Faktor 8 verlängert werden können.

VORTEILER (VT) bietet mit 3 dekadischen Teilerstufen verbesserte Möglichkeiten zur Messung einer Multi-Periodendauer. 3 binäre Teilerstufen stehen in diesem Signalpfad ebenfalls zur Verfügung.

MIXTOR entscheidet über die Betriebsart wie z.B. Messung von Frequenz, Periode, Zeit, Phase, Ereignis,...und leitet das zu zählende Signal den ZÄHLDEKADEN (ZD) zu. Diese bestehen aus 9 dekadischen BCD-Zählern, deren Zählstand auf Zwischenregister geladen werden kann. Aus diesen Registern werden Daten an die 7-Segment-Decoder-Treiber ausgegeben. Das direkte Lesen und Beschreiben des Registerblocks ist über die Prozessor-Schnittstelle möglich.

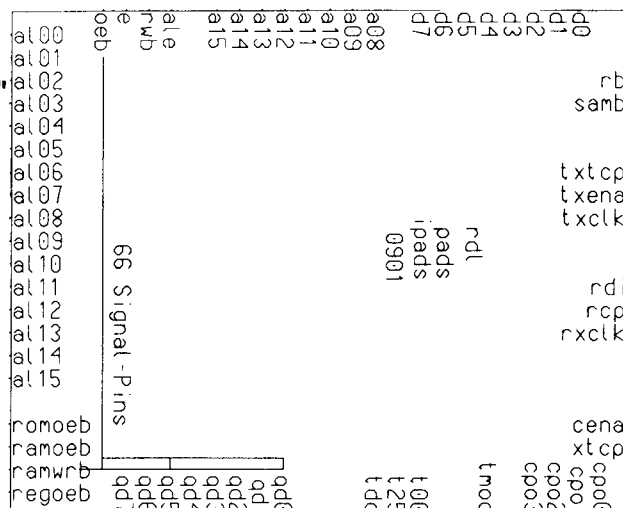
Die DISPLAYLOGIK (DIS) bietet einen zweiten, dem Prozessor zugänglichen unabhängigen Registersatz, der ebenfalls auf die 7-Segment-Decoder geschaltet werden kann. Somit ist es möglich, eine Messung anzustossen, Meßdaten im ASIC anzusammeln und sie dem PC zur Aufbereitung zu übergeben. Die aufbereiteten Daten werden anschließend über den zweiten Registersatz den 7-Segment-Decoder-Treibern und den dazugehörigen Digit-Multiplexern zugeführt. Externe, fest verdrahtete Pins erlauben eine Anpassung an die Anzeigetechnologie (gemeinsame Anode/Kathode, pos/neg. Logik und Lampentest)

W.Ludescher, 4.7.96

RDS-Datenlogger

Funktionsblöcke entworfen und simuliert
 im Fach "CAE Elektronischer Schaltungen"

Entwurfs-Team:
 5. Semester ELEKTRONIK im WS96/97



Dieser ASIC realisiert den Sendeteil eines flexiblen RDS-Datenloggers. Daten werden durch interne Logikschaltungen oder unter der Kontrolle eines externen Mikroprozessors eingespeichert und abgesendet. Im ersten Fall spricht der Baustein durch direkten Speicherzugriff externes EPROM oder RAM an, lädt die Daten in interne Register und sendet den Block ab. Im zweiten Fall holt ein Mikroprozessor (gesteuert durch sein Programm) Daten aus dem EPROM- oder RAM-Bereich ab, speichert sie in das Senderegister und startet den Sendevorgang.

Der Sender besteht aus den Baugruppen Takterzeugung CPS, Prozessor-Schnittstelle PCI, Addressgenerator ADI und Datensender TXM.

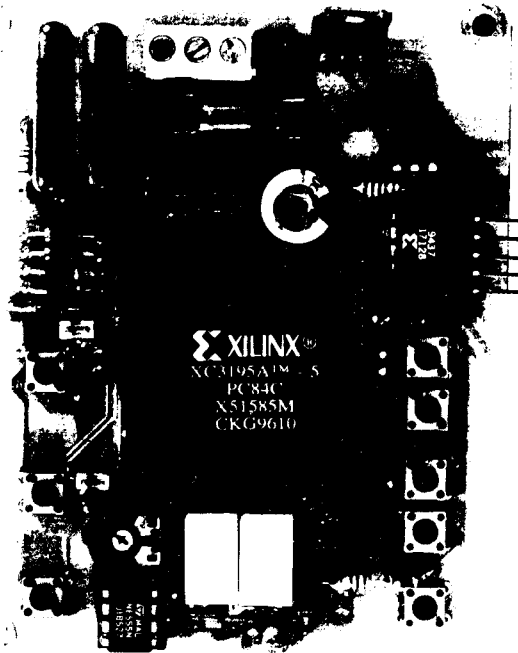
Die Takterzeugung CPS generiert - ausgehend von einem 4.332MHz-Takt - einen Stereo-Pilot-Ton (19kHz), einen RDS-Träger (57kHz), ein Taktsignal zur Erzeugung eines Manchester-Codes (2.375kHz) und einen Datentakt (1.187kHz). Diese Takte werden benötigt, um innerhalb CPS den seriellen Bitstrom differenziell zu codieren, in einen Biphas-Code zu wandeln und anschließend auf 57kHz (180° PSK, unterdrückter Träger) zu modulieren.

Die Prozessor-Schnittstelle PCI erlaubt es, einen externen Mikroprozessor ohne zusätzliche Logik anzukoppeln. PCI erhält als Eingangsgröße den üblicherweise gemultiplexten Daten- und Addressbus eines uPs und generiert daraus Status- und Address-Signale. Nach dem Reset startet das System aus einem EPROM-Bereich von 64kByte. Dieser EPROM-Bereich kann durch 64kByte statisches RAM "beschattet" werden. Nach dem Initialisieren des RAMs durch das EPROM steht ein System mit 64kByte-RAM zur Verfügung. Die Konfiguration erfolgt in einem Register des PCI. Der Addressgenerator ADI erlaubt den direkten Speicherzugriff auf RAM oder EPROM ohne die Kontrolle eines uPs. Ein Moore-Automat generiert Leseadressen, kopiert Daten in den Sendeteil und inkrementiert die Zähler des ADI, solange Sendedaten vorliegen.

TXM wandelt Sendedaten in einen seriellen Bitstrom mit RDS-Offset und -Prüfsumme um und stellt sie an einem Ausgangspin zur Verfügung.

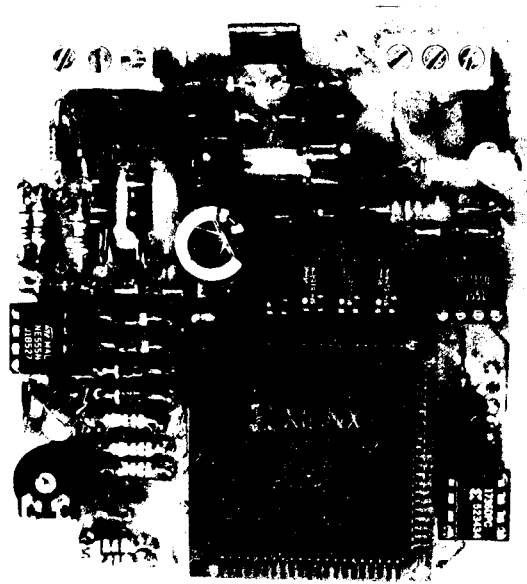
Entwurf: FH Ravensburg-Weingarten,
 CAE-Projekt 5.Semester Elektronik (WS96/97)
 betreut durch: Dipl.-Ing. (FH) F.Förster, Prof. Dr.-Ing. W.Ludescher
 CAE-Software: Mentor V8
 Chipfertigung: IMS Stuttgart,
 im Rahmen des MPC-Verbundes Baden-Württembergs
 Komplexität: ca. 35000 Transistoren
 Technologie: 0.8um CMOS Gate-Forest

Sender einer Lichtsteuerung



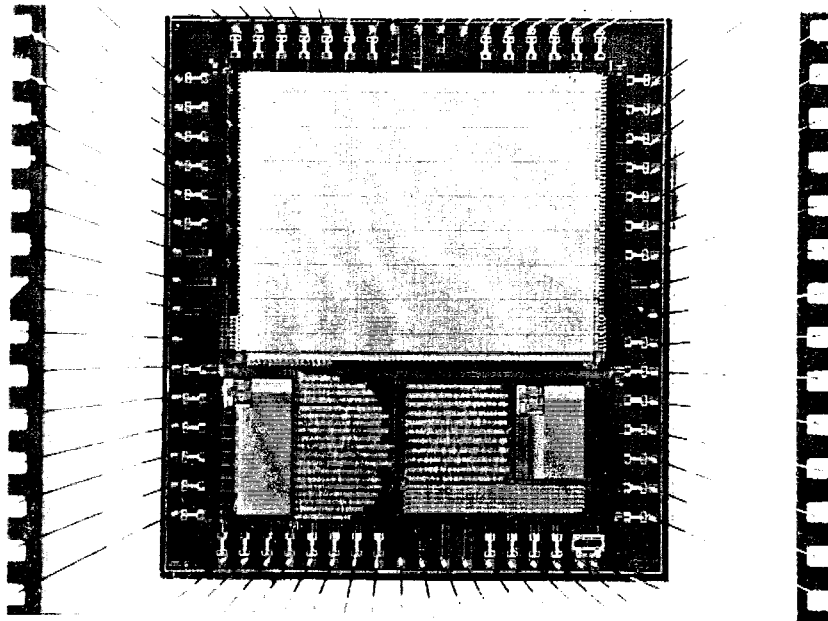
- Entwurf: Fachhochschule Ulm
Bearbeiter: Oliver Fröhlich
Betreuer: Prof. Dipl.-Ing. Arnold Führer
- Technologie: FPGA
- Typ: XC3195 mit Prom 17128
- Fabrikat: XILINX
- Schaltungsgröße: ca. 2000 Gatterfunktionen
- Herstelldatum: I. Quartal 96
- Kostenträger: MPC-Gruppe Baden-Württemberg
- Funktion: Der IC enthält die Steuerung des Senders eines neuartigen Lichtszenendimmers. Die Funktionsweise dieser Steuerung ist im Workshopband Februar 1996 Karlsruhe beschrieben.
- Testergebnisse: Die Schaltung ist funktionsfähig und hat die Machbarkeit des neuen Datenübertragungssystems bewiesen.
- Bild: Die Abbildung zeigt die Prototypenplatine der gesamten Senderschaltung mit Oszillator, 2x7 Segment LED Anzeige, Bedienelementen, Kondensatornetzteil für den 230V Betrieb und den Leistungstriac.

Empfänger einer Lichtsteuerung



- Entwurf: Fachhochschule Ulm
Bearbeiter: Thomas Luksch
Betreuer: Prof. Dipl.-Ing. Arnold Führer
- Technologie: FPGA
- Typ: XC3042A mit Prom 17360PC
- Fabrikat: XILINX
- Schaltungsgröße: ca. 1200 Gatterfunktionen
- Herstelldatum: I. Quartal 96
- Kostenträger: MPC-Gruppe Baden-Württemberg
- Funktion: Der IC enthält die Steuerung des Empfängers eines neuartigen Lichtszenendimmers. Die Funktionsweise dieser Steuerung ist im Workshopband Februar 1996 Karlsruhe beschrieben.
- Testergebnisse: Die Schaltung ist funktionsfähig und hat die Machbarkeit des neuen Datenübertragungssystems bewiesen.
- Bild: Die Abbildung zeigt die Prototypenplatine der gesamten Empfängerschaltung mit Oszillator, Netzteil für den 230V Betrieb und den Leistungstransistor sowie den Ausgang für die DC-Regelung von Leuchtstofflampen-EVGs.

Thermologger



Entwurf: Fachhochschule Offenburg
Bearbeiter: Thomas Klumpp
Betreuer: Prof. Dr.-Ing. Dirk Jansen

Layouterstellung: Fachhochschule Offenburg (Standardzellenentwurf)

Technologie: ES2 0,7 μ m (ecpd07)

Chipfertigung: Europractice, Run 014

Herstelldatum: I. Quartal 1996

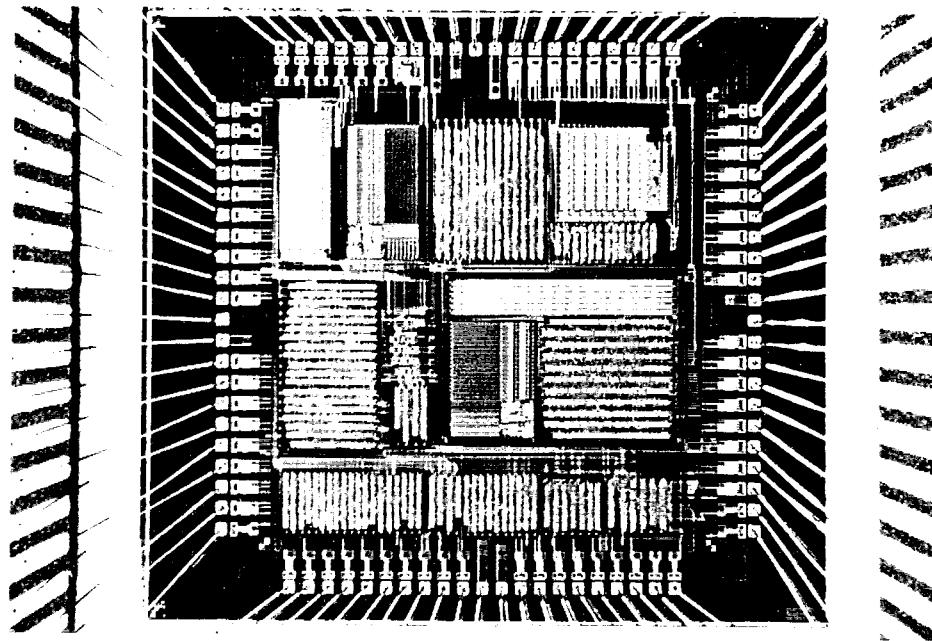
Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg

Chipdaten: Chipgröße: 6 x 5 mm²
Gehäuse: CLCC 68

Funktion: Der Chip enthält einen 8 KB RAM-Speicher, einen Mikroprozessorkern (FHOP) eine serielle Schnittstelle nach dem Telefonkartenstandard, eine Power-Down-Unit mit programmierbaren Timer sowie ein ROM für die Betriebssystemsoftware. Der Chip arbeitet mit einem Temperatursensor zusammen, er soll in regelmässigen Abständen die Temperatur aufnehmen, komprimieren und im RAM ablegen. Die Daten können bei Bedarf über die serielle Schnittstelle ausgelesen und als Temperaturprofil mit Hilfe eines PC-Programms dargestellt werden.

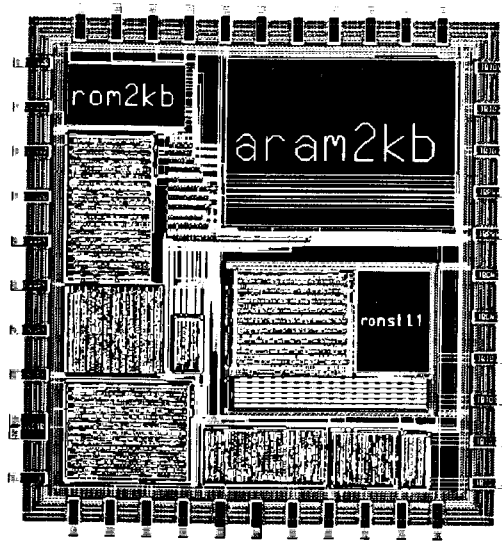
Testergebnisse: Alle Funktionseinheiten arbeiten wie entworfen, bis auf die CMOS-RAM-Ansteuerung (SPEC-Fehler). Das ROM enthält noch keine Betriebssystemroutinen. Weiterer Fehler durch Übersprechen bei der Oszillatorzelle. Redesign 1997 vorgesehen.

FHOP-Mikrocontroller



- Entwurf: Fachhochschule Offenburg
Bearbeiter: Wolfgang Vollmer
Betreuer: Prof. Dr.-Ing. Dirk Jansen
- Layouterstellung: Fachhochschule Offenburg (Standardzellenentwurf)
- Technologie: ES2 0,7 μ m (ecpd07)
- Chipfertigung: Europractice, Run 60
- Herstelldatum: IV. Quartal 1996
- Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg
- Chipdaten: Chipgröße: 5,2 x 5,2 mm²
Gehäuse: PLCC 84
Komplexität: ca. 65000 Transistoren
- Funktion: Das IC enthält einen kompletten Mikrocontroller, basierend auf dem an der Fachhochschule Offenburg entwickelten FHOP-Mikroprozessor. Als Peripheriemodule sind ein Buscontroller, eine Chipselect-Waitstate-Einheit, ein 16x16 Bit Multiplizierer, ein 2 KB ROM, ein 256 Byte RAM, ein Watchdog, eine 16 Bit breite PIO, eine serielle Schnittstelle, ein Timer und ein Interruptcontroller vorhanden. Im ROM ist bereits ein BIOS implementiert, das Funktionen für die einzelnen Komponenten bereitstellt.
- Testergebnisse: Der Mikrocontroller wurde erfolgreich getestet. Die Funktionen sämtlicher Peripheriemodule sind voll erfüllt. Die einzelnen Module können nun für andere Anwendungen verwendet werden.

PSK-Modem



Entwurf: Fachhochschule Offenburg
Bearbeiter: Daniel Vogel
Betreuer: Prof. Dr.-Ing. Dirk Jansen

Layouterstellung: Fachhochschule Offenburg (Standardzellenentwurf)

Technologie: ES2 0,7µm (ecpd07)

Chipfertigung: Europractice, Run 60

Herstelldatum: IV. Quartal 1996

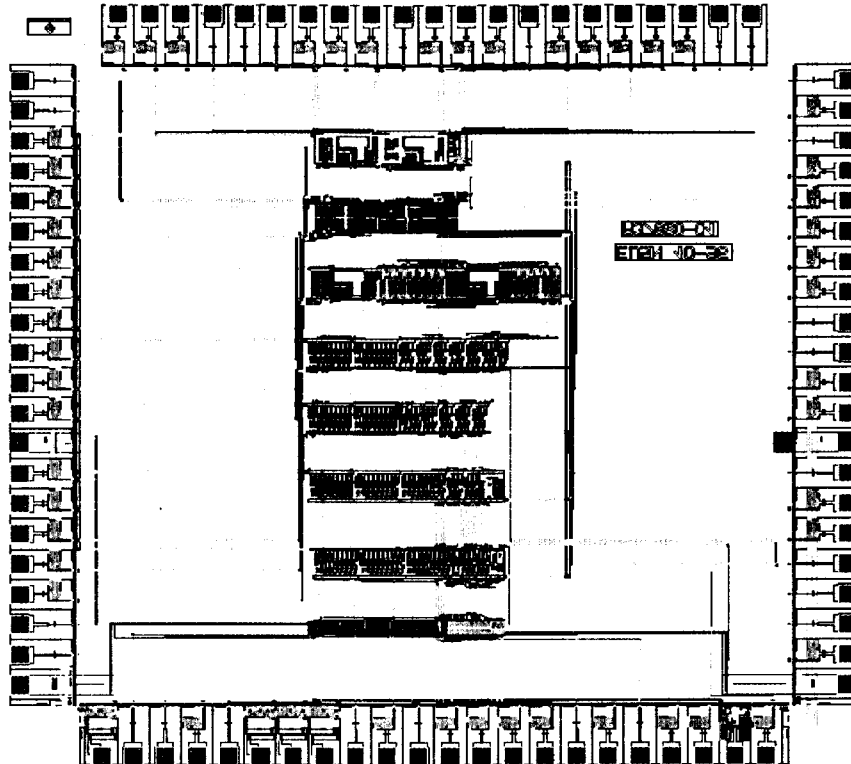
Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg

Chipdaten: Chipgröße: 5,4 x 5,7 mm²
Gehäuse: LCC 44
Komplexität: ca. 65000 Transistoren

Funktion: Das IC enthält neben dem Prozessorkern und div. Peripherie einen PSK-Buscontroller, der durch Phasen - Modulation auf einem mittelfrequenten Träger eine Kommunikation herstellt. Der Entwurf zielt auf Anwendungen mit induktiver Datenübertragung. Im Chip integriert sind einzelne Peripheriemodule: ein 2 KB ROM, 2 KB RAM, Watchdog, 16 Bit breite PIO, serielle Schnittstelle, Timer und ein Interruptcontroller. Im ROM ist bereits ein BIOS implementiert, das Funktionen für die einzelnen Komponenten bereitstellt sowie das Anwenderprogramm über eine IIC-Schnittstelle von einem EEPROM einliest.

Testergebnisse: Das PSK-Modem wurde erfolgreich getestet. Die Funktion des PSK-Modems ist erfüllt. Über eine Zwei-Draht-Schnittstelle wird ein externes Programm ins interne RAM geladen. Der Chip ist damit voll funktionsfähig.

Ringoszillatoren und Operationsverstärker als Testschaltkreis



Entwurf: Fachhochschule Aalen
Bearbeiter: Andreas Herb und Gustav Traub
Betreuung: Prof. Dr. B. Kohlhammer, Dipl.-Ing (FH) G. Busch,

Layouterstellung: EDA-Zentrum, FH Aalen
Chipfertigung: MIETEC Alcatel Belgien
Herstelldatum: IV Quartal 1996
Kostenträger: MPC-Mittel FH Verbund Baden-Württemberg
Technologie: MIETEC 2,0 μ m CMOS- Prozeß

Chipdaten: Chipgröße: 8,8 x 8,8 mm
Analoge Signalpins : 76
Digitale Signalpins: 5
Anzahl Transistoren: ca. 500

Funktion: Feststellung der Kennwerte von Transistoren bei veränderten Parametern (L/W).

Anwendung: Designtests

1 Vorbetrachtung

Der Testschaltkreis ist mit der Mietec- Technologie 2.0 μm als vollkundenspezifischer ASIC erstellt worden.

Der ASIC- Entwurf wurde im Rahmen einer Studienarbeit im EDA- Zentrum der Fachhochschule Aalen mit der CAE- Software IC- Station und Design Architect von Mentor Graphics gefertigt. Zur Simulation der entwickelten Schaltungen wurde das Programm AccuSim, ebenfalls von Mentor Graphics, verwendet.

2 Aufgabenstellung

Die Aufgabe bestand darin, Testschaltkreise mit Ringoszillatoren und Operationsverstärker verschiedener „Transistorgrößen“ (Länge / Weite) zu entwerfen, um deren Eigenschaften,

1. zu errechnen
2. zu simulieren und
3. am fertigen Chip zu messen.

3 Erläuterung der Testentwürfe

Die Ringoszillatoren wurden jeweils aus einem UND- Glied und fünfundvierzig Invertern zusammengestellt. Jeweils neun Inverter wurden dabei in eine Zelle integriert. Um Meßfehler zu vermeiden, war es notwendig die Inverterzellen so auf dem Chip zu plazieren, daß die Verbindungsleitungen so kurz wie möglich gehalten wurden und von Zelle zu Zelle möglichst dieselbe Länge aufweisen.

Durch die Ringoszillatoren ist es möglich die Schaltzeiten der einzelnen Transistorstufen zu berechnen.

Anhand der Operationsverstärker wurden die Verstärkung, und die Übertragungsfunktionen erst durch Berechnung und dann durch Simulation ermittelt.

4 Ergebnisse anhand eines Beispiels

Da eine ausführliche Zusammenfassung der Ergebnisse den Rahmen dieser Ausführungen sprengen würden, erscheint es sinnvoll als Beispiel nur auf einen Operationsverstärker etwas genauer einzugehen.

Bild 1 zeigt einen Operationsverstärker als Schematic- Entwurf , erstellt mit dem Programmpaket Design-Center der Firma Microsim.

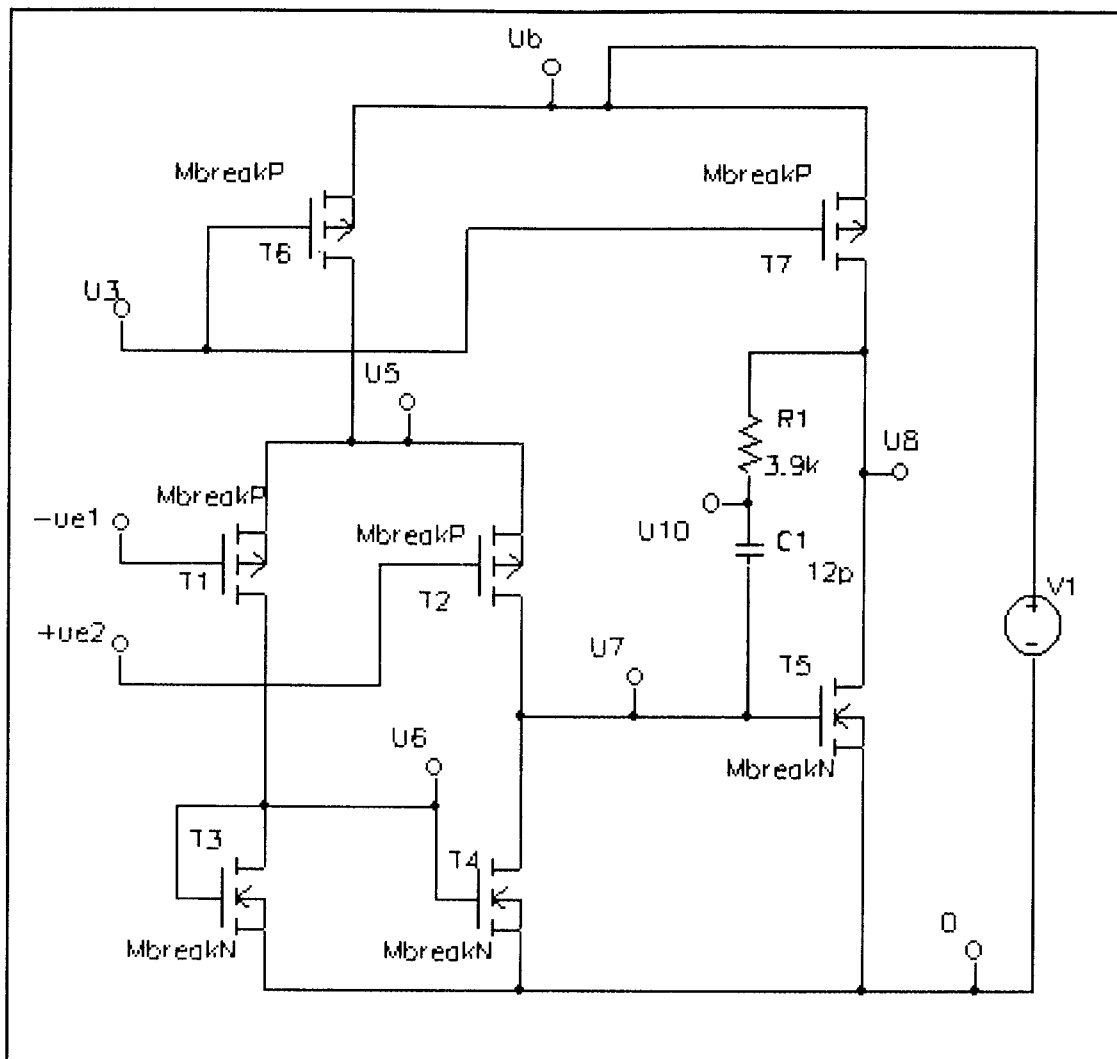


Bild 1 Operationsverstärker

Den zu Bild 1 gehörenden Floorplan einer entworfenen Operationsverstärkerzelle zeigt Bild 2.

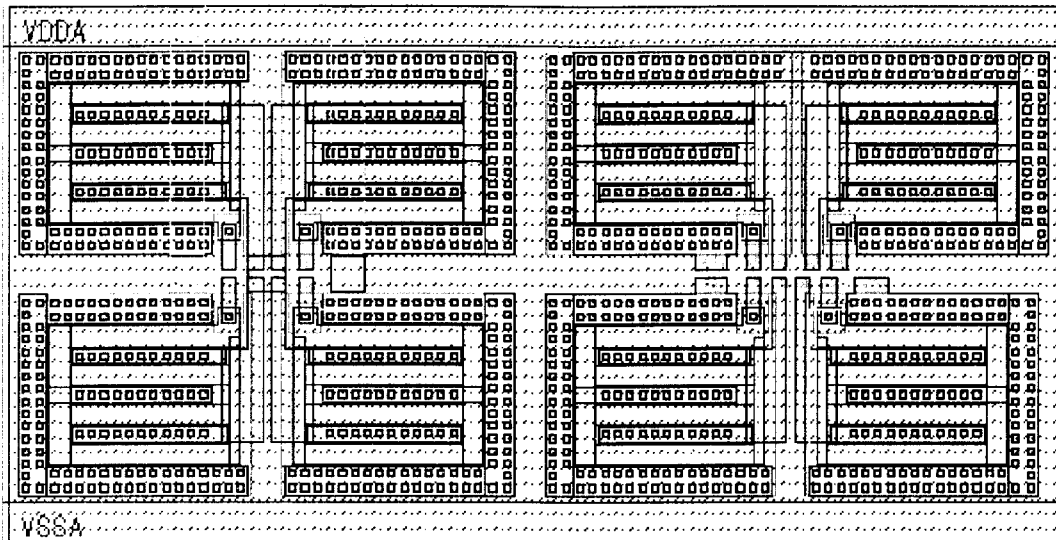


Bild 2 Floorplan eines Operationsverstärkers

Für die Eingangsstufen mit den Transistoren T1, T2, T3, T4 und T6 wurden folgende Formeln hergeleitet und mit Diagrammen dargestellt. Die Transistoren durchlaufen dabei verschiedene Bereiche.

	T1	T2	T3	T4	T6
Bereich 1:	Ohm -Ber.	Sperr- Ber.	Abschn- Ber	Ohm -Ber.	Abschn- Ber
Bereich 2:	Abschn- Ber	Sperr- Ber	Abschn- Ber	Ohm -Ber.	Abschn- Ber
Bereich 3:	Abschn- Ber	Abschn- Ber	Abschn- Ber	Ohm -Ber.	Abschn- Ber
Bereich 4:	Abschn- Ber	Abschn- Ber	Abschn- Ber	Abschn- Ber	Abschn- Ber
Bereich 5:	Abschn- Ber	Ohm -Ber.	Abschn- Ber	Abschn- Ber	Abschn- Ber
Bereich 6:	Abschn- Ber	Ohm -Ber.	Abschn- Ber	Abschn- Ber	Ohm -Ber.
Bereich 7:	Sperr- Ber.	Ohm -Ber.	Sperr- Ber.	Sperr- Ber.	Ohm -Ber.

Als Berechnungsbeispiel wurde der Bereich 2 ausgewählt. Bei der Simulation mit AccuSim sind entsprechende Ergebnisse erzielt worden.

Bereich 2

T6: Abschnür-Bereich

T1: Abschnür-Bereich T3: Abschnür-Bereich T2: Sperr-Bereich T4: Ohm-Bereich

$$I := 2.125 \cdot 10^{-5} \quad I_{I2} := I$$

$$I_{I1} = I_{D3} = \frac{\frac{B_n}{2} \cdot (U_{gs3} - U_{th3})^2}{1 - \frac{U_{ds3} - (U_{gs3} - U_{th3})}{\text{ExpLn}}} \quad U_{gs3} = U_{ds3} \quad I_{I1} = \frac{\frac{B_n}{2} \cdot (U_{ds3} - U_{th3})^2}{1 - \frac{U_{ds3} - (U_{ds3} - U_{th3})}{\text{ExpLn}}}$$

$$I_{I1} = \frac{1}{2} \cdot B_n \cdot (U_{ds3} - U_{th3})^2 \cdot \text{ExpLn} \cdot \frac{1}{(\text{ExpLn} - U_{th3})} \quad X := \frac{\text{ExpLn}}{\text{ExpLn} - U_{th3}}$$

$$U_{ds3_2} := \sqrt{2 \cdot \frac{I_{I2}}{B_n \cdot X}} + U_{th3} \quad U_{ds3_2} = 1.434$$

$$I_{I1} = I_{D1} = \frac{\frac{B_p}{2} \cdot (U_{gs1} - U_{th1})^2}{1 - \frac{U_{ds1} - (U_{gs1} - U_{th1})}{\text{ExpLp}}} \quad U_{gs1} = u_{e1} - U_5 \quad U_{ds1} = U_{ds3} - U_5$$

$$I_{I1} = \frac{\frac{B_p}{2} \cdot (u_{e1} - U_5 - U_{th1})^2}{1 - \frac{U_{ds3} - U_5 - (u_{e1} - U_5 - U_{th1})}{\text{ExpLp}}}$$

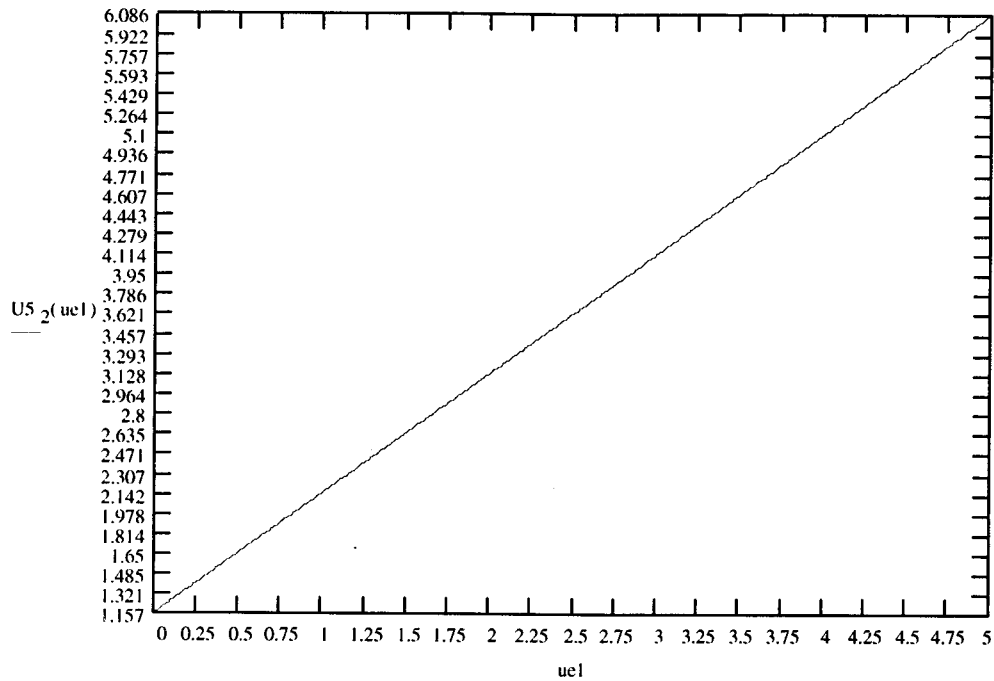
$$I_{I1} = \frac{1}{2} \cdot B_p \cdot (u_{e1} - U_5 - U_{th1})^2 \cdot \text{Exp} \frac{L_p}{(\text{ExpLp} - U_{ds3} + u_{e1} - U_{th1})}$$

$$\frac{-2 \cdot I_{I1} \cdot (\text{ExpLp} - U_{ds3} + u_{e1} - U_{th1})}{B_p \cdot \text{ExpLp}} = (u_{e1} - U_5 - U_{th1})^2$$

$$U_5 = u_{e1} - U_{th1} - \sqrt{\frac{2 \cdot I_{I1} \cdot (U_{ds3} - \text{ExpLp} - u_{e1} + U_{th1})}{B_p \cdot \text{ExpLp}}} \quad U_{ds3} \text{ eingesetzt}$$

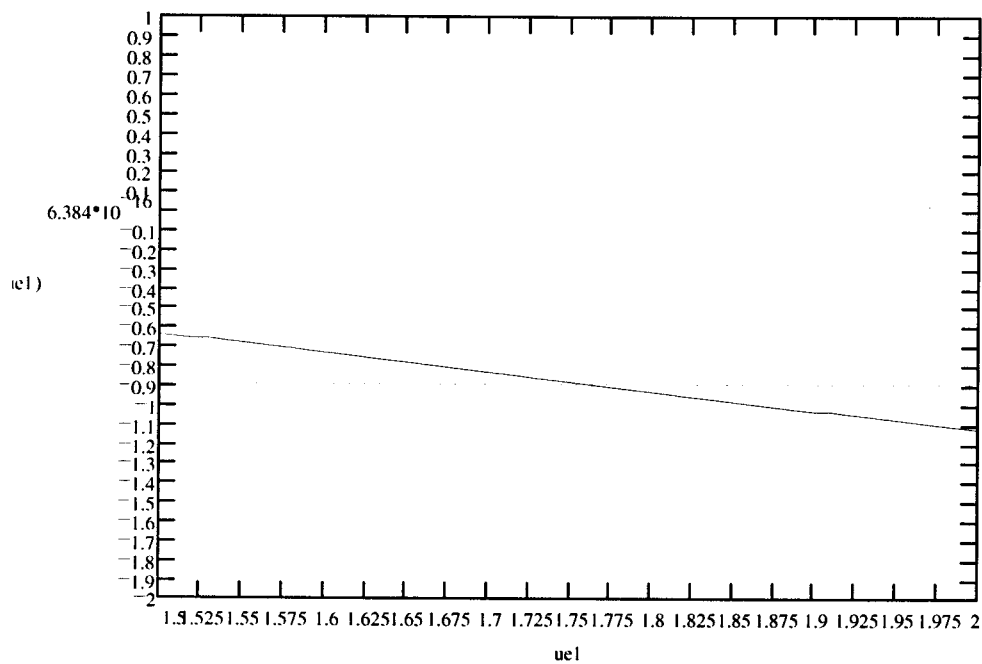
$$U_{5_2}(u_{e1}) := u_{e1} - U_{th1} + \sqrt{\frac{2 \cdot I_{I2} \cdot \left(\sqrt{2 \cdot \frac{I_{I2}}{B_n \cdot X}} + U_{th3} - \text{ExpLp} - u_{e1} + U_{th1} \right)}{B_p \cdot \text{ExpLp}}}$$

Die Ausgangsspannung von T2 in Abhängigkeit von der Eingangsspannung stellt das erste Diagramm dar. Das zweite Diagramm zeigt den Spannungsverlauf zwischen Gate und Source von T2.



$$U_{gs2}(ue1) := ue2 - U5_2(ue1)$$

$$U_{th2} = -0.9$$



$|U_{th2}| \leq |U_{gs2}(ue1)|$ Dann wird in Bereich 3 gewechselt, T2 wird leitend