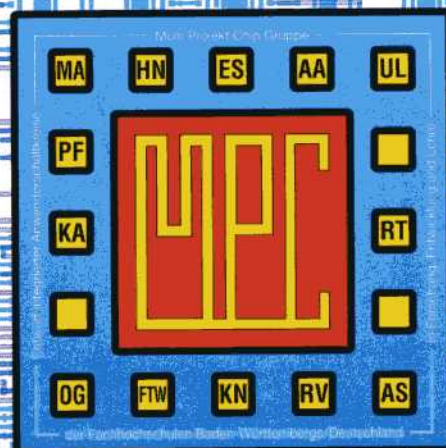


MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Januar 2003

Offenburg



MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Januar 2003

Offenburg

Cooperating Organization
Solid-State Circuits Society Chapter
IEEE Germany Section



Herausgeber: Fachhochschule Ulm

© 2003 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe)

BADEN - WÜRTTEMBERG

<http://www.mpc.belwue.de>

Fachhochschule Aalen

Prof. Dr. Bartel, Postfach 1728, 73428 Aalen

Tel.: 07361/576-107, Fax: -324, Email: manfred.bartel@fh-aalen.de

Fachhochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen

Tel.: 07431/579-124, Fax: -149, Email: rieger@fh-albsig.de

Fachhochschule Esslingen

Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen

Tel.: 0711/397-4221, Fax: -4212, Email: gerald.kampe@fht-esslingen.de

Fachhochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen

Tel.: 07723/920-503, Fax: -610, Email: ruelling@fh-furtwangen.de

Fachhochschule Heilbronn

Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn

Tel.: 07131/504400, Fax: /252470, Email: clauss@fh-heilbronn.de

Fachhochschule Karlsruhe

Prof. Dr. Koblitz, Postfach 2440, 76012 Karlsruhe

Tel.: 0721/925-2238, Fax: -2259, Email: koblitz@fh-karlsruhe.de

Fachhochschule Konstanz

Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz

Tel.: 07531/206-644, Fax: -559, Email: voland@fh-konstanz.de

Fachhochschule Mannheim

Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim

Tel.: 0621/2926-351, Fax: -454, Email: g.albert@fh-mannheim.de

Fachhochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg

Tel.: 0781/205-267, Fax: -242, Email: d.jansen@fh-offenburg.de

Fachhochschule Pforzheim

Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim

Tel.: 07321/28-6567, Fax: -6060, Email: kesel@fh-pforzheim.de

Fachhochschule Ravensburg-Weingarten

Prof. Dr. Ludescher, Postfach 1261, 88241 Weingarten

Tel.: 0751/501-9685, Fax: -9876, Email: ludescher@fbe.fh-weingarten.de

Fachhochschule Reutlingen

Prof. Dr. Kreutzer, Federnseestr. 4, 72764 Reutlingen

Tel.: 07121/341-108, Fax: -100, Email: hans.kreutzer@fh-reutlingen.de

Fachhochschule Ulm

Prof. Führer, Postfach 3860, 89028 Ulm

Tel.: 0731/50-28338, Fax: -28363, Email: fuehrer@fh-ulm.de

Inhaltsverzeichnis

	Seite
1. Ein Smart-Power ASIC für den Betrieb von Stromsparlampen J. Schwarz, J. Geisinger, G. Forster, FH Ulm	5
2. Eine universelle Laborplatine für den praktischen Elektronikunterricht R. Koblitz, FH Karlsruhe	13
3. Innovatives Multiparametermessverfahren Transparenz des gesamten Productflows für Designer R. Jäger, U. Jäger, FH Heilbronn	27
4. Integration eines PID-Reglers auf einem ASIC J. Lang, FH Ulm	33
5. Untersuchung einer neuartigen intermodulationsarmen Mischstufe G. Vengeas, FH Mannheim	37
6. Fehlersuche in einem schnellen Multiplizierer W. Rülling, FH Furtwangen	43
7. Überblick über Mikroelektronikausbildung an den Universitäten Chinas D. Wang, FH Offenburg	55
8. Technology and circuit design of FLASH memories J. Peter, Infineon Technologies AG	57
9. Ordnungsreduktion und Symbolische Analyse als neue Modellierungsverfahren P. Schwarz, Fraunhofer Institut Dresden	67
 Gefertigte Bausteine	
10. Minelog_4 M. Striebel, D. Jansen, FH Offenburg	90
11. Laderegler für Solarsysteme SOLAR2 T. Mack, M. Wiest, G. Forster, FH Ulm	91
12. CIS - Chip im Schmuck E. Ratz, F. Kesel, FH Pforzheim	92

Ein Smart-Power ASIC für den Betrieb von Stromsparlampen

Jürgen Schwarz, Jürgen Geisinger, Gerhard Forster
Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm

Im Rahmen zweier Diplomarbeiten wurde an der Fachhochschule Ulm in Zusammenarbeit mit der Firma Phocos AG ein ASIC für die Ansteuerung einer Stromsparlampe entwickelt. Der vorliegende Beitrag untersucht, inwieweit eine Integration der Schaltung auf einem ASIC möglich ist. Eine solche Integration bietet einerseits einen gewissen Schutz vor Plagiaten und senkt andererseits die Kosten, da Bauteile eingespart werden können. Der Kostenminimierung sind dabei jedoch vom technischen Anspruch her Grenzen gesetzt.

1 Einleitung

Moderne Energiesparlampen sind auf eine Betriebsspannung von 230 Volt ausgelegt. Unter Umständen kann es allerdings nötig sein, sie an einer Energiequelle, die nur 12 Volt liefert, zu betreiben. Beispiele hierfür sind u.a. der Betrieb mit Hilfe einer Solaranlage – so etwa in Gebieten der Dritten Welt ohne flächendeckendes Stromnetz – oder der Batteriebetrieb. Der Betrieb mit einer niedrigeren Spannung erfordert dabei eine entsprechende Anpassung der Steuerelektronik. Von besonderer Bedeutung ist hierbei die Problemstellung der Vorheizung sowie des Überlastschutzes.

2 Die Röhre

Die Lampe soll mit vier verschiedenen Leistungen (5, 7, 11, 15 W) angeboten werden. Die Brennspannung einer Röhre liegt in der Größenordnung von 100 V, die Zündspannung beträgt sogar mehrere 100 V. Der Betrieb der Röhre hat mit Wechselstrom zu erfolgen, da so ein gleichmäßiges Abtragen des Emissionsmaterials ermöglicht wird. Die Elektrodenwendeln müssen auf eine ausreichend hohe Temperatur aufgeheizt sein, wenn die Lampe zündet. Man vermeidet dadurch beim „Kaltstart“ das Ausreißen von Emissionsmaterial. Eine ungenügende Vorheizung verkürzt die Lebensdauer [1].

Um die Röhre simulieren zu können, braucht man ein elektrisches Modell. An der University of the Negev in Israel wurde ein umfassendes Modell für Gasentladungsröhren entwickelt [2,3]. Spezielle Messungen wurden an dieser Universität mit einer 9 W OSRAM Dulux Lampe durchgeführt. Bild 1 zeigt den Lampenwiderstand der Röhre. Man erkennt, dass die Lampe im Pulsbetrieb praktisch als Widerstand betrachtet werden kann, worauf wir uns beschränkten.

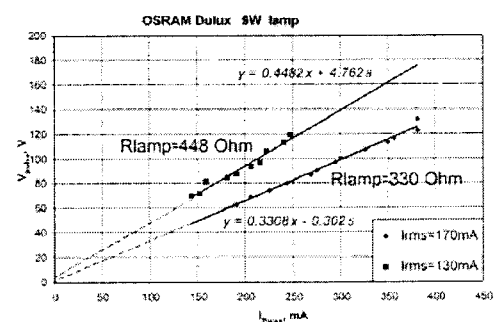


Bild 1: Linearität der Röhre

3 Der Systementwurf

Um die hohe Zündspannung und die Brennspannung zu erzeugen, muss die Gleichspannung abwechselnd mit zwei Transistoren auf einen Transformator geschaltet werden. Dieser überträgt die so erzeugte Wechselspannung und transformiert gleichzeitig die Spannung nach oben. Als Betriebsfrequenz wird in etwa $f = 20 - 25$ kHz gewählt. Frequenzen unterhalb scheiden aus, da diese im menschlichen Hörbereich liegen. Frequenzen darüber scheiden ebenfalls aus, da die fünfte Oberwelle aus CE-technischen Gründen unterhalb von 150 kHz liegen sollte. Dies ist darin begründet, dass ab 150 kHz der Langwellenbereich beginnt. Deshalb fällt der Grenzwert nach 150 kHz um 16 dB(μ V), was größere Entstörfilter zur Folge hat.

4 Der Schaltungsentwurf

Es wurden verschiedene Ansteuerschaltungen untersucht [4], jedoch stellte sich heraus, dass die Oszillatorschaltung mit einem Parallelschwingkreis am Eingang und zwei rückgekoppelten Transistoren am effektivsten arbeitet. Bei dieser Oszillatorschaltung sind keine Freilaufdioden erforderlich, und ein Betrieb mit einer geringeren Stromstärke ist möglich. Bild 2 zeigt die Oszillatorschaltung. Der Schalter S1 dient der Vorheizung der Wendeln. Bei geschlossenem Schalter findet keine Gasentladung in der Röhre statt. Stattdessen wird mit dem Wechselsignal des Transformators geheizt. Alternativ kann auch direkt mit der 12 V Versorgung geheizt werden (Gleichstromheizung). Dazu ist allerdings ein weiterer Schalter erforderlich. Die Drossel L1 glättet den Strom.

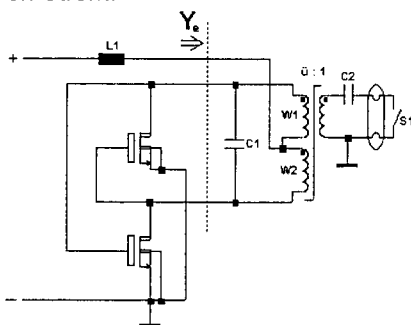


Bild 2: Prinzipschaltbild

4.1 Berechnung der Betriebsfrequenz

Der Widerstand R stellt in den Gleichungen die Impedanz der Röhre dar. Die beiden Wicklungen W1 und W2 bilden zusammen die Induktivität L . Betrachtet man den Ausgangsleitwert von der Eingangsseite des Transformators aus, dann wird diese reziprok mit dem Quadrat des Übersetzungsverhältnisses transformiert [5].

$$Y_e = \frac{1}{\ddot{u}^2} \cdot \frac{1}{\frac{1}{j\omega C_2} + R} + \frac{1}{j\omega L} + j\omega C_1$$

Bei Resonanz ist der Blindleitwert $B = 0$:

$$B = \frac{1}{\ddot{u}^2} \frac{\omega C_2}{1 + (\omega C_2 R)^2} - \frac{1}{\omega L} + \omega C_1 = 0$$

Da die gezündete Röhre recht niederohmig ist, gilt bei der angestrebten Betriebsfrequenz $f = 25$ kHz die Näherung

$$(\omega C_2 R)^2 \ll 1$$

Für die Betriebsfrequenz ergibt sich dann

$$f = \frac{1}{2\pi \sqrt{L \left(\frac{C_2}{\ddot{u}^2} + C_1 \right)}}$$

Setzt man $f = 25$ kHz, so lassen sich daraus die übrigen Größen näherungsweise bestimmen.

4.2 Realisierung

Um den Oszillator ein- und ausschalten zu können, muss eine Eingriffsmöglichkeit geschaffen werden. Des Weiteren muss sichergestellt sein, dass die Gates der Transistoren nicht übersteuert werden. Diese Probleme werden mit der erweiterten Schaltung nach Bild 3 gelöst. Rechts der Pins sind alle externen Bauelemente zu sehen und links alle auf dem Chip zu integrierenden Bauelemente. Die Gates der beiden Leistungstransistoren müssen zum Abschalten auf Masse gezogen werden.

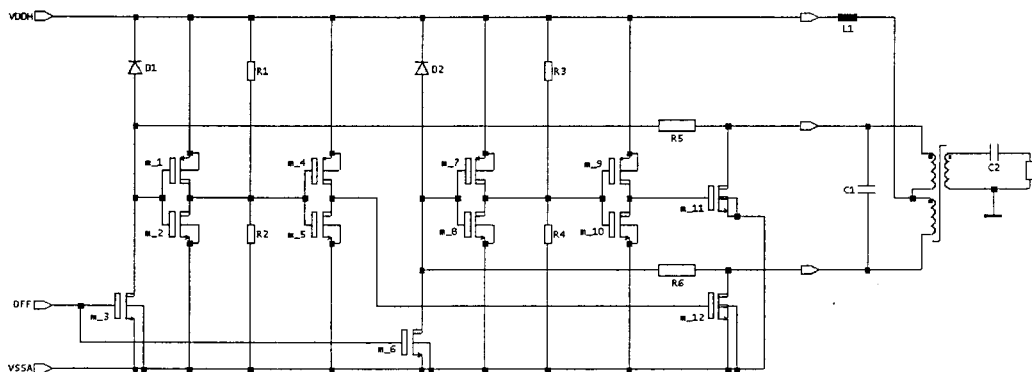


Bild 3: Ansteuerschaltung

Ein Smart-Power ASIC für den Betrieb von Stromsparlampen

Da die Gatespannung des einen Transistors die Drainspannung des anderen ist, bräuchte man zum Kurzschließen der Gates große Transistoren. Um dies zu umgehen, werden jeweils ein hochohmiger Widerstand (R5, R6) und zwei Inverter in die beiden Rückkopplungen geschaltet. Der Strom beim Abschalten durch die beiden Transistoren m_3 und m_6 wird durch die beiden Widerstände R5 und R6 begrenzt. Mit diesem Konzept können die Abschalttransistoren deutlich kleiner ausfallen als ohne Inverter. Eine Klemmdiode gegen 12 Volt in der Rückkopplung gewährleistet eine Gate-Source-Spannung von 12 Volt plus Diodenspannung. Des Weiteren erhöhen die Inverter die Schleifenverstärkung.

Die hohe Verstärkung der Inverter erschwert allerdings ihre gleichzeitige Positionierung im linearen Ansteuerbereich. Aus diesem Grund wird der erste Inverter mit zwei Widerständen belastet, wodurch die Transferkennlinie abgeflacht wird. Idealerweise sollte man den zweiten Inverter ebenfalls mit Widerständen belasten. Da jedoch die Schwingfähigkeit auch ohne diesen Widerstand nachgewiesen werden konnte, wird darauf verzichtet. So kann der volle Aussteuerbereich von 0 Volt bis 12 Volt für die Leistungstransistoren ausgeschöpft werden.

Die Phasen- und die Amplitudenbedingung müssen erfüllt sein, damit der Oszillator aus seinem Eigenrauschen heraus sicher anschwingt. Die Gesamtverstärkung berechnet sich aus dem Produkt der drei Einzelverstärkungen des Leistungs-MOSFETs und der beiden Inverter. Eine Rechnung zeigt, dass die Schwingfähigkeit des Oszillators zu jedem Zeitpunkt gewährleistet ist. Die Schleifenverstärkung beträgt je nach Arbeitspunkt zwischen 1,14 und 229.

4.3 Dimensionierung

Es werden folgende Anforderungen an die Schalttransistoren gestellt:

- Spannungs- und Stromfestigkeit ($U_{DS} = 40V$, $I_{DS} = 0.7-0.8 A$)
- Begrenzung der Verlustleistung für SO-Gehäuse
- Ausgeglichene Stromdichteverteilung

Für die Realisierung stellt der AMS CXZ Prozess [6] einen DMOS Transistor zur Verfügung, der sich durch einen geringen Durchschaltewiderstand sowie hohe Durchbruchspannungen an Drain und Gate auszeichnet.

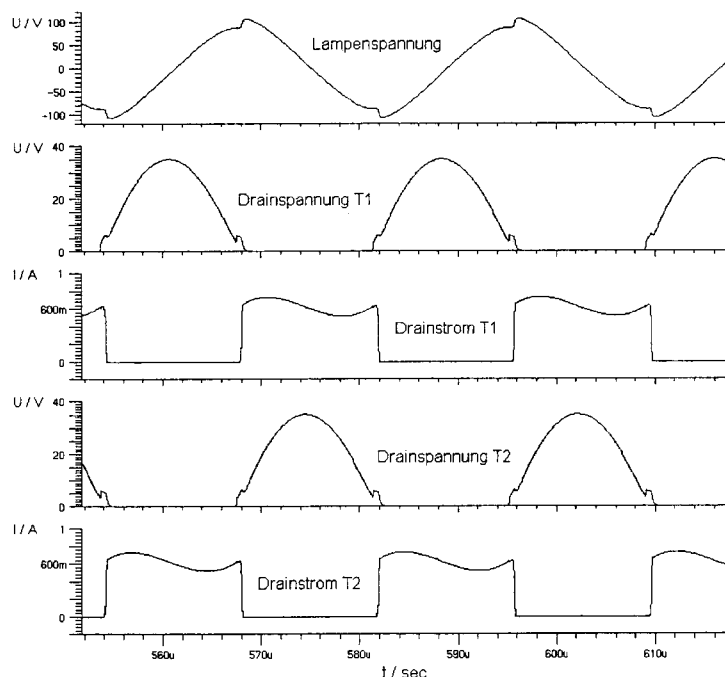


Bild 4: Simulationsergebnis

Bild 4 zeigt den zeitlichen Verlauf der wichtigsten Spannungen und Ströme. Jeweils im Scheitel der Lampenspannung schalten die Transistoren durch und versorgen das System mit neuer Energie. Die Lampenspannung steigt, was auch einen Anstieg des Stroms zur Folge hat. Die Schwingung wird durch die Last stark gedämpft, so dass Spannung und Strom bereits innerhalb einer Periode stark absinken. Die Sinusschwingung auf dem Strom weist die doppelte Frequenz auf. Die Amplitude der Schwingung ist von der Drossel am Eingang abhängig. Je größer diese ausfällt, desto konstanter wird der Strom. Die Simulation wurde an einer 5 W-Röhre durchgeführt.

4.4 Ansteuerlogik

Die Ansteuerlogik (Bild 5) hat drei Aufgaben:

- Übertemperaturabschaltung
- Steuerung der Heizung
- Dekodierung der Gleich-/Wechselstromheizung

Eine externe Z-Diode liefert eine konstante Referenzspannung, und mit dem externen Kondensator kann die Heizzeit eingestellt werden.

Für die Übertemperaturabschaltung werden zwei Dioden als Temperatursensoren zwischen die Leistungstransistoren gesetzt. Der Komparator comp3 vergleicht einen Schwellenwert mit der temperaturabhängigen Spannung dieser Dioden und schaltet bei Übertemperatur die Lampe aus.

Der externe Kondensator lädt sich mit einem konstanten Strom bis zu einem bestimmten Wert auf. Der Komparator comp2 erkennt diesen Ladestand und beendet den Heizvorgang. Der Kondensator wird während der POR-Phase vollständig entladen. Die Wendeln können wahlweise mit Gleich- oder Wechselstrom geheizt werden. Im Falle der Gleichstromheizung darf der Oszillator nicht schwingen, denn die Röhre würde sofort zünden, da das Relais einige Millisekunden Anzugsverzögerung besitzt. Bei der Gleichstromheizung wird der externen Z-Diode ein Kondensator parallel geschaltet, bei der Wechselstromheizung jedoch nicht. Der Komparator comp1 erkennt, welche Heizart gewählt wurde. Am Pin OFF kann der Oszillator abgeschaltet werden.

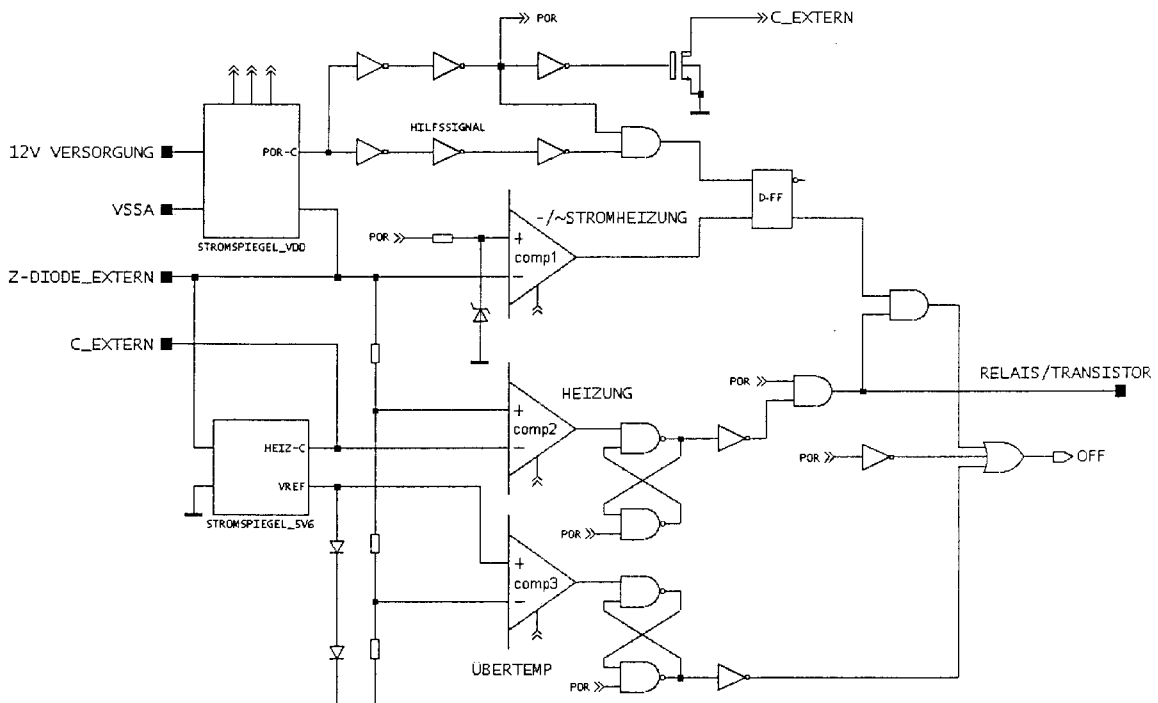


Bild 5: Ansteuerlogik

5 Layout

5.1 Bestimmung der DMOS Weite

Um die Weite des DMOS-Transistors zu bestimmen, wird eine Verlustleistung von $P_{V,max} = 0,3 \text{ W}$ bei einem Strom von $0,7 \text{ A}$ und einer Umgebungstemperatur von 27°C angenommen. Dies ergibt eine Weite von $45000 \mu\text{m}$. Da jedoch von einer Betriebstemperatur von 100°C ausgegangen werden muss, erhöht sich die minimale Weite auf $65000 \mu\text{m}$.

5.2 Layoutansatz

Der Transistor wird in 16 Zellen zu je 16 Teilelementen aufgeteilt (Bild 6). Jedes Teilelement besteht aus einem streifenförmigen Transistor. Diese Zellen werden stufenartig angeordnet, um die Verjüngung der Leiterbahnen auszugleichen. Die Verjüngung ist für eine ausgeglichene Stromdichteverteilung im Leiter notwendig. Es werden jeweils 8 Zellen in der oberen und unteren Reihe angeordnet. Die Platzierung der Pads erfolgt am Rand des Chips, um den Design Rules [6] zu genügen.

Um möglichst eine quadratische Chipform zu erreichen, müssen die einzelnen Transistorstreifen möglichst lang gewählt werden. Soll durch die Leiterbahnbreite nicht die Streifenbreite vergrößert werden, so ist die Streifenlänge durch die Stromdichte beschränkt

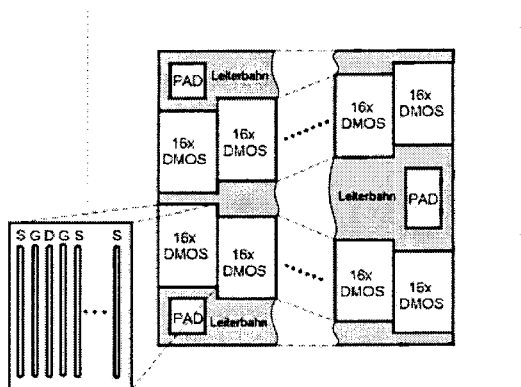


Bild 6: Topologie des NMOSMD

5.3 Berechnung der Teilelemente

Bei der Berechnung geht man von folgender Beschaltung der DMOS Elemente aus:

Um möglichst hohe Ströme zuzulassen, sind die MOSFETs mit Metall 1 angeschlossen und an beiden Enden zusätzlich über Vias an eine Metall 2 Leitung angeschlossen. Diese dient als Zuleitung zu den verjüngten Leitungen (siehe Bild 7).

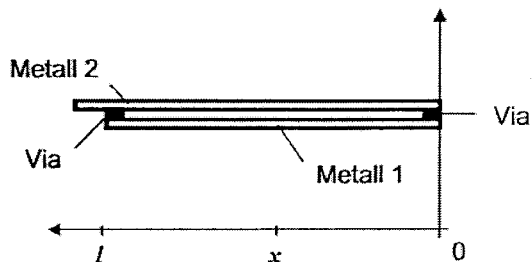


Bild 7: Beschaltung des DMOS Teilelements

Geht man von einem beliebigen Punkt x aus, an dem die Einströmung in Metall 1 erfolgt, so erhält man folgendes Ersatzschaltbild (Bild 8).

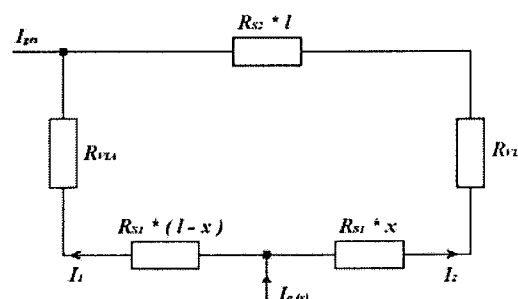


Bild 8: Ersatzschaltbild für einen beliebigen Punkt x

Die Bestimmung der Teilwiderstände R_1 und R_2 für die beiden Stromzweige ergibt:

$$R_1 = R_{S1} * (l - x) + R_{VLA}$$

$$R_2 = R_{S2} * l + R_{VLA} + R_{S1} * x,$$

wobei R_{S1} und R_{S2} die Schichtwiderstände für die Metallebenen 1 und 2 bezeichnen. Das Verhältnis der beiden Teilströme berechnet sich zu

$$I_V = \frac{I_1}{I_2} = \frac{R_2}{R_1} = \frac{(1/2 R_{S1} * l + R_{VLA}) + R_{S1} * x}{(R_{S1} * l + R_{VLA}) + R_{S1} * x}$$

Berücksichtigt man weiterhin

$$I_q = I_1 + I_2$$

und löst nach I_1 auf, so erhält man

$$I_1 = I_q * \frac{I_V}{(1 + I_V)}$$

Daraus folgt:

$$I_1 = I_q * \frac{(1/2 R_{S1} * l + R_{VLA}) + R_{S1} * x}{(3/2 R_{S1} * l + 2 R_{VLA})}$$

Da I_q der Drainstrom pro Weiteinheit ist,

$$I_q = \frac{I_{DS}}{W_{DMOS}}$$

erhält man den Gesamtstrom $I_{1,ges}$ durch Integration über die Streifenlänge l :

$$I_{1,ges} = I_q * l * \frac{(R_{S1} * l + R_{VIA})}{(3/2 R_{S1} * l + 2 R_{VIA})}$$

Nach Einsetzen der Kenndaten erhält man den Gesamtstrom im ersten Zweig:

$$I_{1,ges} \approx 2/3 * I_q * l$$

Für den zweiten Zweig verbleibt die Stromstärke:

$$I_{2,ges} \approx 1/3 * I_q * l$$

Setzt man den Strom auf $I_{DS} = 0,9$ A und die max. Metallbreite auf $5,3 \mu\text{m}$ so erhält man:

$$I_{\max,met_1} = 5,3 \mu\text{m} * 0,9 \frac{\text{mA}}{\mu\text{m}} = 4,77 \text{ mA}$$

$$I_{\max,ges} = I_{\max,met_1} * 3/2 = 7,155 \text{ mA}$$

$$I_q = \frac{I_{DS}}{W_{DMOS}} = \frac{0,9 \text{ A}}{65000 \mu\text{m}} = 13,8 \frac{\mu\text{A}}{\mu\text{m}}$$

$$l_{\max} = \frac{I_{\max,ges}}{I_q} = \frac{7,155 \text{ mA}}{13,8 \frac{\mu\text{A}}{\mu\text{m}}} = 522 \mu\text{m}$$

Da zwei Teilelemente auf eine Leiterbahn arbeiten, muss dieser Wert noch durch 2 geteilt werden. Damit erhalten wir eine maximale Teilelementlänge von $261 \mu\text{m}$.

5.4 Temperatureinflüsse und ESD-Schutz

Aufgrund des negativen Temperaturkoeffizienten des DMOS-Transistors ist für einen stabilen Betrieb keine Stromgegenkopplung notwendig [7].

Da bei den Pads auf die ESD Schutzvorrichtungen verzichtet wird, muss der DMOS-Transistor auf seine ESD Tauglichkeit untersucht und wenn notwendig mit zusätzlichen Schaltungsmaßnahmen

geschützt werden. Dabei werden zwei Zustände betrachtet:

- Eine positive/negative Überspannung am Drain-Anschluss.
- Eine positive/negative Hochspannung am Source-Anschluss.

Bei einer negativen Hochspannung am Drain-Anschluss wird die pn-Diode zwischen Drain und Substrat leitend, bei einer positiven bricht sie bei

80 V durch. Beim Source-Anschluss ist dies nicht gegeben. Hier gibt es eine npnp-Struktur zwischen Source und Substrat, was zur Zerstörung des DMOS-Transistors führt, wenn eine Überspannung anliegt. Da allerdings der Source- sowie der Bulk-Anschluss schaltungstechnisch auf Massepotential liegen, sind sie mit dem Substrat kurzgeschlossen. Damit ist der DMOS-Transistor gegenüber ESD geschützt und benötigt keine weiteren schaltungstechnischen Maßnahmen zum Schutz.

5.5 Realisierung der Ansteuerschaltung

Bei der Realisierung der Ansteuerschaltung boten sich zwei Möglichkeiten an:

- Die Verwendung der von AMS zur Verfügung gestellten Standardzellen. Dies würde aber eine zweite Spannungsversorgung von 5 V sowie spezielle Spannungsumsetzer für die Signale erforderlich machen.
- Die Entwicklung von eigenen Standardzellen, die für die 12 V Versorgungs- und Signalspannungen geeignet sind.

Da die Komplexität der Ansteuerschaltung gering war, wurde um eine zweite Spannungsversorgung zu vermeiden die Entwicklung eigener Standardzellen gewählt.

Bei der Entwicklung der Digitalzellen wurde vor allem auf die Kompatibilität der Zellen sowie einen kleinen Flächenbedarf geachtet. Bei den Analogzellen wurde zusätzlich auf das „Device Matching“ geachtet. Um Mitkopplungen durch die Substratströme zu vermeiden, mussten zusätzliche Guard-Ringe um die Zellen platziert werden.

5.6 Toplayout

Wie in Bild 9 zu sehen ist, nehmen die Leistungstransistoren 2/3 der Chipfläche ein. Auffallend ist die keilförmige Anordnung der Zellen sowie die Verjüngung der Leiterbahnen, die in Metall 1 und Metall 2 ausgeführt sind. Die Schlitzte in den Leiter-

Ein Smart-Power ASIC für den Betrieb von Stromsparlampen

bahnen werden vom Herstellungsprozess vorge-schrieben.

Die kleinen Strukturen zwischen den MOSFETs bilden die Dioden für die Temperaturschutzschaltung. Die Platzierung in der Mitte des Chips erfolgt aufgrund des hier zu erwartenden Temperaturmaximums.

Der ASIC ist in einen Leistungsteil (rechts) und einen Logikteil (links) aufgeteilt. Die Gesamtgröße des Chips beträgt 2,7 x 1,9 mm, was einer Fläche von 5,13 mm² entspricht.

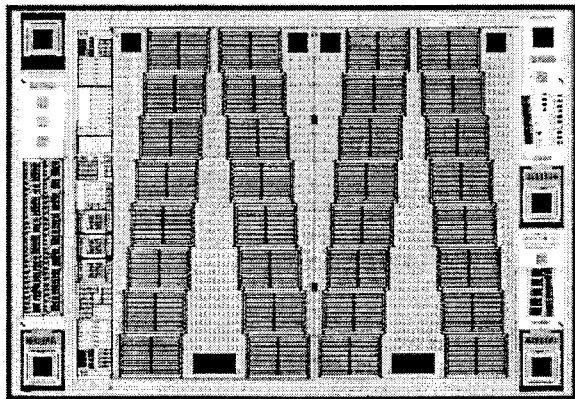


Bild 9: Layout des SMART POWER 1

5.7 Bondplan

In Bild 10 ist die Platzierung des Chips in einem SO-Gehäuse dargestellt. Auffallend sind die Doppelbonds für die Drain- und Source-Leitungen, die wegen des hohen Last-Stroms von 0,9 A notwendig sind.

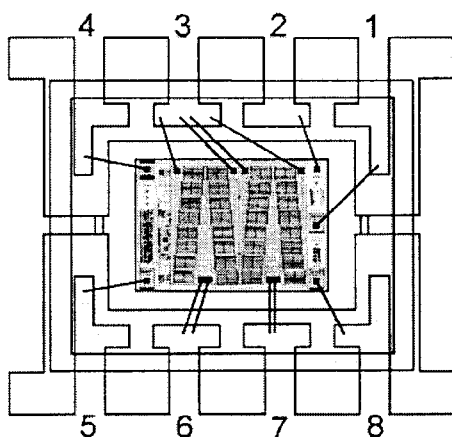


Bild 10: Bondplan für das SO-Gehäuse

6 Ausblick

Der Prototyp ermöglicht eine Untersuchung der unterschiedlichen Heizkonzepte durch die Realisierung einer Gleich- oder Wechselstromheizung. Durch den Überlastschutz, der als Temperaturschutzschaltung entworfen ist, wird der sichere Betrieb des ASICs gewährleistet.

Der kompakte Aufbau und die geringe Verlustleistung ermöglichen die Platzierung des Chips in einem SO-Gehäuse sowie dessen Montage ohne Kühlkörper.

Zu erwähnen ist der beachtliche Flächenbedarf, welcher allerdings noch optimiert werden kann. Das bisherige Design wurde zunächst auf Sicherheit ausgelegt und dient dem Erfahrungsgewinn bei der Anwendung hoher Stromdichten.

7 Literaturverzeichnis

- [1] Sturm, C.H.; Klein E.: Betriebsgeräte und Schaltungen für elektrische Lampen, Siemens AG
- [2] Sam Ben-Yaakov, Moshe Shvartsas; An Electronic Ballast for Fluorescent Lamps No Series Passive Elements; Ben-Gurion University of the Negev, Israel
- [3] Stanislav Glozman, Sam Ben-Yaakov; Dynamic Interaction of High Frequency Electronic Ballasts and Fluorescent Lamps; Ben-Gurion University of the Negev, Israel
- [4] International Rectifier, PFC Ballast Control IC; California, USA
- [5] Führer, A.; Heidemann, K.; Nerretter, W.: Grundgebiete der Elektrotechnik, Band 1 & 2 . Carl Hanser Verlag München Wien
- [6] Austria Mikro Systeme International AG , Design Documents:
 - 0.8 μm CMOS CXQ Design Rules
 - 0.8 μm HV CMOS Design Rules
 - 0.8 μm HV CMOS Process Parameters
- [7] Tietze-Schenk: „Halbleiter-Schaltungstechnik“ 11. Auflage

Eine universelle Laborplatine für den praktischen Elektronikunterricht

Prof. Dr.-Ing. Rudolf Koblitz

Fachhochschule Karlsruhe, Fachbereich Elektro-und Informationstechnik,

Moltkestraße 30, 76133 Karlsruhe

r.koblitz@fh-karlsruhe.de

Einleitung

In der Ausbildung der Studierenden in den Fachbereichen Elektrotechnik/Nachrichtentechnik stellen wir in der letzten Zeit zunehmend einen Trend weg von der Hardware und hin zur Software fest. Ein Grund liegt sicherlich in dem veränderten Berufsprofil der Ingenieure. Einerseits kann man bei der heutigen Schaltungs- und Systementwicklung viel mehr als früher Softwaretools zum Entwickeln und Verifizieren verwenden als früher. Zum anderen werden auch viel mehr Aufgaben heute durch Software gelöst, wo man früher Hardware einsetzen musste.

An dieser Entwicklung kommen die Fachhochschulen und Technischen Hochschulen natürlich nicht vorbei und es ist eine zunehmende Konzentrierung auf eine Softwaredenkweise feststellbar. Lehrinhalte verschieben sich und leider wird dann auch die klassische elektrotechnische Denkweise mehr und mehr heruntergefahren.

Studierende tun sich daher heute mehr als früher schwer damit, grundsätzliche elektrische Zusammenhänge zu erfassen. Es wäre ein verstärkter praktischer Umgang mit der Elektronik notwendig, der in unserer Ausbildung in Studienarbeiten, Diplomarbeiten und Projektarbeiten gegebenenfalls noch eingefordert wird. Die Labore, wo noch hardwarenah aufgebaut und gemessen wird, sind dann noch die einzigen singuläre Pole, wo Elektronik und Schaltungstechnik noch hautnah erlebt und dann hoffentlich auch verstanden wird. Leider ist die wenige Zeit, in denen sich der Studierende mit Labor beschäftigt nicht ausreichend, um die Sache wirklich zu verstehen. Immerhin gibt es noch vereinzelt Studierende, die zuhause Messgeräte haben, und praktisch damit umgehen können. Diese haben auch in den Labors wenig Schwierigkeiten. Was tun? Jedem Studenten seinen Messgerätepark, damit er zuhause die Laborversuche vorbereiten kann? Da ist zunächst der beschränkte Platz im Studier-

zimmer, wo sich neben dem inzwischen unvermeidlich gewordenen PC noch das eine oder andere Buch vorfindet. Wohin also noch die vielen Messgeräte hinstellen? Ganz abgesehen vom Preis solcher Geräte, die für einen Studierenden oft unerschwinglich sind.

Dies war der Ausgangspunkt für die Entwicklung der Laborplatine: möglichst klein und handlich und möglichst billig einige Messgeräten realisieren, mit denen man aufgebaute Schaltungen messen kann. Welche Geräte soll man realisieren? Unabdingbar für ein Grundlagenlabor sind Oszilloskop, Funktionsgenerator, Multimeter und Netzteil.

Damit war die Aufgabe der Laborplatine klar festgelegt: diese vier Grundgeräte sind auf einer doppelseitigen Platine (165mmx170mm) weitgehend mit Standardbauteilen zu realisieren. Einstellungen und Anzeigen finden auf dem ohnehin vorhandenen PC statt. Die Platine wird über eine Standardschnittstelle (serieller Port) mit dem PC verbunden. Interessant sind die Kosten der Platine, die als Bausatz komplett mit allen Teilen auf 100€ kommt. Dieser relativ niedrige Preis hat natürlich auch seine Konsequenzen: Man darf keine Eigenschaften von teuren Messgeräten der Fa. Agilent oder Tektronix erwarten.

Die technischen Eckdaten

Zunächst sollen die technischen Daten des Systems umrissen werden. Zur Spannungsversorgung der Platine wird eine symmetrische Gleichspannung von +12/-12V benötigt. Aus Sicherheitsgründen ist die Verwendung zweier Steckernetzteile vorgesehen. Diese gibt es preiswert, mit den entsprechenden Sicherheitskennzeichnungen (CE, GS, VDE) für Ströme bis 800mA. Die Laborplatine selbst benötigt nur 250mA (+12V) und 100mA (-12V), so dass mit dem übrigen Strom auch noch das Doppelnetzteil betrieben werden kann.

Dieses kann als Low-Drop-Regler positive und

negative Spannungen von max. +12V und min. -12V (regelbar) mit einem Ausgangsstrom bis zu 300mA liefern. Sicherlich kein Netzgerät für universelle Anwendungen, aber zum Versorgen einfacher Testschaltungen völlig ausreichend.

Zur Anzeige der Spannungen des Netzgerätes wird eine Messung nach dem Dual-Slope-Verfahren verwendet. Die hierfür notwendige Messschaltung kann per Multiplexer auch noch mit weiteren Eingänge versehen werden, so dass auch noch eine einfache DC-Spannungs- und Strommessung als Multimeterfunktion realisiert werden kann.

Der Funktionsgenerator besteht aus einem PLL-gesteuerten Synthesizer, der die gewünschte Kurvenform (Sinus, Dreieck, Sägezahn, Rechteck) in äquidistanten Zeitschritten als 8-bit Wort ausgibt und über einen 8-bit D-A-Wandler als Analogsignal auf den Ausgang gibt.

Das Oszilloskop ist als 2-Kanal-Oszilloskop mit einer Bandbreite von 1MHz und einer Abtastrate von max. 2MegSamples/sec realisiert. Die Auflösung beträgt 8bit (1byte) pro Kanal, die Speichertiefe ist 1024bytes insgesamt, d.h. bei einkanaliger Darstellung 1024bytes, bei 2 Kanälen 512bytes pro Kanal. Es besitzt eine Hardwaretriggerung mit den üblichen Funktionen (Auto, Normal, Einzelbetrieb). Die Anzeige kann zwischen normaler Zeitdarstellung, dem x-y-Betrieb und einer

FFT-Analyse für Kanal 1 bzw. Kanal 2 umgeschaltet werden. Eine Mittelwertbildung erlaubt die Elimination von unkorrelierten Störgrößen (Rauschen) bei periodischen Signalen. Die teuersten Bauelemente der Platine sind einmal die Platine selbst (bei 100Stück 8,00€) der A-D-Wandler für das Oszilloskop (6,30€) und ein 8-fach 8bit-D-A-Wandler (3,20€). Die verschiedenen Steuerabläufe auf der Platine werden mit 5 Mikrocontrollern AT90S1200 der Fa Atmel bewerkstelligt. Diese sind mit 1,85€ recht preiswert. Der Rest der Komponenten sind Standardteile wie Analogmultiplexer, OP's, Schieberegister, Spannungsregler und jede Menge Widerstände, Kondensatoren, Dioden und einige Elkos. Die derzeit noch vorhandenen Trimpotis werden in der nächsten Generation durch einen automatischen Abgleich ersetzt.

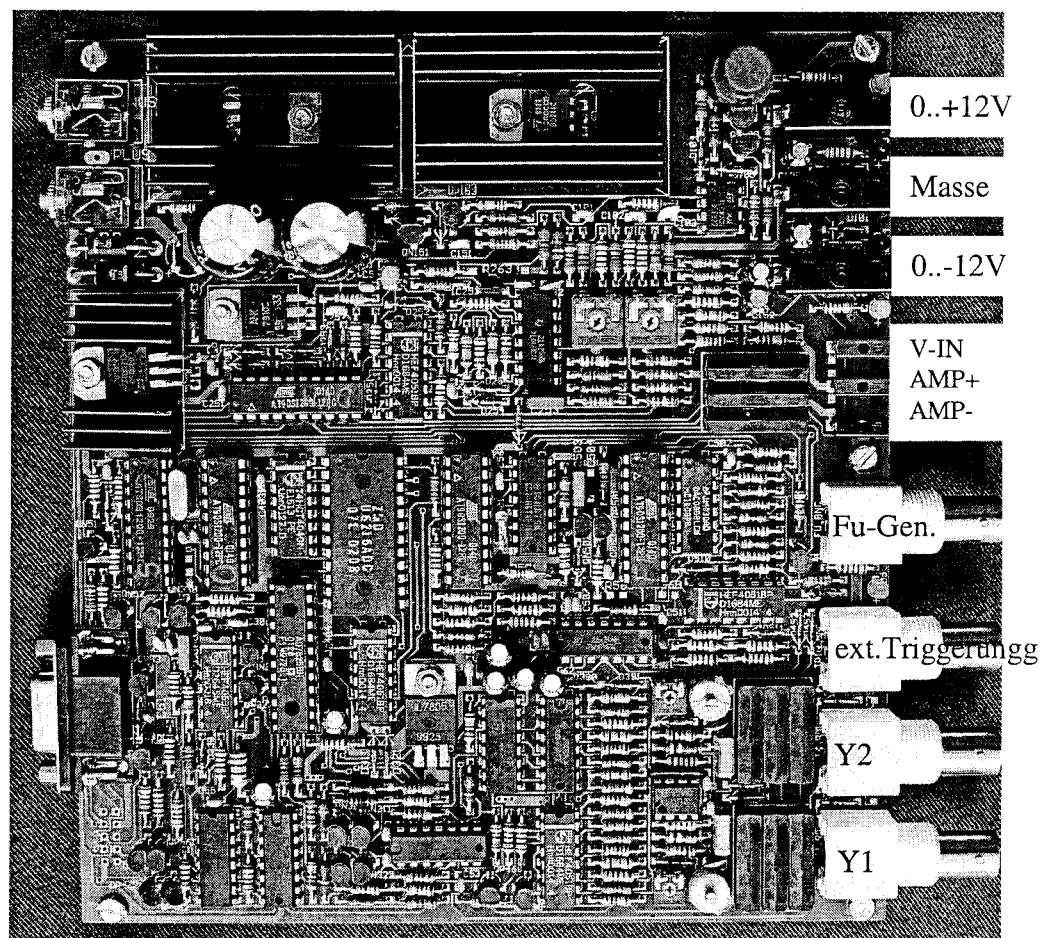


Bild1: Ansicht der Laborplatine von oben: Links sind die Anschlüsse der Spannungsversorgung und der Anschluss der seriellen Schnittstelle zu sehen, rechts unten sieht man die BNC-Anschlüsse für das Oszilloskop und den Funktionsgenerator, weiter oben die Anschlüsse fürs Multimeter und das Netzteil.

Software

Die Mikrokontroller AT90S1200 der Fa. Atmel sind in-Circuit programmierbar. Die Fa. Atmel bietet eine ganze Familie dieser RISC-Mikrokontroller (Familie AVR) an, aber dieser Typ ist der billigste und läuft auch als einziger mit der höchsten Taktrate von 12MHz. Um die teilweise kritischen Zeitbedingungen einzuhalten, wurden alle Mikrokontroller in Assembler programmiert. Die Fa. Atmel bietet frei erhältliche Testsoftware an, mit der ein Debuggen der Programme gut möglich ist. Die Mikrokontroller im DIL-20 Gehäuse sind auf der Platine gesockelt, so dass Updates ohne weiteres aufgespielt werden können.

Die Software auf dem PC ist in HP-VEE programmiert. Diese Programmiersprache ist graphisch orientiert und erlaubt sozusagen das Flussdiagramm des Programms direkt als Graphik einzugeben: in der "Toolbox" der Entwicklungsumgebung finden sich alle wichtigen Programmier-elemente wie Eingabefunktionen (Schalter, Schieberegler, Tasten) Ausgabe-funktionen (Alphanumerische Ausgabe, x-y-Darstellungen), Verzweigungen, Variablen und Array-Operationen, I-O-Operationen, die

durch Programmablauf- und Datenlinien verbunden werden können. Gegenüber einer Programmierumgebung in Visual C++ oder Visual Basic hat man hier mehr elektrotechnisch orientierte Funktionsblöcke (Schalter, Messinstrumente, Potentiometer, graphische und farbige Anzeigen) zur Verfügung und kann sich daher auf die eigentliche Programmieraufgaben konzentrieren. Bild 2 zeigt die Oberfläche auf dem PC, wie sie sich dem Benutzer darstellt.

Von der Entwicklungsumgebung her kann eine sog. "run-time-Version" erstellt werden, die man lizenzfrei an andere Benutzer verteilen darf. Diese "run-time-version" benötigt das eigentliche run-time Programm von HP-VEE, das auch kostenfrei verfügbar ist. Die Installation ist an jedem Rechner möglich, der mit dem Betriebssystem Windows 95 oder neueren Betriebssystemen arbeitet. Die Kommunikation erfolgt über die serielle Schnittstelle mit möglichst 115200 baud. Ein Pentium ab 250MHz Taktrate ist empfehlenswert. Falls der Rechner die 115200 bits/sec nicht schafft, kann man auch die Baudrate heruntersetzen. Die Laborplatine erkennt automatisch Baudraten bis hinunter zu 9600 baud.

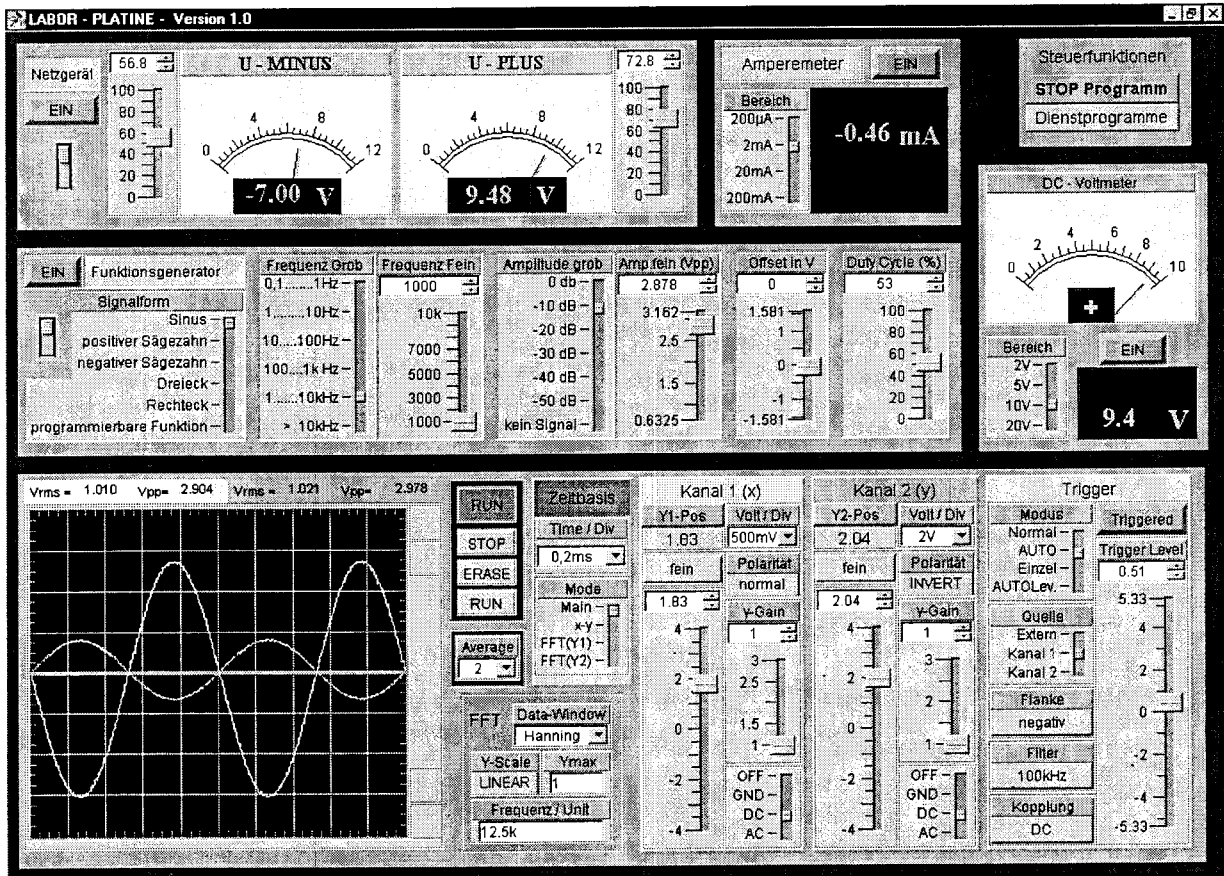


Bild 2: Darstellung der Laborplatine auf dem PC

Programm auf dem PC

Die unter HP-VEE programmierte Oberfläche auf dem PC ist im wesentlichen ein Programm, das in einer Endlosschleife läuft. Dies ist in Bild 3 gezeigt.

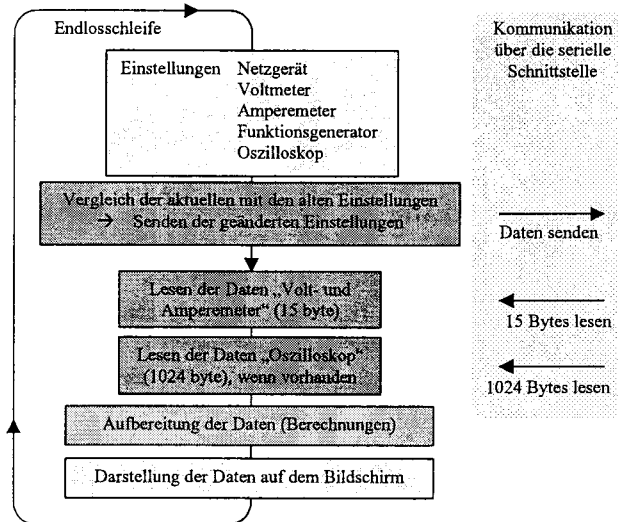


Bild 3: Programmablauf auf dem PC

Zunächst werden die Einstellungen auf dem PC-Bildschirm abfragt. Danach werden geänderte Einstellungen, über die serielle Schnittstelle zur Laborplatine geschickt und dann die gemessenen Daten von der Platine abholt. Die Daten des Digitalvoltmeters werden immer zurückgesendet, während die Oszilloskopdaten nur dann gelesen werden können, wenn diese zur Verfügung stehen. Wenn das Oszilloskop nämlich gerade misst, kann es nicht gleichzeitig die Daten senden. Erst wenn der Datenspeicher voll ist (1024byte) können die Daten übermittelt werden. Danach werden die Daten ausgewertet, gemäß der Average-Funktion gemittelt, normiert, die Spitzen und Effektivwerte errechnet, gegebenenfalls die Datenwerte einer FFT unterworfen und dann auf dem x-y-Display auf dem Bildschirm dargestellt. Danach kehrt das Programm wieder zum Ausgangspunkt zurück und überprüft wieder die Einstellungen.

Datenprotokoll der seriellen Schnittstelle

Die Kommunikation über die serielle Schnittstelle erfolgt im Halb-Duplex-Betrieb. Entweder sendet der PC oder die Platine. Es wird die Übertragung mit einem Start- und

einem Stopbit gewählt, so dass für die Übertragung eines Bytes 10 Bits zu senden sind. Es ist offensichtlich dass der Flaschenhals der Datenübermittlung die 1024 Byte Daten des Oszilloskops sind. Daher wurde bewusst die Baudrate möglichst hoch gesetzt. Das Programm HP-VEE erlaubt eine Baudrate bis zu 115200 bit/sec. Damit benötigt man für die Datenübermittlung der Oszilloskopdaten und des Digitalvoltmeters:

$t = (1024 + 15) * 10 / (115200 \text{ bits/sec}) = 90 \text{ ms}$. Der Bildschirm kann dann schnellstens nach jeweils 90ms aufgefrischt werden. Das wären ca. 10 Bilder pro Sekunde. Allerdings benötigt das HP-VEE-Programm auch noch Zeit, so dass man bei einem PC mit einer Taktrate von 500MHz mit ca. 4-5 Bildern pro Sekunde rechnen kann. So einfach die Programmierung in HP-VEE auch ist: es handelt sich um ein Interpretercode, der ähnlich wie die Programmiersprache Basic eben seine Zeit braucht, um die Endlosschleife zu durchlaufen. Immerhin hat man bei eine Wiederholrate von 5 Bildern pro Sekunde den Eindruck eines "sofortigen" Reagierens des Oszilloskops. Würde man eine Baudrate von 9600baud wählen, wäre man bei einer Übertragungszeit von 1,08 sec. Damit ist die Reaktionszeit zu langsam, und es stört beim praktischen Arbeiten. Untenstehendes Bild zeigt den Ablauf der Datenübermittlung zwischen PC und Platine.

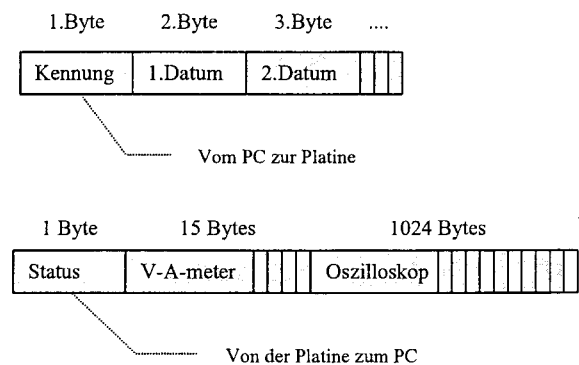


Bild 4: Übertragungsprotokoll der seriellen Schnittstelle

Beim Übertragen der Daten vom PC zur Platine wird zuerst eine Kennung übertragen. Die Kennung teilt mit, welche Funktion und Einstellung übermittelt wird. Nach jeder Kennung erfolgt eine genau spezifizierte Anzahl von Bytes. Bewegt man beispielsweise die Schieberegler des Netzgerätes, so werden 3 Bytes übertragen:

"N", Byte1 und Byte2. Der Buchstabe "N" sagt der Platine: „jetzt sollen Daten vom Netzgerät übermittelt werden“. Die Platine weiss dann, dass nach "N" noch 2 Bytes kommen: Byte1 ist der DAC-Wert für die negative Spannung, Byte2 der DAC-Wert für die positive Spannung (Position der beiden Schieberegler). Ändert man hingegen eine Einstellung am Funktionsgenerator, so ist das erste Byte der Buchstabe "F". Dann folgen weitere 9 Bytes für Kurvenform, Frequenz, Amplitude und Offset. Die Antwort der Platine beginnt mit einem Byte, welches den Status der Platine übermittelt. Hierin wird im wesentlichen mitgeteilt, welche Funktionen aktiv sind, und ob die Oszilloskopdaten (1024byte) gesendet werden können oder nicht. Danach werden die Daten des Digitalvoltmeters gesendet, einschließlich einem Byte, das die Anzeigefunktionen beinhaltet (Überlast für Netzgerät), erst danach werden die Oszilloskopdaten gesendet, oder die Übertragung bricht hier ab. Der PC weiss anhand des ersten Status-Bytes, ob es die Oszilloskop-Daten lesen muss, oder ob keine kommen.

Bei der Datenübertragung wurde darauf Wert gelegt, nur das Standardprotokoll (Rx/D und Tx/D) der seriellen Schnittstelle zu verwenden. Damit ist sichergestellt dass das Programm mit der Laborplatine auf beliebigen Betriebssystemen

läuft. Die Praxis hat auch gezeigt, dass es auf die verschiedenen Betriebssystemen Windows95, Windows98, Windows ME, Windows XP, Windows 2000 und Windows NT ohne jegliche Modifikationen portierbar ist.

Blockdiagramm der Platine

Die Datenkommunikation auf der Laborplatine übernehmen insgesamt 5 Mikrokontroller. Dies scheint zunächst sehr aufwändig und ineffizient zu sein. Es soll jedoch daran erinnert werden, dass der RISC-Prozessor AT90S1200 von Atmel ein recht preiswertes Bauteil ist (< 2€), der klein (DIL-20 Gehäuse) ist und den Programm- und Datenspeicher bereits enthält. Ausserdem ist die Programmierung wesentlich übersichtlicher, wenn jeder der Mikrokontroller nur für eine bestimmte Aufgabe zuständig ist. Man erkennt in Bild 5, dass der Mikrokontroller $\mu P1$ ausschliesslich für die Kommunikation mit dem PC zuständig ist. Dieser Prozessor liest und sendet die Daten auf der seriellen Schnittstelle zum PC und leitet sie auf den internen langsamen seriellen Datenbus mit 9600 Baud um, der die Kommunikation mit den anderen Funktionsblöcken (Oszilloskop, Funktionsgenerator und Digitalvoltmeter) bewerkstelligt. An diesen Bus könnten noch weitere Geräte angeschlossen werden, wenn die Platine erweitert werden soll. Die Verwendung eines

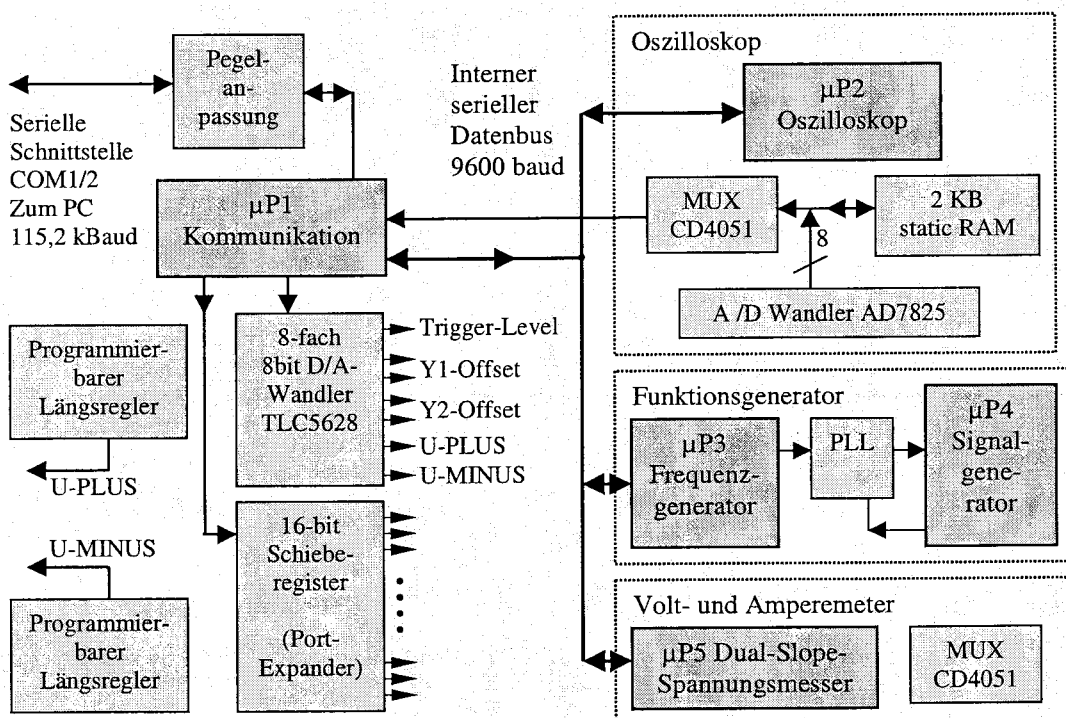


Bild 5 : Blockdiagramm der Laborplatine

langsamen internen Busses ist deshalb notwendig, damit die Prozessoren $\mu P2$, $\mu P3$ und $\mu P5$ nicht durch den schnellen Datenverkehr mit dem PC überlastet werden. So werden den anderen Mikrocontrollern nur die durch $\mu P1$ gefilterte Information langsam zugeleitet. Nur bei einer Funktion wird der langsame interne Bus umgangen: Zum Lesen der Messdaten des Oszilloskops (1024bytes) werden diese Daten über einen Multiplexer (MUX CD4051) direkt vom internen RAM gelesen, sonst wäre der Vorteil einer schnellen Datenübermittlung von PC zur Platine zunichte gemacht.

$\mu P1$ steuert ausserdem noch einen 8-fachen 8-bit-Wandler, mit dem analoge Spannungswerte für Netzgerät, Offseteinstellungen und Triggerlevel übermittelt werden. Weiterhin hängen noch zwei 8-bit Schieberegister an diesem Mikrocontroller. Welche der Porterweiterung für verschiedene Schaltfunktionen dienen.

Der Controller $\mu P2$ steuert den Samplingablauf des Oszilloskops. $\mu P3$ übernimmt die Steuerungsfunktion des Funktionsgenerators und in $\mu P5$ ist das Dual-Slope-Verfahren für die Messung der Spannungen und Ströme realisiert. Der Controller $\mu P4$, der die Funktionswerte berechnet, hängt

nicht am internen Datenbus, sondern wird direkt von $\mu P3$ gesteuert. Seine Taktfrequenz ist variabel und wird individuell entsprechend der gewählten Frequenz über eine PLL eingestellt. Bild 6 zeigt die Platzierung der verschiedenen Funktionen auf der Laborplatine.

Das Volt/Amperemeter

Das Prinzipschaltbild des Multimeters ist in Bild 7 angegeben. Das Messverfahren beruht auf dem Dual-Slope-Verfahren. Über einen 8-fach Multiplexer werden wahlweise die 5 Messspannungen, Masse, die Referenzspannung und eine Rücklaufspannung auf einen Spannungsfollower gegeben, dessen Ausgang den Integrator ansteuert. Der Ausgang des Integrators ist mit dem Analogkomparator des Mikroprozessors $\mu P5$ verbunden, der die Steuerung des Multiplexers übernimmt. Durch die Einbeziehung der Referenzspannung und des Massepotentials in die Messung kann der Offsetfehler des Integrators, des Eingangsbuffers und des Analogkomparators kompensiert werden. Weiterhin muss keine Polaritätsumschaltung erfolgen. Das Vorzeichen der Messspannungen wird automatisch berücksichtigt.

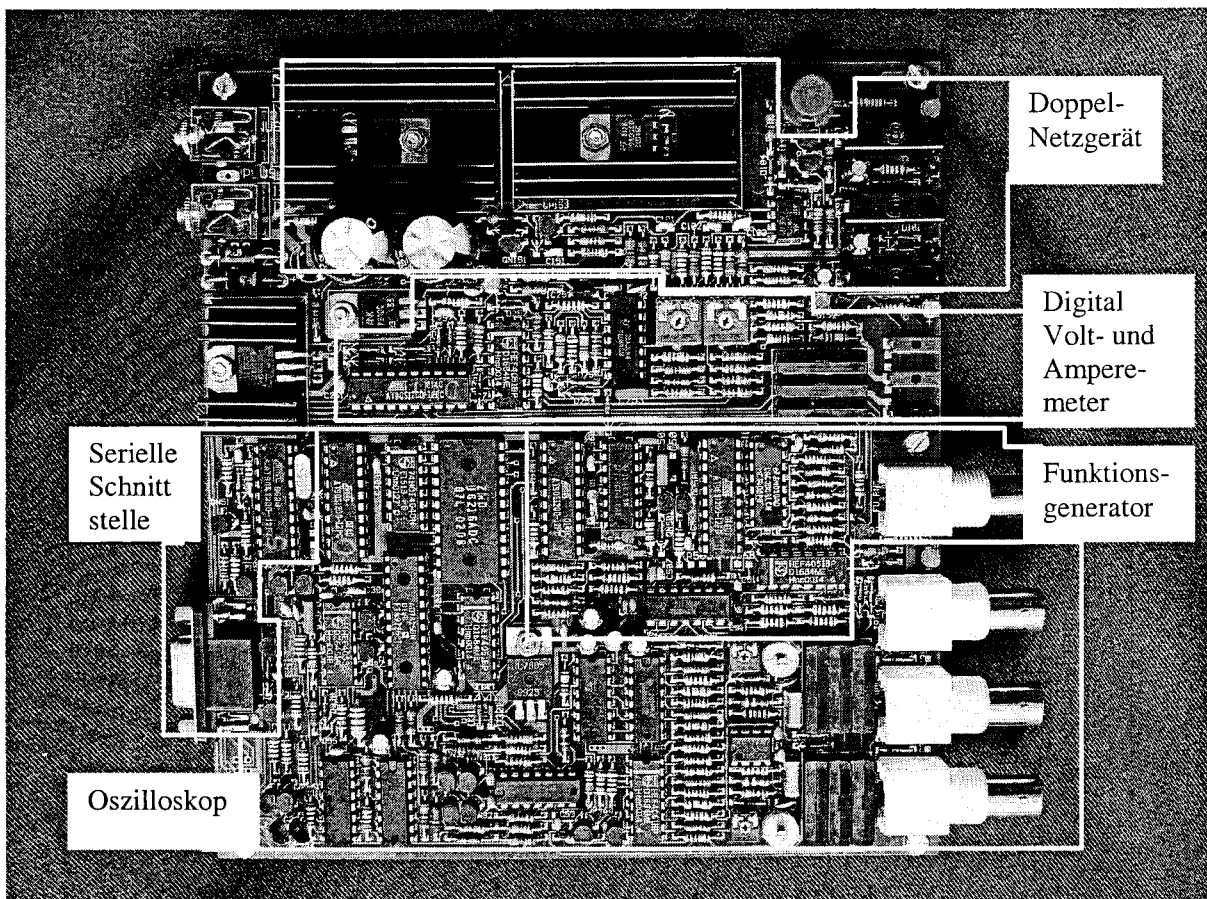


Bild 6 : Lage der verschiedenen Funktionen auf der Laborplatine

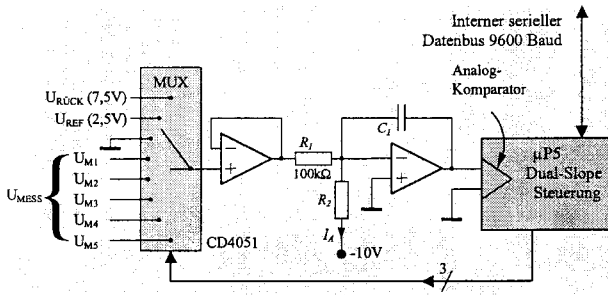


Bild 7: Blockschaltbild des Multimeters

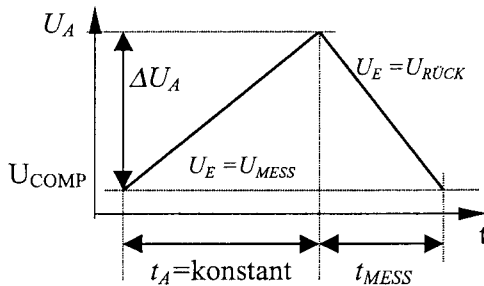


Bild 8 : Messzyklus des Multimeters

In Bild 8 ist ein Messzyklus zu sehen. Während der Zeit t_A wird eine der Messgrößen $U_{M1} \dots U_{M5}$, Masse oder die Referenzspannung U_{REF} gemessen. Die Werte aller dieser Messgrößen sind kleiner als 2,5V und führen alle zum Anstieg der Ausgangsspannung U_A (Integratorverhalten). Die Rücklaufspannung ist mit 7,5V so hoch gewählt, dass der Integratorausgang eine fallende Flanke erzeugt. Das Aufladen des Integrators mit den Messgrößen erfolgt in einer festgelegten Zeit t_A . Das Entladen mit der Rücklaufspannung erfolgt solange, bis die Ausgangsspannung wieder den Anfangswert erreicht hat. Dies wird über den Analogkomparator des μP 's gesteuert. Die Entladezeit t_{MESS} wird gespeichert. Der Spannungshub ΔU_A errechnet sich wie folgt:

$$\Delta U_A = \frac{1}{C_I} \left[I_A - \frac{U_E}{R_I} \right] \Delta t \quad (1)$$

wobei U_E die betreffende Eingangsspannung und Δt die Zeit t_A bzw. t_{MESS} ist. Der zusätzliche Offsetstrom I_A ist notwendig, damit bei Spannungen bis 2,5V ein Aufladen des Integrators erfolgt. Durch den Spannungsvergleich am Komparatoreingang ist die Spannung ΔU_A für den Lade und Entladevorgang identisch.

$$\left[I_A - \frac{U_{MESS}}{R_I} \right] t_A = \left[I_A - \frac{U_{RUECK}}{R_I} \right] t_{MESS} \quad (2)$$

Der Integrationskondensator C_I kürzt sich bei dieser Gleichung heraus. Leider haben die OP's noch eine Offsetspannung, die sich zur Messgröße hinzuaddiert, und deren Wert unbekannt ist:

$$\left[I_A - \frac{U_{MESS} + U_{OS}}{R_I} \right] t_A = \left[I_A - \frac{U_{RUECK} + U_{OS}}{R_I} \right] t_{MESS} \quad (3)$$

Löst man nun diese Gleichung nach der Messzeit t_{MESS} auf, so erhält man:

$$t_{MESS} = \frac{I_A R_I - U_{MESS} - U_{OS}}{I_A R_I - U_{RUECK} - U_{OS}} t_A \quad (4)$$

Für jede zu messende Spannung U_{MESS} muss man nun drei Messungen durchführen:

- Die zu messende Spannung selbst (U_M)
- Die Bezugsspannung (Masse; $U_{MESS} = 0V$)
- Die Referenzspannung (U_{REF})

Bei jeder der drei Messungen erhält man jeweils eine Messzeit: t_M , t_{MASSE} und t_{UREF} . Die zu messende Spannung kann man dann nach folgender Formel ermitteln:

$$U_M = \frac{t_{MESS} - t_{MASSE}}{t_{UREF} - t_{MASSE}} U_{REF} \quad (5)$$

Man kann diese Formel leicht überprüfen, indem man für die betreffenden Zeiten die Gleichung (4) einsetzt. Die Größen U_{OS} , I_A , R_I und U_{RUECK} fallen jedenfalls heraus und beeinflussen das Ergebnis nicht. Um den Eingangsspannungsbereich ($-U_{REF} < U_M < U_{REF}$) festzulegen, wird die Schaltung so dimensioniert, dass $t_{UREF} \approx 0,1 \cdot t_A$ und $t_{MASSE} \approx t_A/2$ wird. Die Spannung U_{RUECK} ist so gewählt, dass $t_A \approx t_M$ ist, wenn $U_M = -U_{REF}$ erreicht. Ein Messzyklus umfasst die Messungen der fünf Eingangsspannungen $U_{M1} \dots U_{M5}$, die Messung der Massespannung und die Messung der Referenzspannung U_{REF} . Die Messzeiten t_M , t_{MASSE} und t_{UREF} werden als 16bit-Integerzahl über die serielle Schnittstelle an den PC gegeben. Die Berechnung gemäß Gl.(5) erfolgt im Programm auf dem PC.

Der Funktionsgenerator

Das Blockschaltbild des Funktionsgenerators ist in Bild 9 zu sehen. Der Mikrokontroller $\mu P3$ dient der Kommunikation zwischen dem internen Bus und dem Mikrokontroller $\mu P5$. Er liefert die Puls-Breitenmodulierten Signale für die Amplitude und den Offset, die über ein nachgeschaltetes Sallen-Key-Tiefpassfilter 2.Ordnung in eine Gleichspannung umgewandelt werden. Weiterhin wird eine Referenzfrequenz mit Hilfe eines NCO (Numerical Controlled Oszillator) erzeugt. Ein NCO ist nichts anderes als ein Register, dessen Anfangswert beliebig ist und das mit einem konstanten Wert inkrementiert wird. Das MSB dieses Registers dient als Frequenznormal und wird dem Referenzeingang des Phasenkomparator der PLL zugeführt. Der Inkrementwert dieses NCO's errechnet sich nach folgender Formel:

$$N_{INCR} = \frac{f_{nom} * 2^{BL}}{f_{CLK}} \quad (6)$$

Hierbei ist f_{nom} die gewünschte Ausgangsfrequenz, BL ist die Bitlänge des Registers, die zu 16 bit gewählt wurde. f_{CLK} ist die Taktfrequenz mit der das Register inkrementiert wird. Diese Frequenz liegt natürlich tiefer als die Taktfrequenz der Mikrokontrollers, da der μP ja einige Zyklen braucht, um die Addition mit dem Inkrementwert und die Ausgabe auf den Port zu

realisieren. In der Laborplatine wurde $f_{CLK} = 300\text{kHz}$ gewählt. Mit einem solchen NCO können auch beliebige „krumme“ Frequenzen erzeugt werden. Man ist nicht auf eine ganzzahlig teilbare Frequenz der Taktfrequenz beschränkt. Theoretisch könnte man die Frequenz beliebig genau machen, indem man die Bitlänge BL des Registers groß genug macht. Allerdings tritt mit wachsender Bitbreite ein tieffrequenter Jitter auf. Die ausgegebene Frequenz ist nämlich nur *im Mittel* die gewünschte Frequenz f_{nom} . Das Loopfilter der PLL muss diesen Jitter ausgleichen. Ein guter Kompromiss zwischen Jitter und Einstellgenauigkeit hat sich mit einer Bitlänge von 16bit realisieren lassen. Der zweite Mikrokontroller ist der eigentliche Funktionsgenerator, der aus Tabellenwerten das digitale Ausgangssignal entsprechend der gewünschten Kurvenform generiert. Neben einer Sinustabelle sind auch einfache Inkrementationsfunktionen realisiert, so dass man auch Sägezahn (Register nach jedem Takt um 1 hochzählen) Dreieck und Rechteck realisieren kann. Der μP beinhaltet ein EEPROM mit 64 Werten. Damit kann auch eine frei programmierbare periodische Funktion mit 64 Stützwerten realisiert werden. Für die Realisierung beliebiger Frequenzen benötigt man eine variable Taktfrequenz. Dies soll anhand der Sinusfunktion erläutert werden: Zur Darstellung eines Stützwertes der Sinusfunktion werden drei Taktzyklen benötigt (Wert aus

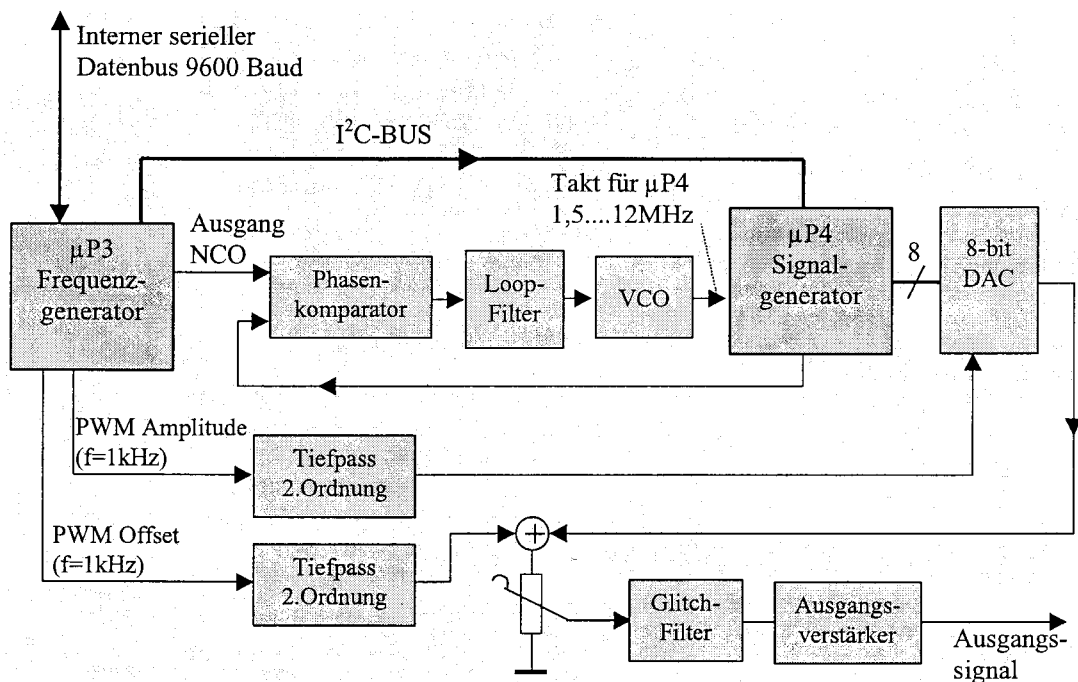


Bild 9 : Blockschaltbild des Funktionsgenerators

Tabelle lesen und auf den parallelen Ausgang schreiben). Möchte man für eine Periode der Sinusschwingung mit 128 Stützstellen realisieren, so erreicht man damit eine maximale Frequenz

$$\text{von } f_{MAX} = \frac{12MHz}{3 * 128} = 31,25kHz. \text{ Da man die}$$

Prozessoren auch geringfügig übertakten kann, wurde ein maximale Frequenz von 32kHz gewählt. Will man jetzt 20kHz einstellen, so kann man dies nur durch eine Taktfrequenz von 7,68MHz erreichen. Bei wesentlich tieferen Frequenzen kann man nach je 3 Taktzyklen einen Timerinterrupt einfügen, so dass man auch bei tiefen Frequenzen immer mit einer Taktfrequenz zwischen 1,5 und 12MHz auskommt. Diese Frequenz wird über eine PLL (Phased locked Loop) generiert. Die im Mikorkontroller $\mu P4$ heruntergeteilte Taktfrequenz wird mit der Frequenz des NCO verglichen und der VCO mit dem gefilterten Signal des Phasenkomparators gesteuert. Für die PLL wird der High-speed-CMOS-Baustein 74HCT4046A verwendet. Dieser Baustein beinhaltet den VCO und den Phasenkomparator. Zum Einstellen des gewünschten Spannungsverlaufs, des programmierbaren Teilers usw. müssen dem $\mu P4$ Datenwerte übermittelt werden. Dies geschieht durch einen I²C-ähnlichen Bus, der von $\mu P3$ bedient wird. Es konnte kein asynchrones Datenprotokoll (RS232) verwendet werden, da wegen der unbekanntenen Taktfrequenz die Synchronisation zwischen Sender und Empfänger unmöglich ist. Daher benötigt man eine zusätzliche Taktleitung. Das digitale Signal mit 8bit Auflösung wird auf einen multiplizierenden D-A-Wandler (DAC0808) mit Stromausgang gegeben. Der Referenzeingang des DAC's ist die Analogspannung für die Signalamplitude. Damit lässt sich die Amplitudeneinstellung einfach bewältigen, und man braucht keine digital gesteuerten Potentiometer, die noch recht teuer sind. Neben dieser analogen Einstellung, die sich nur bis auf 20% der Gesamtamplitude herunterregeln lässt, kann das Ausgangssignal noch über einen Analogschalter und einen gestuften Spannungsteiler in Schritten von 10dB bis auf -50dB abgesenkt werden. Den Funktionsgenerator bestehend aus den beiden Mikrokontrollern, dem PLL-Baustein 74HCT4046A, einem 4-fach OP (TL084) und einem Analogmultiplexer (C4045B) könnte man auch ganz autark betreiben und ihn von der seriellen Schnittstelle COM1 oder COM2 des PC's aus programmieren.

Die Netzgerät-Funktion

Die Laborplatine benötigt +12V mit ca. 250mA und -12V mit ca. 100mA. Die Steckernetzteile liefern etwas mehr, so dass ein Doppelnetzgerät realisiert wurde, das eine positive, geregelte Spannung und eine negative geregelte Spannung mit einem Strom von max 300mA zur Verfügung stellen kann. Es handelt sich um 2 lineare Längsregler, die als „Low-Drop-Regler“ ausgelegt sind. Sie sind mit 2 Leistungstransistoren und einem OP realisiert. Die Spannung wird über den PC eingestellt. Die eingestellte Spannung wird mit dem Voltmeter gemessen und als echter Spannungswert ausgegeben. Die Strombegrenzung ist nur als Überlastsicherung ausgelegt, um Kurzschlüsse zu vermeiden. Die Überlast wird über die serielle Schnittstelle auf den PC zurückgemeldet und mit einer roten „Warnlampe“ im Display der beiden „Anzeigemessinstrumente“ angezeigt.

Die Oszilloskop-Funktion

Die Oszilloskopfunktion kennt im wesentlichen folgende Zustände:

- Lesen der Einstelldaten, wie Timebase, Triggermode...
- Warten auf den nächsten Triggerimpuls
- Abtasten der Analogspannung an Kanal 1 und Kanal 2 und Übertragen der Daten in den RAM-Speicher, dessen Adresse nach jedem Samplingwert um eins erhöht werden muss. Die Geschwindigkeit des Ab tastens hängt vom eingestellten Wert der Zeitbasis ab.
- Auslesen des RAM-Inhaltes über den Multiplexer (MUX CD4051) und Senden der Daten über die serielle Schnittstelle an den PC

Aufgrund dieses zyklischen Arbeitens der Oszilloskopfunktion ist auch klar, dass der bei manchen digitalen Speicheroszilloskopen vorhandene "Rolling-Modus", bei dem die gesampelten Werte langsam über den Bildschirm wandern bei diesem Konzept nicht möglich ist.

In Bild 6 kann man erkennen, dass die Oszilloskopfunktion die komplexeste Funktionsgruppe darstellt. Das Blockschaltbild ist in Bild 11 angegeben. Die Auflösung des AD-Wandlers beträgt 8 bit, d.h. 256 Stufen. Bei 8 Kästchen in vertikaler Richtung sind das pro Unit 32 Stufen. Dies kann man als ausreichend ansehen. Damit bei allen Empfindlichkeitsstufen die volle Auflösung in y-Richtung zur Verfügung steht, wird das Eingangssignal zunächst über einen gestuften Abschwächer geführt. Dieser ist mit einem

Widerstandsnetzwerk und einem Analogmultiplexer aufgebaut und erlaubt die Einstellung der bekannten Stufen 1-2-5-10-20... usw. Mit dem Multiplexer werden nur 6 Stufen realisiert. Durch einen weiteren Abschwächer am Eingang von 1:10 lassen sich insgesamt 3 Dekaden darstellen (10mV/Unit...5V/Unit). Der Eingangsabschwächer ist zwingend notwendig, da der Analogmultiplexer maximal $\pm 7,5V$ am Eingang verträgt und ohne Abschwächer am Eingang die unempfindlichste Einstellung 1,8V/Unit wäre. Die Einstellungen des Eingangsabschwächers und der AC/DC-Umschaltung müssen über Relais erfolgen. Es wurden pro Kanal je 3 Reed-Relais kleiner Bauform verwendet. Der verwendete AD-Wandler AD7825 hat 4 über Multiplexer wählbare Eingänge, von denen nur 2 benutzt werden (Kanal1 und Kanal2). Der Spannungshub des Analogeingangs ist 2,5V bei voller Auflösung. Damit benötigt der Eingangs-

verstärker eine Verstärkung von $A=31,25$, da die empfindlichste Stellung 10mV/Unit ist und 8 Units in y-Richtung vorhanden sind. ($A=2,5V/80mV = 31,25$). Aus Kostengründen wurde ein OP mit FET-Eingang und einer Transitfrequenz von $f_T = 3MHz$ verwendet (TL084). Leider kann man mit diesem OP nur eine Bandbreite von 100kHz realisieren, wenn man eine Standardbeschaltung als nichtinvertierender Verstärker vorsieht ($f_G = f_T/31,25 = 96kHz$). Daher wurde mit 2 zusätzlichen Bipolartransistoren eine Schaltung realisiert, die einen vernachlässigbaren Eingangsstrom (FET-Eingang) und eine Bandbreite von 2MHz aufweist. In dieser Schaltung, die in Bild 10 gezeigt ist, arbeitet der OP lediglich als Spannungsfolger und hat dadurch eine Bandbreite von $f_G = f_T = 3MHz$. Die Verstärkung wird mit den beiden Bipolar-Transistoren gemacht.

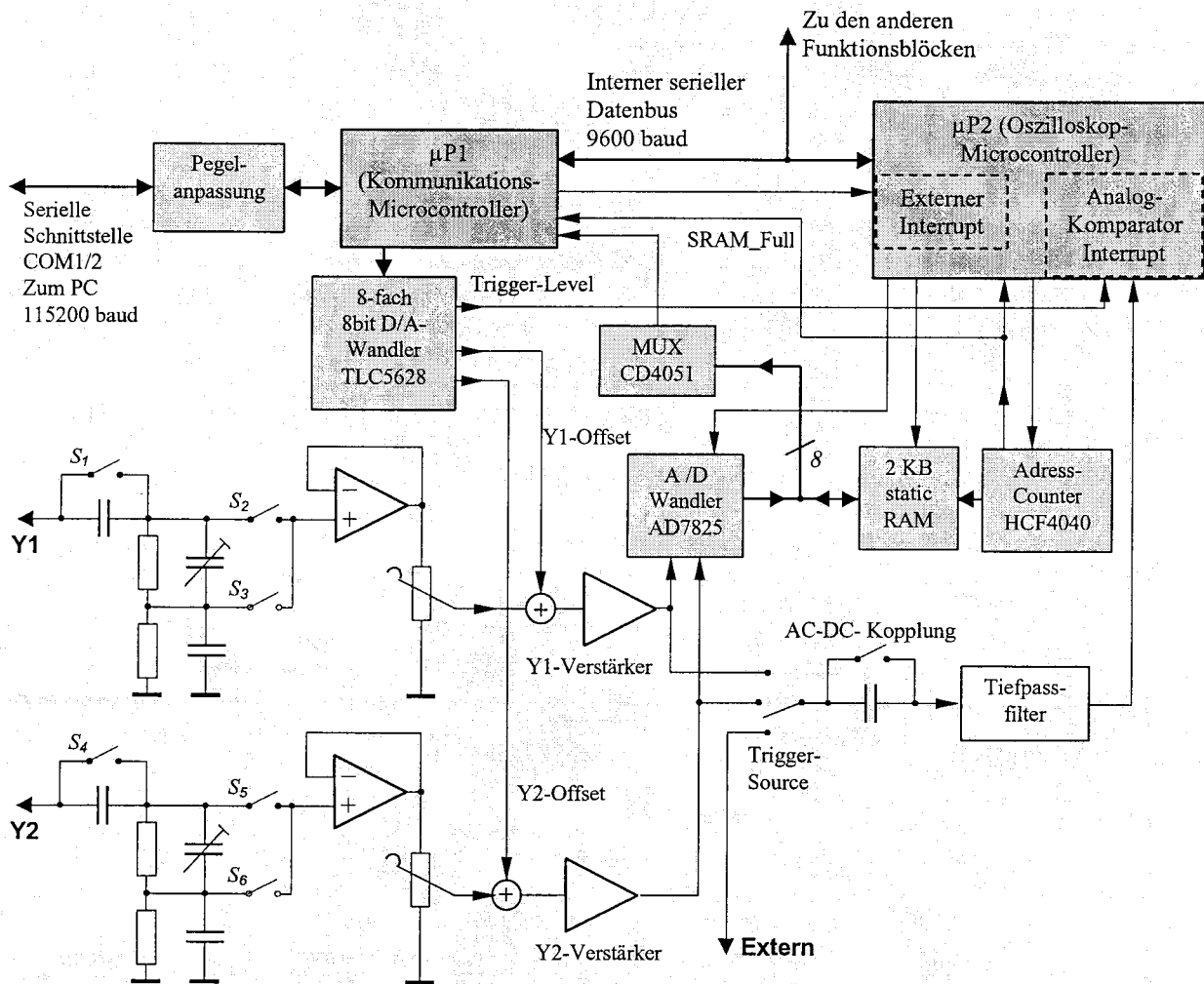


Bild 11 : Blockschaltbild des Oszilloskops

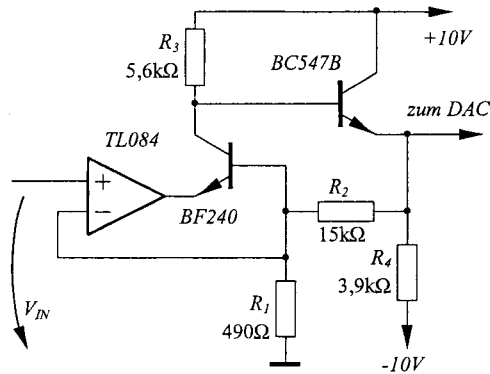


Bild 10: Y-Verstärker

Die Ablaufsteuerung übernimmt $\mu P2$. Über den internen Datenbus werden die nötigen Kenndaten für Zeitbasis und Triggerung in 3 Bytes übermittelt. Das Senden dieser Information wird mit einem externen Interrupt an $\mu P2$ eingeleitet. Dies ist notwendig, da sich der $\mu P2$ in einer Samplingroutine befinden könnte. Diese wird durch den externen Interrupt unterbrochen, damit die Daten gelesen werden können.

Der Mikrokontroller $\mu P2$ verfügt noch über weitere Interruptmöglichkeiten: Der Interrupt über den Analogkomparator löst den eigentlichen Samplingprozess aus. Der Analogkomparator ist sozusagen der Triggereingang des Oszilloskops. Am +Eingang liegt eine Gleichspannung (Triggerlevel) und am -Eingang das Signal, das den Triggervorgang auslösen soll. Die Triggerquelle kann über einen Multiplexer gewählt werden (Y1, Y2 oder externe Triggerung). Auf Wunsch kann noch ein Tiefpassfilter eingeschaltet werden. Dies ist bei verrauschten Signalen von Vorteil, um eine stabile Triggerung zu ermöglichen. Je nach gewählter Triggerflanke löst der Übergang von 0 nach 1 bzw. von 1 nach 0 den Interrupt aus und startet den Sampling-Prozess. Die Samplerate wird entsprechend der Zeitbasiseinstellung vorgenommen. Eine weitere Interruptmöglichkeit ist der Timer-Interrupt. Dieser wird nur im AUTO-Modus aktiviert und löst den Samplingprozess aus, wenn ein Timer-Overflow (ca 1sec) diesen Interrupt auslöst. Dieser Timer-Interrupt unterbleibt, wenn innerhalb einer Sekunde ein Analog-Interrupt (also ein echtes Triggersignal) eintritt.

Während des Sampling-Prozesses wird abwechselnd der DAC aktiviert, der dann ins RAM schreibt und dann der Adresszähler des RAM's hochgezählt. Wenn der Adresszähler auf 1024 steht, wird der Sampling Prozess, der Analogkomparator- und der Timer-Interrupt gestoppt.

Über eine Leitung (SRAM_Full) wird dem Prozessor $\mu P1$ mitgeteilt, dass der Speicher vollgeschrieben ist. Erst dann hat $\mu P1$ die Erlaubnis, den Speicher auszulesen und über die serielle Schnittstelle die Daten an den PC zu senden.

Derzeitiger Stand

Bis jetzt sind ca. 70 Platinen an Studenten zum Selbstkostenpreis von 100€ verteilt worden. Eine ausführliche Bauanleitung ermöglicht einen sicheren Nachbau. Es gibt bis jetzt wenig Reklamationen und Probleme.

Ausblick

Augenblicklich wird an Version 2.0 gearbeitet. Es handelt sich um Verbesserung der Software um aufgetretene Fehler zu beseitigen und um neue Funktionen zu realisieren. Version 2.0 wird ca. März 2003 fertig sein. Eine Neuauflage der Platine selbst ist in fernerer Zukunft (Ende 2003) vorgesehen. Neben einigen zusätzlichen Funktionen wird die Bestückung dann weitgehend mit SMD-Bauteilen erfolgen. Diese können kostengünstig von einer Firma bestückt und gelötet werden, so dass nur noch die wenigen diskreten Bauteile eingesetzt werden müssen.

Eine weitere Verbesserung könnte in einer Erhöhung der Samplingrate des Oszilloskops liegen. Die derzeitige Bandbreite von 2MHz und die Samplingrate von 2Msamples/sec ist natürlich nicht überwältigend. Allerdings sollte eine genaue Kostenanalyse erfolgen, damit der Pries noch attraktiv bleibt.

Zusammenfassung

Die vorgestellte Laborplatine realisiert mit einem Kostenaufwand von 100€ bei einem Platzbedarf von 160mm*170mm und 50mmHöhe die Laborgeräte Oszilloskop, Funktionsgenerator, Multimeter und Doppelnetzteil. Die Anzeige und Einstellung der Geräte wird am PC über Tastatur und Maus vorgenommen. Die graphische Oberfläche bildet die vom Labor bekannten Geräte gut ab. Die Software kann unter

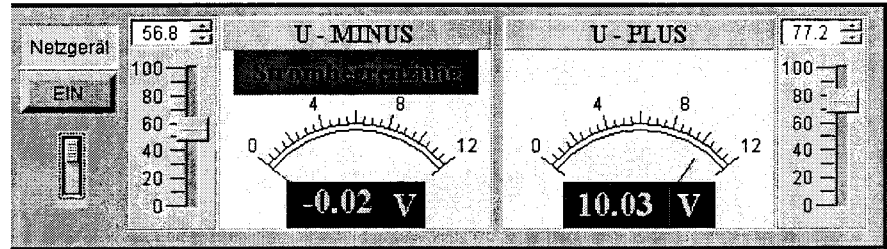
www/fbeit.fh-karlsruhe.de/laborplatine/ heruntergeladen werden.

Anhang:

Technische Daten der Einzelfunktionen

Doppelnetzteil:

Darstellung auf dem Bildschirm:



Doppelnetzteil 0... -12V, 300mA_{max}
0...+12V, 300mA_{max}

Spannungen einstellbar über Schieberegler

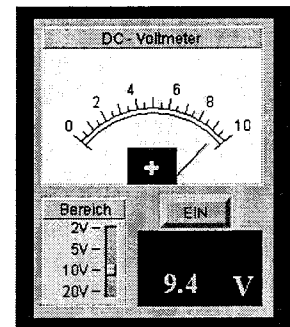
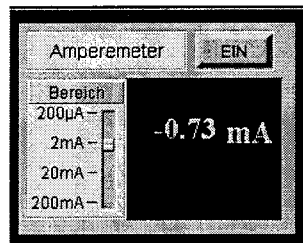
feste Strombegrenzung von 300mA

Anzeige von Überlast (Strombegrenzung)

Spannungen abschaltbar, Einstellungen werden gespeichert

DC-Volt- und Amperemeter:

Darstellung auf dem Bildschirm:



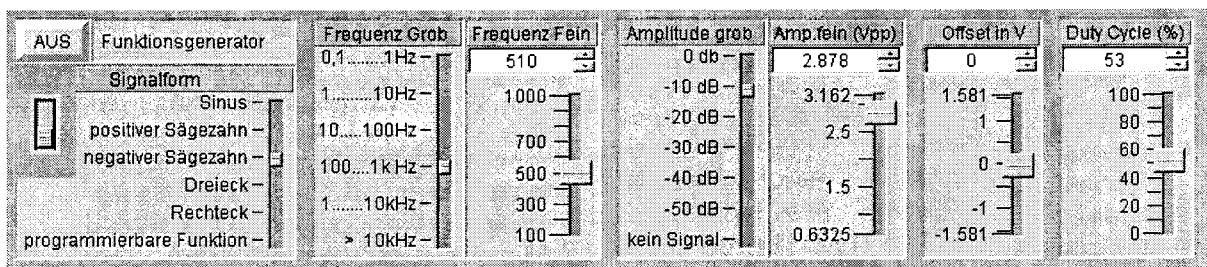
Messprinzip: Dual-Slope-Verfahren

Realisierung mit einem Mikrokontroller und 2 Standard-IC's (Analog-MUX und 4-fach OP TL084)

- gemessene Größen:
- DC - Spannung in 4 Bereichen
 - DC - Strom in 4 Bereichen
 - Ausgangsspannungen des Doppelnetzteils

Funktionsgenerator:

Darstellung auf dem Bildschirm:



Signalerzeugung: PLL-Synthesizer, digitale Signalwerte mit 8-bit Auflösung

Kurvenformen: Sinus, Rechteck, Dreieck, Sägezahn, frei programmierbare Funktion

Frequenzbereich: 0,1Hz..70kHz (Rechteck, Sägezahn)

0,1Hz..32kHz (Sinus, Dreieck)

0,1Hz..20kHz (frei programmierbare Funktion)

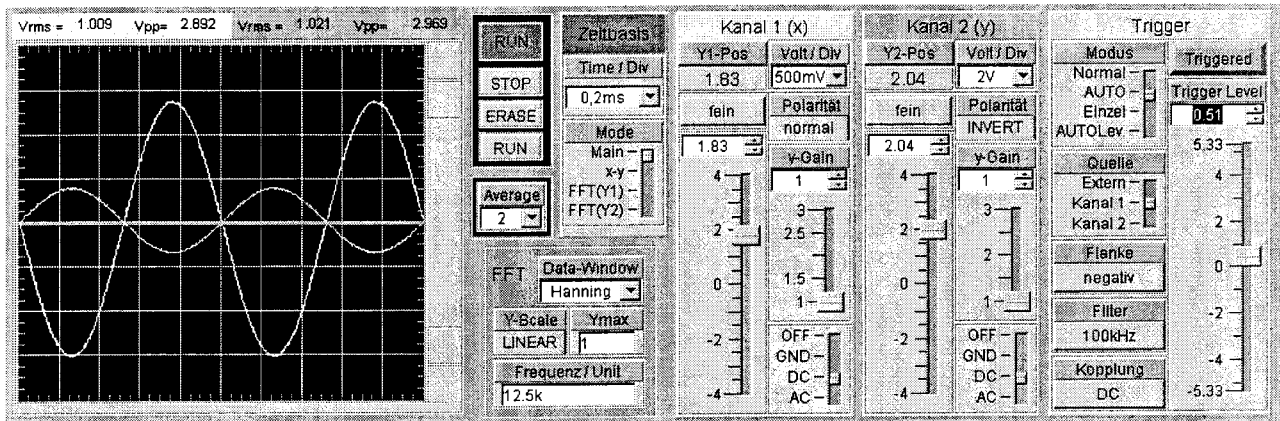
Amplitudeneinstellung: 0..10Vpp

Offseteinstellung: maximal +5V

Duty-Cycle-Einstellung für Rechtecksignal

Oszilloskop:

Darstellung auf dem Bildschirm:



- Funktion: Digitales Speicheroszilloskop: 2 Kanäle
- Auflösung (y1,y2): 8bit
- Speichertiefe (x) : 512 Byte bei 2 Kanaldarstellung,
1024Byte bei 1-Kanaldarstellung
- Abtastrate: 2Msamples/sec
- Empfindlichkeit (y1,y2): 10mV/Unit...5V/unit
- Zeitbasis: 5µs ... 5s/Unit
- Trigger: hardwaremäßig Anzeige: Triggerung aktiv
 - Source: y1- y2- ext
 - Slope: positiv/negativ
 - Kopplung: AC/DC
 - Tiefpassfilter: 100kHz 5kHz oder kein Filter
 - Noise-filter: digitales Filter oder kein Filter
 - Triggerarten: Normal, Auto, Auto-Level, Single-mode
- Darstellungsarten: main, x-y, FFT(y1), FFT(y2)

Mittelwertbildung: entspreched dem Algorithmus: $y_{(n+1)} = \frac{1}{k} y_{neu} + \left[1 - \frac{1}{k}\right] y_{(n)}$

mit k = 1 (keine Mittelwertbildung), 2,4,8,16,32
wobei n der aktuell gespeicherte und gemittelte Messwert ist

Berechnung: Spitzenwerte von Y1 und Y2 und Effektivwerte (true rms) von Y1 und Y2

FFT-Funktion: wahlweise Fast-Fourier-Transformation für Kanal 1 oder Kanal 2

Data-Window: zur Vermeidung des Leakage-Effektes. Wählbare Fensterfunktionen:
FLAT: (keine Fensterfunktion), sonst auch als Rechteckfunktion bekannt
Bei allen anderen Fenstern werden mit Hilfe einer Gewichtungsfunktion die einzelnen Messwerte gewichtet, wobei n die Position im Datenvektor ist und N die Länge des Datenvektors (512 oder 1024) :

TRIANGLE: Dreiecksfunktion Gewichtung = $2 * (n + 0,5) / N$,

HANNING - Funktion: Gewichtung = $(1 - \cos(2 * \pi * (n + 0,5) / N))$

HAMMING - Funktion: Gewichtung = $1,825 * (0,54 - 0,46 * \cos(2 * \pi * (n + 0,5) / N))$

BLACKMAN- Funktion: Gewichtung = $2,381 * (0,42 - 0,5 * \cos(2 * \pi * (n + 0,5) / N) + 0,08 * \cos(4 * \pi * (n + 0,5) / N))$

Y-SCALE: LINEAR : y-Achse linear, unterer Rand ist null

LOG-1, LOG-2 LOG-3 LOG-4: logarithmische Einteilung mit 1-4Dekaden

YMAX: oberer Wert der y-Achse, muss immer von Hand eingegeben werden

FREQU/Unit: Einteilung der x-Achse. Der linke Rand ist immer 0Hz. Entsprechend der Einstellung der Zeitbasis wird dieser Wert nach der Formel: $f/unit = 2,5 / (time/unit)$ für 2-Kanaldarstellung und $f/unit = 5 / (time/unit)$ für 1-Kanaldarstellung errechnet. Er kann von Hand verändert werden.

Innovatives Multiparametermessverfahren

Transparenz des gesamten Productflows für den Designer

Rolf Jäger, Uwe Jäger, FH Heilbronn
 Max-Planck-Str. 39, 74081 Heilbronn

1 Einführung

Der gesamte Prozess der Entstehung einer integrierten Schaltung – vom Entwurf über die Messtechnik bis zur Auslieferung – ist ein einziges Thema, mit sich selbst verzahnt, und zwar vorwärts wie rückwärts und sollte transparent sein.

MPCG hat die Aufgabe, verschiedene Schaltungen (mehrere Designs) mit einem Prozess zu realisieren. Dies bringt u.a. die Anforderung mit sich, dass alle Schaltungen mit den Fertigungstoleranzen dieses gemeinsamen Prozesses arbeiten müssen. Das wiederum aber bedeutet, dass möglichst Informationen über das Verhalten der Schaltungen bis in die Grenzbereiche hinein untersucht werden sollte.

Einige der vielen Fragen des Designers:

- Welche realen Verschiebungen gibt es zu den Grenzbereichen hin?
- Wie wirken sich Montage-Einflüsse, wie z.B. Parameteränderungen aufgrund von Molldrücken und deren Auswirkungen auf Toleranzen bis in die Grenzbereiche aus?
- Welche Probleme sind abseits der idealen Betriebsbedingungen zu erwarten?

Der Begriff „Design-Centering“ kommt ja nicht von ungefähr!!!

Aufbauten zur Untersuchung in grösserem Stil sind, aufgrund der MPC-Strategie überhaupt nicht wirtschaftlich. Aufwendige Design-Verifikation im bisherigen Stil ist wegen der sonst sich erhöhenden Stück-Kosten nicht tragbar.

Unser Verfahren bietet eine kostengünstige Messtechnik bei geringem Programmieraufwand und ist vom Proben bis zum Endmessen anwendbar.

2 Informationskette im Productflow

Wünschenswert für den Designer wäre doch eine möglichst umfassende Design-Verifikation, bei der jedes IC (besonders bei der geringen Stückzahl bei MPC) zur Bewertung herangezogen werden kann.

Diese Design-Verifikation sollte möglichst auch Off-Line, also nicht am Tester erfolgen können. Tester-Kosten und –Zeit sind teuer. Das heisst, Untersuchungen sind teuer und kommen immer in Konflikt mit der laufenden Fertigung.

In der folgenden Tabelle ist recht grob der Productflow mit seinen Stufen, Tools und Informationen dargestellt.

3 Probleme konventioneller Messtechnik

Die heutige Messtechnik erfüllt – aus wirtschaftlichen wie technischen Gründen – nicht immer alle notwendigen Anforderungen. Das ist für die einzelnen Stufen im Folgenden angedeutet.

Anproben:

Beim Anproben stehen heute zur Beurteilung der **Übereinstimmung von Design und Prozess** nur Messwerte einzelner Teststrukturen auf der Scheibe zur Verfügung.

Eine Aussage über die Funktion des Gesamt-ICs, nämlich der Auswirkung von Toleranzen und deren Summenwirkung über den möglichen Betriebsbereich, steht ad hoc nicht zur Verfügung.



Stufe im Product-Flow	Schaltungs-entwicklung	Layout	Anproben (Testelemente)	Proben	Endmessen	Qualifizieren
Tools	Simulatoren	DRC	Tester_1 Einfacher IMPART Tester	Tester_2 Einfacher IMPART Tester X Parallel-Tests	Tester_3 Integrierter IMPART-Modul	Tester_4 Einfacher IMPART Tester
Info	Schaltungs-funktion	Korrektheit der Design Rules	B-Werte, Ströme, Rest. Spg. Bereiche	Arbeitspunkt Bereiche	Arbeitspunkt weitergehend Bereiche	Verhalten bei Temperatur und Stress Bereiche
Grund	Funktionalität	Design Technologie-konform	Prozessüber-wachung	Vorselektion Aufbaukosten redu-zieren	Funktionalitäts-garantie Ppm Forderungen	Qualitätsgarantie Ppm-Forderungen für das Feld
Beson-der-heiten			Lage und Streu-ung im Prozess	Datenaufzeichnung Erkennung Prozess- und Designprobleme	Datenaufzeichng. Vergleich Proben > Erkennung v. Montageeinfluss?	Lebensdauertests Stichproben

Auch bei Teststrukturen wäre es sehr informativ, wenn nicht nur Werte bei bestimmten Arbeitspunkten zur Verfügung stünden, sondern z.B. der B-Verlauf oder Threshold-Spannung in Abhängigkeit der Ströme.

Proben:

Beim Proben wird mit reduziertem Testumfang bei bestimmten Arbeitspunkten gemessen, um evtl. Aufbaukosten zu reduzieren. Eine wesentliche Aussage über Design-Symmetrie ist nicht gegeben.

Könnte man Verläufe messtechnisch beim Fertigungsproben erfassen, so könnte man sich das Anproben der Testelemente, kühn behauptet sogar die Testelemente selbst, sparen. Realistisch wäre sicher eine Reduzierung der Anproben.

Wollte man die im Design vorgegebenen Parameter überprüfen, müsste mit möglichst **grosser Prüftiefe** gemessen werden. Dabei sollte das Verhalten der Schaltung in **Grenzbereichen**, evtl. sogar darüber hinaus, messtechnisch untersucht werden können.

Endmessen:

Einflüsse von Molldrücken, Trimm- und Formbelastungen u. dgl. sind per Design-Simulation sehr schwer nachzubilden, da sie von vielen, kaum reproduzierbaren, Einflüssen abhängen.

Nach dem heutigen Stand der Messtechnik ist eine Visualisierung wenig komfortabel und zudem nicht auf große Mengen gemessener ICs ausdehnbar.

Ein Datenvergleich zum Proben, der Funktionsverschiebungen aufgrund von Montageeinflüssen erlaubt, ist meistens wenig aussagefähig.

Welche Ursachen führen überhaupt zu Fehlern ?

Fehler an Strukturen und Leitbahnen auf Halbleiter-Scheiben - beispielhaft:

- Mouse Nips führen zu erhöhten Stromdichten, die nur bei bestimmten Betriebszuständen zu Fehlfunktionen führen können.
- Bridges können Feinschlüsse mit relativ hohen Widerständen darstellen, die sich nur bei bestimmten Betriebszuständen auswirken. Hierbei können thermische mechanische Effekte eine Rolle spielen.

- Unterbrechungen können erst bei thermischer örtlicher Belastung auftreten.

Daraus ergeben sich folgende Fragen an den Designer:

- Sind die Abstände evtl. zu ideal für unsere Fertigung?
- Reichen die Leiterquerschnitte für unsere Fertigung?
- Oder könnte man evtl. sogar kritischer designen und Chip-Fläche sparen?
- Welches Feedback erhält man zur Bestätigung der Design-Rules?

Montage-Fehler:

- Chip Cracks entstehen aufgrund mechanischer Belastungen beim Löten/Kleben, aufgrund von Verspannungen beim Molden sowie bei „Trimm-und-Form“.
- Bondfehler, Bondabheber (nur bei bestimmten Temperatur-Zuständen), oft erst nach Temperatur-Zyklen (>sichere Felddausfälle)
- Gehäuse-Risse haben mechanische Ursachen beim Handling
- Popkorn: Feuchtigkeits-Einschlüsse bei hoher Temperatur führen zu Explosion.
- Delamination etc.

Daraus ergeben sich folgende Fragen an den Designer:

- Wer oder was ist letztlich verantwortlich? Kompetenzgerangel zur Abwendung von Arbeitsaufwand ist üblich. Visualisierbare und dokumentierte Aufzeichnungen über tatsächliche Fehlfunktion würden rasch aufklären.

Konsequenzen sind die unangenehmen und teuren Folgen im Betrieb und im Feld:

- Aussetzer,
- Latch-Up,
- Oszillieren,
- "Chattering",
- Überschwinger,
- schwer zu lokalisierend Temperatureffekte
- usw.

Grenzen heutiger Messtechnik

Aus obigen Ausführungen folgt: Die Prüfdeckung ist sehr unvollständig, weil die heutige Messtechnik in der Regel nur Arbeitspunkte einstellt und feste Signalpegel anlegt.

Das Messresultat wird nur mit Grenzwerten verglichen. Aussagen über alle Kombinationen innerhalb der Funktionsbereiche ist nicht gegeben.

Jeder Ingenieur muss sich im Sinne der zu garantierenden Qualität gewissenhaft die Frage stellen: Kann eine mögliche Kombination von Pegeln und Zeiten zu Fehlzuständen führen? Dann folgt die unabdingbare Frage, wie kann man das erkennen und verhindern?

4 Das Multiparametermessverfahren – IMPART / SPIE

Das innovative Verfahren – wie auch das Projekt – nennen wir **IMPART**: Innovative Multidimensionale Parameter Messtechnik. Das notwendige Softwareprogramm, welches der Messung und Auswertung dient nennen wir **SPIE**: Sampling Parameter Image Equivalent.

Nach umfangreichen Patentrecherchen [1], sowie Grundlagen der Messtechnik [2] und Bildverarbeitungssoftware[3] und -Hardware [4] zeigte sich die Innovation einerseits und die Realisierbarkeit andererseits.

Forderungs-Ansatz:

- Die Pegel wie Vss, Eingangs - und Regelgrößen sowie digitale Zustände werden durch kontinuierliche Variation in den möglichen Betriebsbereichen durchfahren.
- Überlagerung verschiedener Parameter und deren Varianz wird optimiert.
- Während des Ablaufs wird kontinuierlich der Betriebszustand erfasst und mit zulässigen Grenzbereichen verglichen.
- Eine schnelle Aufzeichnungs- und Auswertmöglichkeit wird geboten.
- Gute Visualisierung für Untersuchungen ist gegeben.

Prinzip des Verfahrens:

Drei wesentliche Merkmale des Verfahrens seien besonders hervorgehoben:

- Stimuliert man ein Messobjekt mit all seinen variablen Betriebsbedingungen in geeigneter Weise und sammelt die Messergebnisse in einer „Bildmatrix“, so kann man mit Hilfe der Bildkennungs-Hardware und -Software sehr schnelle Auswertungen sehr vieler Messwerte vornehmen. Dabei kann die Interpretation des „Bildes“ sowohl algorithmisch als auch optisch visuell erfolgen - und zwar in Echtzeit.
- Stimuliert man weiterhin mit sich kontinuierlich verändernden Pegeln, so entfallen im Gegensatz zur konventionellen Messtechnik die Einschwingzeiten.
- Generiert man die Stimuli ferner in „intelligenter Weise“, so können in einem einzigen Durchlauf viele Messparameter mathematisch, bzw. durch Erkennen von Zusammenhängen erfasst und bewertet werden.

Die Hardware:

Verwendet wurde ein handelsüblicher PC mit zwei weiteren Einsteckkarten: Einen Framegrabber von der Firma Matrix Vision (MVtitan G1) sowie ein 4-fach D/A-Konverter von Meilhaus.

Das sogenannte „Load Board“ enthält die prüflingspezifische Beschaltung sowie die Messfassung selbst. Es ist praktisch ein Interface zwischen Prüfobjekt und den standardisierten Modulen des Testers.

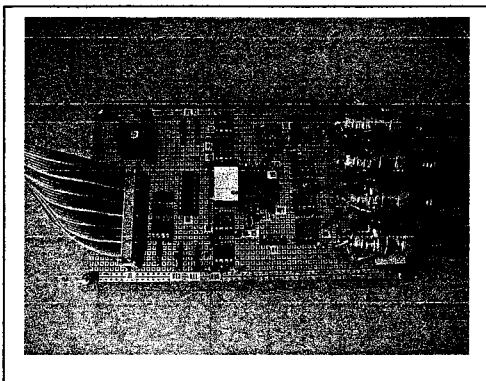


Bild 1: Load Board

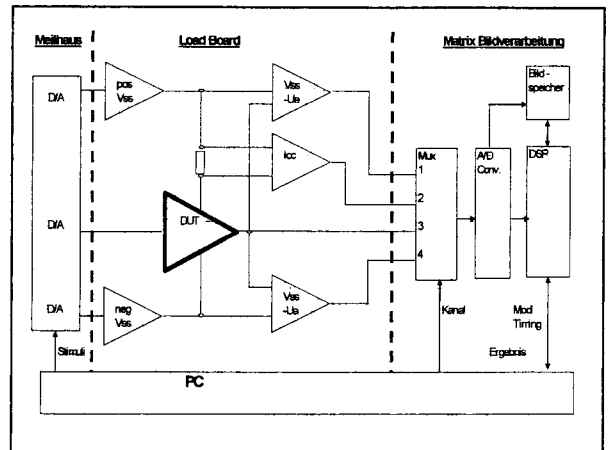


Bild 2 Blockschaltbild des Demo-Aufbaus

Die Software:

Das Programm **SPIE** ist für die praktische Nutzung natürlich unbedingt notwendig, soll aber in seinem Aufbau und detaillierten Funktionen hier nicht erläutert werden. Ergebniseindrücke werden im folgenden Beispiel vermittelt.

5 Lösungen durch unser innovatives Verfahren

Durch **IMPART / SPIE** wird eine wesentlich bessere Fehlerabdeckung erreicht:

- Die Betriebsbereiche werden voll durchfahren.
- Kombinationen von Signalkonstellationen werden überdeckend geprüft.
- Stimulationen sind möglich, die bisher aus Auswertegründen nicht gemacht wurden.
- Arbeitspunkt-Verschiebungen werden durch Fehler während der bereichsübergreifenden Prüfung entdeckt.
- Die Auswertung erfolgt über Bildverarbeitungs-Methoden wie: Subtraktion, Golden Device-DUT-Vergleich, Filterung, Binarisierung, Erosion/Dilatation, Flächenbewertung, Bereichsbetrachtungen(AOI), Verlaufbewertung, Abstandsmessung, Teilezählung und ist damit in den kurzen Zeiten der Fertigungszyklen realisierbar.
- Erkennen von Veränderungen bei mehrmaliger Messung durch Bildvergleiche.

- Diese Vorgänge sind meist in Echtzeit möglich und führen schnell zu Go-NoGo - Ergebnissen.
- Für Analysen ist die Rückverfolgbarkeit in vollem Umfang erhalten (Bildspeicher).
- Aufzeichnung auf Video-Recorder oder Massenspeicher zur späteren Off-Line-Auswertung sind möglich.

Eine grosse Zahl weiterer positiver Merkmale des neuen Verfahrens ergeben sich aus den vielfältigen algorithmischen Möglichkeiten der Bildverarbeitungs-Technik. Alle aufzuzählen würde den Rahmen des Berichts sprengen, jedoch nachstehend einige weitere Möglichkeiten:

- **Störgrößen -Erfassung:** Während des kontinuierlichen Ablaufs können z. B. laufend Störgrößen stimuliert werden, deren Auswirkungen im gesamten Betriebsbereich erfasst werden können: Transienten (z.B. auf Vss), Pop Korn-Rauschen, etc., da man im Gegensatz zu Idd- oder Signatur-Messungen absolute Messwerte zu jedem Arbeitspunkt erhält.
- **Keine Einschwingzeiten** sind abzuwarten, nachdem immer der komplette Betriebsbereich durchfahren wird.
- **Bessere Ausbeute** (Grenzgänger): Man kann grössere Toleranzen akzeptieren, da ganze Funktionen abgetestet werden (keine Sicherheitsreserven nötig).
- **Das Temperatur-Verhalten** kann erfasst werden, wenn über Belastung (z.B. Substratdioden) das Chip erwärmt wird. Die fortlaufende Messwert-Erfassung gibt Aufschluss über das Temperaturverhalten des Chips. Ferner kann eine Rth-Messung parallel erfolgen.
- Durch die Möglichkeit zu inter-/extrapolieren lassen sich theoretische Grenzen erfassen.
- Multispektralebenen in der BV führen zur weiteren Messzeitverkürzung (R-G-B Umsetzung)
- **Design Centering:** 100 % Rückkopplung aus der Fertigung ohne Mehrkosten.

6 Ein Beispiel

Ein Prototypsystem für das neue Messverfahren IMPART und die Auswertesoftware SPIE wurde im IAF (Institut für angewandte Forschung) an der FH

HN in Kooperation mit einem Testerhersteller realisiert, mit dem sehr weitgehende Messungen an Operationsverstärkern gemacht wurden. Die Funktionstüchtigkeit konnte überzeugend unter Beweis gestellt werden.

Durch Anpassungen des Load-Boards können natürlich alle möglichen Schaltungen getestet werden.

Stimuliert wird der OP mit 3 Quellen: Jeweils positive und negative Betriebsspannung, die sich in ihrer Grösse kontinuierlich ändern, sowie dem Eingangstimulus, dem zu einem bestimmten Zeitpunkt eine Störung überlagert wird (Bild 3).

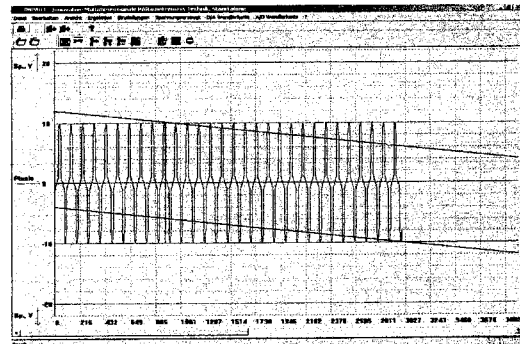


Bild 3: Stimulus für Testobjekt

Die Messung erfolgt unter Kontrolle des Programmes SPIE über den Multiplexer des Framegrabbers und dessen A/D-Converter (vgl. Bild 2).

Durch die hohe Taktrate des Framegrabbers über alle Komponenten sind sehr schnelle Abtaststraten mit gleichzeitig erfolgenden Auswertungen möglich.

Mit dem oben erwähnten Demo-Tester wurden enorme Auflösungen erreicht, die mit dem ebenfalls erstellten Programm SPIE (Sampling Parameter Image Equivalent) aufbereitet und leicht interpretierbar dargestellt werden. Bild 4 stellt eine der vielen möglichen Ausgabevarianten vor.

Dargestellt sind hier z.B. die vier Messausgänge mit Offsetspannung, Ic-Verlauf, Usat+ und Usat- jeweils mit 2 Zyklen pro Zeile und 20 Zeilen pro Bild. Flächenbewertungen erlauben die Beurteilung von Funktionen, Fehlverhalten und Störungen.

7 Zusammenfassung

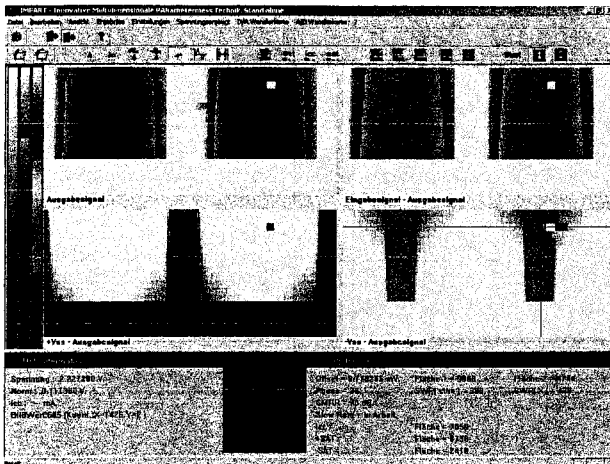


Bild 4: Ergebnisdarstellung in SPIE

Bei Usat- (linker unterer Block) wurde der Cursor auf die Störung gesetzt und hier kann dann der Pegelverlauf horizontal und vertikal (!) in einem „Oszillogramm“ dargestellt werden Bild 5 u. 6.

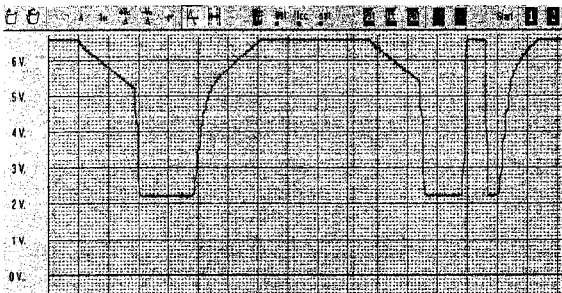


Bild 5: Horizontales „Oszillogramm“

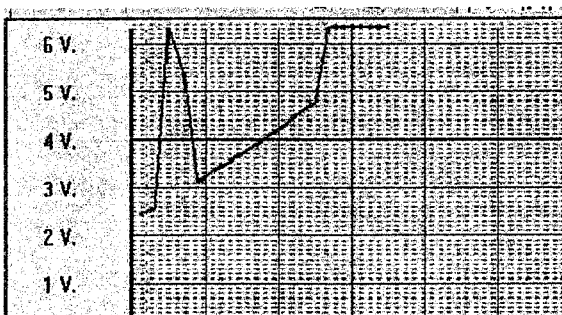


Bild 6: Vertikales „Oszillogramm“

Es wurde ein innovatives Multiparametermessverfahren vorgestellt, welches durch Einsatz spezieller, aber handelsüblicher und preiswerter Hardware (Framegrabber), eine zeit- und kostenoptimale Messung auf dem Wafer wie an aufgebauten Devices bei hoher Testtiefe erlaubt.

Zwei Patente wurden offengelegt und nach der vorläufigen Prüfung als patentfähig anerkannt. Die Anmeldung läuft für Europa, USA und Japan.

Ein Waveform-Editor zur Erzeugung beliebiger Stimuli auf mathematischer und graphischer Basis wurde entwickelt.

Cross-SW zur Einspielung von Matlab-Files wurde ebenfalls begonnen, um die hiermit erzeugten Wellenformen übernehmen zu können.

Korrelationsvergleiche durch Übereinanderlegen von Bildern verschiedener Chips aus Randbereichen zu Zentralbereichen sind visuell darstellbar und natürlich auch automatisch auswertbar.

Das Verfahren ist für analoge, digitale oder mixed-mode Schaltungen geeignet. Durch den Einsatz „intelligenter Testmuster“ wird es wirtschaftlich möglich, dem Designer während der verschiedenen Stufen im Produktionsflow der Design-Verifikation dienliche Parameter und Auswertungen in bisher unerreichtem Ausmaß zu liefern, um laufend auch die Robustheit seines Designs gegenüber Produktionsschwankungen zu erkennen.

Durch die Synergie von Messtechnik und Bildverarbeitung wurde durch das neue Verfahren im Gesamtprozess der Entstehung einer integrierten Schaltung ein deutlicher Schritt vorwärts getan.

Literatur:

- [1] Umfangreiche Patentrecherchen in Zusammenarbeit mit dem Technologie-Lizenz-Büro in Karlsruhe.
- [3] Urbat, R.: SEM – eine neue Messtechnik, ETZ-B 25(73)4
- [3] Haberäcker, P.: Einführung in die digitale Bildverarbeitung. Hanser Verlag 1991
- [4] Handbuch und Datenblätter MVtitan G1, Matrix Vision, Oppenweiler

Integration eines PID-Reglers auf einem ASIC

Jürgen Lang

Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm

Ausgehend von der VHDL-Beschreibung eines PID-Reglers, der auf einem FPGA integriert worden war, ist eine Standardzellenschaltung entwickelt worden. Diese soll bei der Firma Mietec mit dem 0,5 μ -Prozess gefertigt werden. Dieser PID-Regler ist universell einsetzbar. Er wählt anhand der Regelabweichung und einer Prozessgröße einen Satz Regelparameter aus. Diese Regelparameter sind in einem integrierten RAM abgelegt. Das RAM wird von einem EEPROM initialisiert.

1 Motivation

Die moderne Technik verwendet immer mehr digitale Schaltungen. Diese sind im Allgemeinen, im Gegensatz zu analogen Schaltungen, einfacher handhabbar und leichter integrierbar.

Sind Algorithmen möglichst schnell abzuarbeiten, werden Softwarelösungen häufig durch Hardwarelösungen ersetzt, die in Form von anwendungsspezifischen integrierten Schaltungen (ASICs) realisiert werden.

Dieses Problem beschäftigte mich bereits bei meiner Studienarbeit, die die Beschreibung eines universell einsetzbaren und schnellen PID-Reglers in VHDL zum Thema hatte.

Diese Arbeit fesselte mich und ich ergriff die Möglichkeit bei meiner Diplomarbeit einen solchen Regler als Standardzellenschaltung zu entwickeln.

2 Ausgangslage

Ausgangslage war die VHDL-Beschreibung eines PID-Reglers der auf einem FPGA realisiert worden war. Er beinhaltet Intellectual Properties (IPs) wie zwei Zähler, zwei Inkremente, einen Addierer-Subtrahierer, einen Multiplizierer und ein RAM.

Das RAM hat eine Größe von 32k Bit. 75 % des RAMs sind mit Regelparametern belegt und werden somit als ROM verwendet. Der restliche Speicher-

platz wird für Zwischenergebnissen bei der Berechnung der Stellgröße y verwendet.

2.1 Signaldarstellung

Die Signale Sollwert w und Stellgröße y (s. Abb. 3) sind pulswidenmoduliert (PWM) codiert. Der kleinste PWM-Wert ist ein Inkrement und der größte sind 4095 Inkremente (Abb. 1).

Der Istwert x und die Prozessgröße v werden durch einen Analog Digitalwandler (ADU) in 12 bit breite Binärzahlen umgewandelt und dem Regler in dieser Form zugeführt.

Die Regelparameter sind 16 bit breite normierte positive Festkommazahlen, die Zwischenergebnisse werden mit 16 bzw. 32 bit dargestellt.

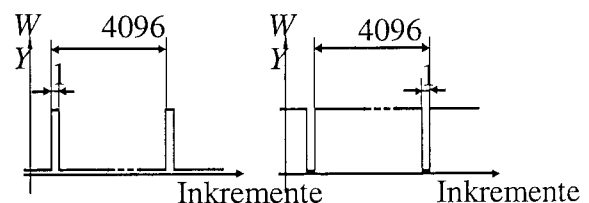


Abb. 1: Signaldarstellung PID-Regler

2.2 Arbeitsweise des Reglers

Beim PID-Regler arbeiten drei Prozesse parallel:

- Einlesen des Sollwertes w
- Berechnung der neuen Stellgröße y
- Ausgabe der Stellgröße y

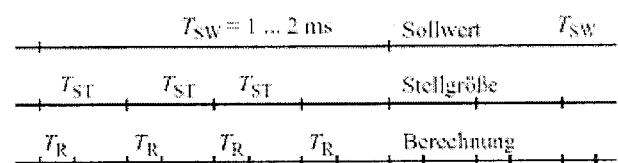


Abb. 2: Arbeitsweise PID-Regler

2.3 Struktur des Reglers

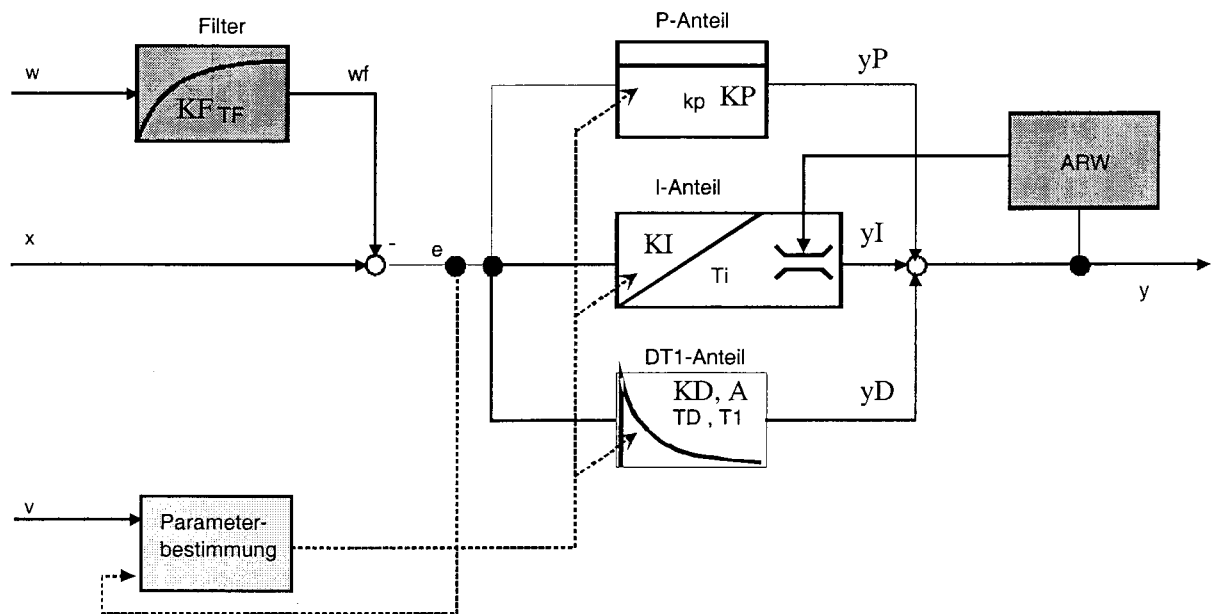


Abb. 3: Überblick Regler

Der Eingangswert w wird asynchron abgetastet und durch Division der Pulsdauer mit der Periodendauer in eine Binärzahl umgewandelt. Damit der Eingangswert nicht verrauscht ist, wird er durch einen Tiefpass gefiltert und in den Wert w_f umgewandelt. Die Regeldifferenz e wird aus dem gefilterten Sollwert w_f und der Istgröße x gebildet. Mit der Regeldifferenz e und der Prozessgröße v , die zum Beispiel eine Temperatur oder ein Öldruck sein kann, wird ein Satz Regelparameter ausgewählt. Mit diesen Regelparametern wird der P-, I- und DT1-Anteil berechnet. Die Summe dieser drei Anteile wird als Stellgröße y PWM-codiert ausgegeben. Die Stellgröße y wird überwacht. Wenn sie ihren maximalen Wert erreicht hat, wird der I-Anteil des Reglers nicht weiter erhöht.

3 Ausführung des Reglers

Der ADU ist mit dem Baustein MAX1297 realisiert worden und nicht Bestandteil des ASICs.

Die Signale x und v liegen an zwei Eingängen des ADU und werden mit der vom ASIC gelieferten Zählfrequenz abgetastet und AD-gewandelt. Der ADU erzeugt hierzu intern eine Referenzspannung von 2,5 V. Das 12 bit breite Ergebnis wird parallel in den ASIC eingelesen. Zur Kommunikation dienen die Signale nrd , nwr und $nint$.

Das EEPROM wird mit dem Baustein M24C32-WBN6T realisiert. Dieses EEPROM hat ein 2 Wire I²C Serial Interface. Nach dem Senden eines Device Select Codes, über die bidirektionale Leitung SDA_bidi , vom PID-Regler an das EEPROM, sendet dieses jeweils acht Bit seriell an den PID-Regler und erhöht anschließend automatisch seine Adresse. Dann werden die nächsten 8 Bit gesendet. Dies erfolgt solange, bis alle Daten des EEPROMs an den PID-Regler übertragen worden sind. Anschließend geht das EEPROM in Wartestellung.

4 Probleme und Lösungen

Bei der Ersetzung der IPs wurde zuerst versucht, Makros aus der Synopsys-Bibliothek Design Ware, zu verwenden. Das Einbinden dieser Bibliotheken in den Mentor-HDLDesigner gelang jedoch nicht. Somit wurde dazu übergegangen, die IPs mit VHDL zu beschreiben.

Der PID-Regler ist hierarchisch aufgebaut und besteht aus den Komponenten Logik, Mux, RAM und $y_pwm_treiber$. In die Komponente Logik, wurde mit dem Design Analyzer von Synopsys, mit dem auch die Synthese durchgeführt wurde, ein Internal Scan Circuit eingefügt. Dieser soll die Testbarkeit des Bausteins verbessern.

Die Schematics und die Layouts der einzelnen Blöcke, sowie das Top-Layout, wurden mit Mentorwerkzeugen hergestellt. Beim automatischen Layout der Stromversorgungsleitungen ergaben sich teilweise zu schmale Ports und fehlende Anschlüsse der Ringleitungen an die Power-Pads. Diese Probleme konnten umgangen werden (s. /1/).

5 Ausblick

Der Chip benötigt eine sehr große Fläche. Diese könnte durch eine andere Form des RAMs verkleinert werden.

Zum besseren Testen des ASICs könnte ein Built In Self Test (BIST) für das RAM und der Joint Test Access Group (JTAG) Boundary Scan integriert werden.

Diese Möglichkeiten zeigen, dass der Chip noch optimiert werden könnte.

6 Abkürzungen

IP: Intellectual-Properties

FPGA: Field Programmable Gate Array

ASIC: Application Specific Integrated Circuits

PID-Regler: Proportional-Integral-Differential-Regler

BIST: Build In Self Test

VHDL: Very high speed integrated circuits Hardware Descriptions Language

JTAG: Joint Test Access Group

PWM: Puls-Weiten-Modulation

ADU: Analog-Digital-Umsetzer

7 Literaturverzeichnis

[1] Lang, PID-Regler auf ASIC, 2003, Dokumentation der Diplomarbeit

[2] Dokumentation von Synopsys: Aufzurufen auf der Shell_Ebene mit: sold

[3] Prof. Dipl. Ing. Arnold Führer
Vorlesungsunterlagen zur Schaltungsintegration

[4] Mietec-Dokumentation im Verzeichnis:
\$MTC_CMOS05/doc

[5] Mietec-Beispielscripte im Verzeichnis:
\$MTC_CMOS05/synopsys/scripts

[6] Net To Chip Kurs, MPC-Gruppe, 2002

[7] Jahn, Entwicklung eines Uhrenmakros mit eingebautem Selbsttest, SS00, Diplomarbeit

[8] www.synopsys.de

[9] www.mentor.com

[10] www.st.com

[11] www.europractice.com

Untersuchung einer neuartigen intermodulationsarmen Mischstufe

Gustavo Venegas, gvenegas@teleradcr.com
 Fachhochschule Mannheim, Hochschule für Technik und Gestaltung
 Windeckstrasse 110, 68163 Mannheim

1. Einleitung:

Mischer spielen eine sehr wichtige Rolle in vielen Anwendungen von Kommunikationssystemen, da sie für die Frequenzumwandlung des zu übertragenden Signals zuständig sind. Zu den Eigenschaften, die ein guter Mischer aufweisen muss, gehört ein gutdefinierter Eingangswiderstand und möglichst kleine Intermodulationsverzerrungen, das bedeutet, der Eingangswiderstand der Mischstufe muss möglichst unabhängig von jedem anderen Parameter in der Schaltung sein und die Mischstufe muss möglichst wenige Störungen durch Nichtlinearitäten bei Aussteuerung mit mehreren Signalen erzeugen. Das Ziel dieser Arbeit ist es, festzustellen, ob eine aus MOS-Transistoren aufgebaute Abwandlung des sogenannten Gilbert Mixer (Micromixer) weniger Intermodulationsverzerrungen erzeugt als die entsprechende aus Bipolar-Transistoren aufgebaute Topologie. Es wird nicht betrachtet, welche Rauscheigenschaften der Mischer aufweist, sondern nur seine Nichtlinearitäten.

2. Der Gilbert Mixer:

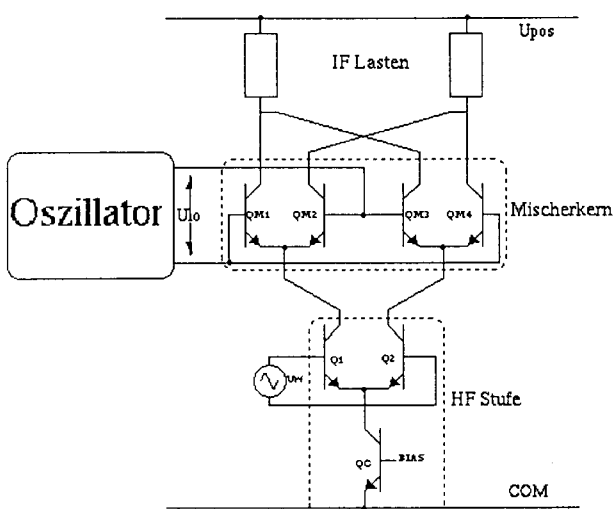


Abbildung 1. Gilbert Mixer

Abbildung 1 zeigt die einfachste Form des sogenannten Gilbert Mixer. Es handelt sich um eine

sehr häufig verwendete Topologie und sie besteht aus zwei Teilen, nämlich einer HF-Stufe und dem Mischerkern. Die HF-Stufe kümmert sich um die Zusammenfassung des RF Signals mit dem LO Signal, indem sie die HF-Spannung in einen Differenzstrom umwandelt und ihn in die gemeinsamen Emitterknoten des Mischerkerns weiterleitet. Im Mischerkern findet das eigentliche Mischen statt. Das Oszillatorsignal schaltet jeweils zwei von den vier Transistoren des Mischerkerns an und die anderen zwei aus. Das ZF-Signal wird an den Kollektoren erzeugt und durch die ZF-Last in Spannung umgewandelt. Nachteil dieses Mixers ist seine schlechte Intermodulationseigenschaft, die zunächst untersucht wird.

Es ist wohl bekannt, dass die Übertragungsfunktion eines Differenzverstärkers ein Tangens hyperbolicus ist:

$$I \approx \tanh(U_{rf}/2U_T) = \tanh(u) \quad (1)$$

wobei $u=U_{rf}/2U_T$. Ist U_{rf} ein Sinussignal der Form $U_{rf} \sin \omega t$, so kann man schreiben:

$$\begin{aligned} \tanh(u \sin \omega t) &\approx u \sin \omega t - \frac{(u \sin \omega t)^3}{3} \dots \quad (2) \\ &= u(1 - u^2/4) \sin \omega t + (u^3/12) \sin 3 \omega t \dots \end{aligned}$$

Das Ausgangssignal von der HF-Stufe besteht dann hauptsächlich aus einer Grundschwingung H_1 und einer Oberschwingung 3. Ordnung H_3 . Das Verhältnis zwischen den beiden Schwingungsamplituden nennt man harmonische Verzerrung 3. Ordnung, und wird in diesem Fall wie folgt bezeichnet:

$$HD3 \approx \frac{u^2}{12} \quad (3)$$

Noch ein Nachteil ist sein schlechtdefinierter Eingangswiderstand, denn er hängt sehr stark von der Eingangsspannung und von Prozessschwankungen (Stromverfälschung) ab und

Untersuchung einer neuartigen intermodulationsarmen Mischstufe

kann deshalb schlecht an 50 Ohm angepasst werden.

3. Der Micromixer

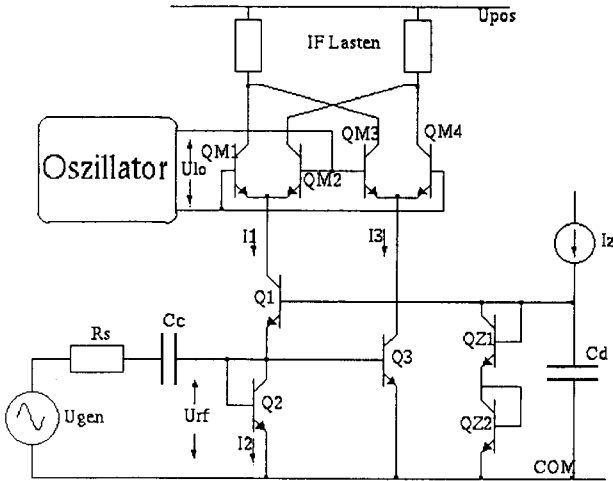


Abbildung 2. Bipolar Micromixer

Abbildung 2 zeigt die minimale Form eines Micromixers [1]. Sein Mischerkern sieht genau so aus wie der vom Gilbert Mixer, wobei der grösste Unterschied in der HF-Stufe liegt. Der Transistor Q_1 bildet eigentlich einfach eine Basisschaltung und liefert seinen Ausgangsstrom I_1 den Transistoren QM_1 und QM_2 des Mischerkernes gleichphasig. Andererseits bilden Q_2 und Q_3 einen Stromspiegel, dessen gegenphasiger Strom I_3 die Transistoren QM_3 und QM_4 ansteuern. Gemeinsam haben diese zwei Subzellen eine Übertragungsfunktion, die symmetrisch zu positiven und negativen Eingangssignalen ist. Der Differenzstrom $I_1 - I_3$ ist linear zu I_{rf} , jedoch sind die Einzelströme ziemlich nichtlinear. Diese Topologie weist eine viel bessere Intermodulationseigenschaft als der Gilbert Mixer auf, wie man sehen wird.

Verwendet man das Translinearprinzip im von Q_1 , Q_2 , Q_{Z1} und Q_{Z2} gebildeten Kreis und unter Berücksichtigung, dass $I_1 = I_2 - I_{rf}$, so erhält man:

$$I_z I_z = I_1 I_2 = (I_2 - I_{rf}) I_2 \quad (4)$$

Die Auflösung von (4) nach I_2 kann durch die Abkürzung:

$$\lambda = \frac{I_{rf}}{2I_z} \quad (5)$$

ausgedrückt werden. Das ergibt:

$$I_2 = I_z (\sqrt{\lambda^2 + 1} + \lambda) \quad (6)$$

Die HF-Eingangsspannung kann wie folgt dargestellt werden:

$$\begin{aligned} U_{rf} &= U_T \ln \left(\frac{I_2}{I_s} \right) = U_T \ln \left(\frac{I_z I_2}{I_s I_z} \right) \\ &= U_{bez} + U_T \ln (\sqrt{\lambda^2 + 1} + \lambda) \\ &= U_{bez} + U_T \sinh^{-1} \lambda \end{aligned} \quad (7)$$

Aus (7) kann man dann den Eingangswiderstand der HF-Stufe als Funktion der Aussteuerung ableiten:

$$\begin{aligned} U_{gen} &= I_{rf} R_s + U_{rf} \\ &= I_{rf} R_s + U_{bez} + U_T \sinh^{-1} \lambda \\ &\approx I_{rf} R_s + U_{bez} + U_T (\lambda - \lambda^3/6 \dots) \end{aligned} \quad (8)$$

Unter der Annahme, dass Leistungsanpassung besteht, kann man R_s durch R_{ein} ersetzen. R_{ein} ist einfach die Parallelschaltung der r_e 's von Q_1 und Q_2 , nämlich U_T/I_z , dann ergibt es sich:

$$\begin{aligned} U_{gen} - U_{bez} &\approx \lambda 2 I_z \frac{U_T}{2 I_z} + U_T (\lambda - \lambda^3/6 \dots) \\ \text{mit } \frac{U_{gen} - U_{bez}}{U_T} &= U_{gen}' \approx \lambda - \frac{\lambda^3}{6} \end{aligned} \quad (9)$$

Nun nimmt man an, dass λ ein Sinussignal ist:

$$U_{gen}' = \left(2\lambda - \frac{\lambda^3}{8} \right) \sin \omega t + \frac{\lambda^3}{24} \sin 3 \omega t \quad (10)$$

Genau wie beim Gilbert Mixer, besteht die Übertragungsfunktion beim Micromixer aus einer Grundschwingung H_1 und einer Oberschwingung H_3 . Vergleiche dazu (3):

$$HD3 \approx \frac{\lambda^2}{48} \quad (11)$$

Immerhin ist der Eingangswiderstand dieses Mixers zwar besser definiert, aber er ist auch vom Eingangssignal abhängig. Das sieht man, wenn man R_{ein} durch die Ableitung von U_{rf} nach I_{rf} bzw. λ berechnet:

Untersuchung einer neuartigen intermodulationsarmen Mischstufe

$$R_{ein} = \frac{\partial U_{rf}}{\partial I_{rf}} = \frac{\partial U_{rf}}{\partial \lambda} \frac{\partial \lambda}{\partial I_{rf}} \quad (12)$$

$$= \frac{U_T}{2I_z} \frac{1}{\sqrt{\lambda^2 + 1}}$$

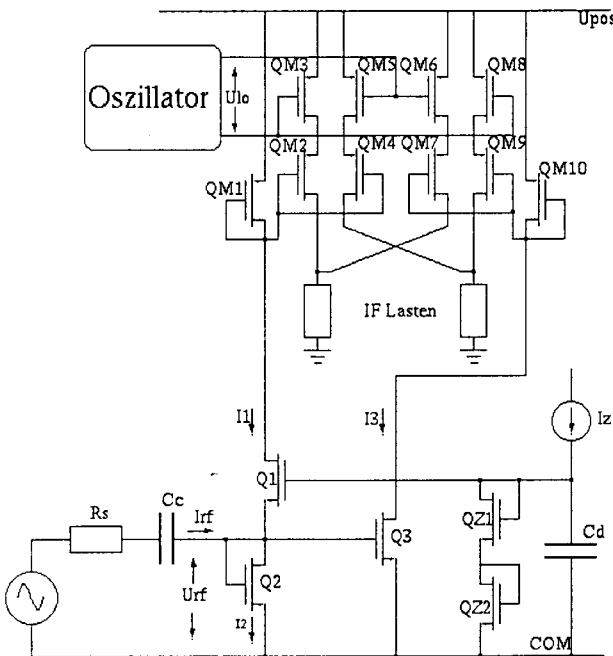


Abbildung 3. MOS-Micromixer

Abbildung 3 zeigt die vorgeschlagene Form des Micromixers mit MOS-Transistoren. Die wesentlichen Unterschiede in Bezug auf den Bipolar-Micromixer sind natürlich die Technologie der Transistoren und der Mischerkern. Grundsätzlich funktioniert die HF-Stufe genauso wie die beim Bipolar-Micromixer, aber, wie später nachgewiesen wird, weist die aus MOS aufgebaute HF-Stufe bessere Intermodulationseigenschaften auf. Der Eingangswiderstand bei der MOS HF-Stufe ist auch viel besser definiert als beim bipolaren Eingang.

Noch ein Vorteil stellt der Mischerkern dar, denn er isoliert die Effekte der Umschaltung der Mischerkerntransistoren von der HF-Stufe. QM₁ bildet zwei Stromspiegel mit QM₂ und QM₄, die den Strom I₁ zu den ZF-Lasten weiterleiten, je nachdem, welcher von den zwei Transistoren QM₃ oder QM₅ durch den Oszillator eingeschaltet wird. Entsprechendes gilt für die andere Hälfte des Mischerkernes (QM₅-QM₁₀)

Zunächst wird eine spezielle Betrachtung der HF-Stufe gemacht, um die Intermodulations-eigenschaft des Mixers und seinen Eingangswiderstand zu

bestimmen. Für die Gate-Source Spannung eines MOS-Transistors im Sättigungs-bereich besteht die folgende Gleichung [2] (Modell 1. Ordnung):

$$U_{gs} = U_{th} + \sqrt{\frac{2I_d}{\frac{\mu_n \epsilon_{ox}}{t_{ox}} \left(\frac{W}{L}\right)}} \quad (13)$$

$$= U_{th} + \sqrt{\frac{2I_d}{k'(W/L)}}$$

- U_{th}: Schwellspannung
- I_d: Drainstrom
- μ_n: Beweglichkeit der Elektronen
- ε_{ox}: Permittivität der Oxidschicht
- t_{ox}: Dicke der Oxidschicht
- W und L: Breite und Länge des Kanals

Nach dem zweiten Kirchhoffschen Satz haben wir:

$$U_{gs}(I_z) + U_{gs}(I_z) = U_{gs}(I_1) + U_{gs}(I_2) \quad (14)$$

Dabei ist I_x, der Strom, der in den Drain jedes Transistors Q_x fließt.

Nun wird (13) in (14) eingesetzt:

$$2U_{thz} + 2\sqrt{\frac{2I_z}{k'_z(W_z/L_z)}} = U_{th1} + \sqrt{\frac{2I_1}{k'_1(W_1/L_1)}} + U_{th2} + \sqrt{\frac{2I_2}{k'_2(W_2/L_2)}} \quad (15)$$

Aus dem Bild erkennt man, dass I₂=I₁+I_{rf} ist. Unter der Annahme, dass alle Transistoren gleich sind, ergibt (15):

$$2\sqrt{2I_z} = \sqrt{2(I_2 - I_{rf})} + \sqrt{2I_2} \quad (16)$$

und der ganze Ausdruck kann quadriert werden, um eine Lösung von I₂ zu finden:

$$8I_z = 2(I_2 - I_{rf}) + 2\sqrt{4(I_2 - I_{rf})I_2} + 2I_2 \quad (17)$$

Nach noch einer zweiten Quadrierung von (17), einer einfachen algebraischen Manipulation und der Streichung von doppelten Termen bekommt man

Untersuchung einer neuartigen intermodulationsarmen Mischstufe

den folgenden Ausdruck:

$$16I_z^2 - 16I_z I_2 + 8I_z I_{rf} + I_{rf}^2 = 0 \quad (18)$$

und nach I_2 aufgelöst, ergibt sich:

$$I_2 = I_z + \frac{I_{rf}}{2} + \frac{I_{rf}^2}{16I_z} \quad (19)$$

Man kann die Grösse λ wie im (5) definiert in (19) eingesetzt verwenden:

$$I_2 = I_z \left(1 + \lambda + \frac{\lambda^2}{4} \right) = I_z \left(1 + \frac{\lambda}{2} \right)^2 \quad (20)$$

Nun braucht man einen Ausdruck für die Spannung U_{rf} :

$$\begin{aligned} U_{rf} = U_{gs2} &= U_{th} + \sqrt{\frac{2I_2}{k'(W/L)}} \\ &= U_{th} + \sqrt{\frac{2I_z \left(1 + \frac{\lambda}{2} \right)^2}{k'(W/L)}} \quad (21) \\ &= U_{th} + \sqrt{\frac{2I_z}{k'(W/L)}} \left(1 + \frac{\lambda}{2} \right) \end{aligned}$$

Der Eingangswiderstand ist die Ableitung der Eingangsspannung U_{rf} nach dem Eingangsstrom I_{rf} :

$$\begin{aligned} R_{ein} &= \frac{\partial U_{rf}}{\partial I_{rf}} = \frac{\partial U_{rf}}{\partial \lambda} \frac{\partial \lambda}{\partial I_{rf}} \\ &= \frac{\partial \left(U_{th} + \sqrt{\frac{2I_z}{k'_2 \frac{W_2}{L_2}}} \left(1 + \frac{\lambda}{2} \right) \right)}{\partial \lambda} \frac{1}{2I_z} \quad (22) \\ &= \frac{1}{\sqrt{2I_z k'_2 (W_2/L_2)}} \frac{\partial \left(1 + \frac{\lambda}{2} \right)}{\partial \lambda} \\ &= \frac{1}{\sqrt{8I_z k'_2 (W_2/L_2)}} \end{aligned}$$

Aus (22) kann man sehr deutlich sehen, dass der Eingangswiderstand der Schaltung unabhängig von

der Eingangsspannung ist. Das stellt einen sehr grossen Vorteil im Vergleich mit dem Bipolar-Micromixer dar.

Auch eine Betrachtung der Übertragungsfunktion der HF-Stufe liefert sehr interessante Ergebnisse. Die Generatorspannung kann folgendermassen ausgedrückt werden:

$$\begin{aligned} U_{gen} &= I_{rf} R_s + U_{rf} = I_{rf} R_s + U_{th} \\ &+ \sqrt{\frac{2I_z}{k'(W/L)}} \left(1 + \frac{\lambda}{2} \right) \quad (23) \end{aligned}$$

Für Leistungsanpassung, muss gelten:

$$R_s = R_{ein} = \frac{1}{\sqrt{8I_z k'(W/L)}} \quad (24)$$

Setzt man (24) und (5) in (23) ein, so enthält man:

$$\begin{aligned} U_{gen} &= \frac{2\lambda I_z}{\sqrt{8I_z k'(W/L)}} + U_{th} \\ &+ \sqrt{\frac{2I_z}{k'(W/L)}} \left(1 + \frac{\lambda}{2} \right) \quad (25) \end{aligned}$$

Man kann (25) auch wie folgt ausdrücken:

$$\begin{aligned} U_{gen} - U_{th} &= U'_{gen} = \frac{\lambda}{2} \sqrt{\frac{2I_z}{k'(W/L)}} \\ &+ \sqrt{\frac{2I_z}{k'(W/L)}} \left(1 + \frac{\lambda}{2} \right) \quad (26) \end{aligned}$$

Und nach einer Umgruppierung, ergibt sich:

$$U'_{gen} \sqrt{\frac{k'(W/L)}{2I_z}} = 1 + \lambda \quad (27)$$

Daraus wird ersichtlich, dass die Übertragungsfunktion linear ist, und deshalb, dass gar keine Intermodulation wegen einer Nichtlinearität des Systems erzeugt werden kann. Dieses Ergebnis gemeinsam mit (22) stellen eine sehr wichtige Eigenschaft der Eingangsstufe des MOS-Micromixers dar, und zwar, dass er ein lineares Verhalten aufweist. Das entspricht der idealen Voraussetzung, die eine Mischstufe haben muss. Trotzdem wird später gezeigt, dass das

Untersuchung einer neuartigen intermodulationsarmen Mischstufe

Verhalten des MOS-Mixers der Praxis nicht völlig linear ist.

4. Simulation

Um die oben gezeigten Ergebnisse zu beweisen, wird zunächst eine Simulation der beiden HF-Stufen (Bipolar und MOS) durchgeführt. Ziel der Simulation ist es, das Verhalten des Eingangswiderstandes der Schaltungen bei Variation des Eingangssignales zu bestimmen. Dazu wird der Eingangstrom I_{rf} um den Arbeitspunkt herum durchgefahen (DC-Sweep). Betrachtet wird die Eingangsspannung U_{rf} und zwar ihre Variation mit der von I_{rf} . Es ist wohl bekannt, dass man den Eingangswiderstand einer Schaltung ausrechnen kann, indem man die Ableitung der Eingangsspannung nach dem Eingangsstrom berechnet. Beide Mischstufen sind eingestellt worden auf einen Eingangswiderstand von 50Ω im Arbeitspunkt.

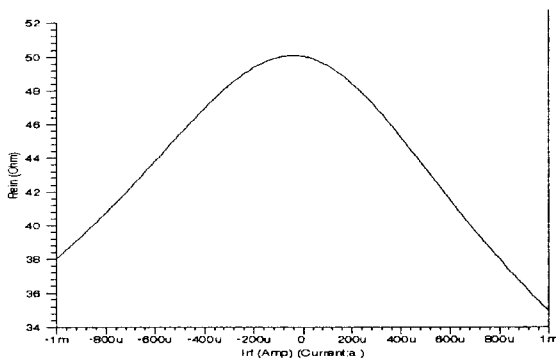


Abbildung 4. Variation des Eingangswiderstand beim Bipolar Micromixer.

Abbildung 4 zeigt das Ergebniss der Simulation des Bipolar-Micromixers. Der Eingangstrom wird $\pm 1\text{mA}$ um den Arbeitspunkt herum durchgefahen und die Ableitung von U_{rf} nach I_{rf} wird auf der Y-Achse dargestellt. Aus der Abbildung ist deutlich zu erkennen, wie der Eingangswiderstand vom Eingangssignal abhängig ist, in diesem Fall vom Eingangsstrom. Man kann auch sehen, wie sich der Widerstand nach der Theorie benimmt, indem man die Gleichung (12) betrachtet. Die Form dieser Gleichung entspricht einer Glocke, die genauso aussieht, wie die simulierte Kurve in Abbildung 4. Auch interessant ist die Symmetrie des Verhaltens, denn der Eingangswiderstand sinkt, wenn das Eingangssignal sich vom Arbeitspunkt entfernt. Dieser Effekt kann einigermasse korrigiert bzw. verkleinert werden, jedoch ist es nicht möglich, einen vom Eingangssignal unabhängigen Eingangswiderstand zu bekommen.

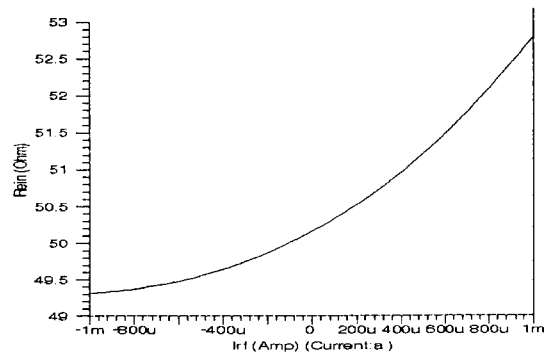


Abbildung 5. Variation des Eingangswiderstandes beim MOS-Micromixer.

Abbildung 5. zeigt das Ergebnis für den gleichen Simulationsvorgang jetzt aber für den MOS-Micromixer. Auf den ersten Blick ist das ein nicht erwartetes Ergebnis, denn, wenn man Gleichung (22) betrachtet, nimmt man an, dass der Eingangswiderstand beim MOS-Micromixer ein lineares Verhalten aufweist und dies ist nicht der Fall in Ausbildung 5. Die Variation dieser Schaltung ist zwar viel kleiner als die der Bipolarschaltung, denn in diesen Fall variiert der Eingangswiderstand nur zwischen 49.3 und 52.5 Ohm bei einer Variation von $\pm 1\text{mA}$, aber sie entspricht nicht der konstanten Form von Gleichung (22), sondern sie hat sogar ein nichtlineares Verhalten. Interessant ist auch zu bemerken, dass dieses Verhalten nicht zu positiven und negativen Eingangssignalen symmetrisch ist.

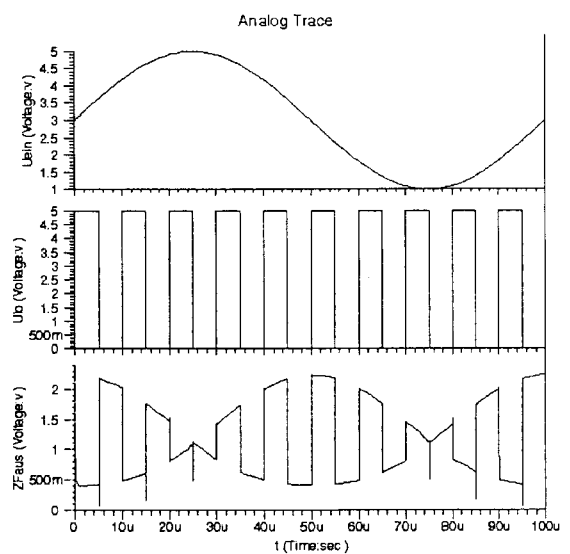


Abbildung 6. Mischvorgang des vorgeschlagenen Mischerkernes.

Abbildung 6. zeigt das Ergebnis der Simulation des Mischvorgangs des vorgeschlagenen Mischkernes. Dieser Vorgang wurde auch simuliert, um zu zeigen, wie der Mischkern eigentlich funktioniert. Ein geeigneter Simulator zur Untersuchung des Intermodulationsverhalten wird noch gesucht.

5. Zusammenfassung

In dieser Arbeit wurde eine neuartige aus MOS-Transistoren aufgebaute Mischstufe vorgeschlagen, unter der Annahme, dass sie ein lineares Verhalten als die bipolare Version hat, und einen besserdefinierten Eingangswiderstand und bessere Intermodulations-eigenschaften aufweist. In einer ersten theoretischen Untersuchung wurde nachgewiesen, dass die vorgeschlagene Mischstufe im Prinzip ein lineares Verhalten bietet und deshalb, dass sie einen grossen Vorteil im Vergleich mit dem Bipolarmischer hat, denn ihr Eingangswiderstand ist unabhängig vom Eingangssignal und sie erzeugt gar keine Intermodulationsverzerrung, da seine Übertragungsfunktion linear ist. Die Simulation vom MOS-Micromixer hat dennoch andere Ergebnisse geliefert, als die, die erwartet wurden, denn es ist deutlich zu sehen, dass das Verhalten der Mischstufe nichtlinear ist. Der Eingangswiderstand beim MOS-Mixer war zwar deutlich besser definiert als im Bipolarfall, aber auf keinen Fall kann er als linear betrachtet werden. Das deutet an, dass das für den MOS-Transistor verwendete Modell nicht genau genug gewesen ist. Es ist fair nach der Simulation zu vermuten, dass genauso wie der Eingangswiderstand, die Intermodulations-eigenschaften des MOS-Micromixers viel günstiger als bei der Bipolarlösung sind und deshalb kann diese Mischstufe als eine günstigere Lösung für Frequenzmischungsanwendungen betrachtet werden.

6. Ausblick

In diesem Punkt der Untersuchung verbleibt noch viele Arbeit, um zu bestimmen, ob der MOS-Micromixer eine optimale Lösung für eine intermodulationsarme Mischstufe bietet. Bisher wurde keine Betrachtung der Rauschleistung der Schaltung oder der Bandbreite der Mischstufe gemacht. Ein genaueres Modell für den MOS-Transistor muss verwendet werden, um die Linearität des MOS-Micromixers besser darzustellen. Vorgeschlagen wird das folgende Modell [2]:

$$I_d = \left(\frac{k'W}{2L} \right) \left(\frac{(U_{gs} - U_{th})^2}{1 + \alpha(U_{gs} - U_{th})} \right) \quad (28)$$

Das Model, das in dieser Arbeit benutzt wurde (siehe Gleichung 13), entspricht dem Fall, in dem der Parameter α in (28) sehr klein bzw. null ist. Der nächste Schritt in dieser Untersuchung ist, die Linearität des MOS-Micromixers anhand dieses Modells noch mal theoretisch zu betrachten, um die eigentlichen Effekte von α zu bestimmen.

7. Literatur

- [1] Gilbert, Barry; „The Micromixer: A Highly Linear Variant of the Gilbert Using a Bisymmetric Class-AB Input Stage“; IEEE Journal of Solid-State Circuits; Vol. 32, No. 9; September 1997.
- [2] Johnes, David and Martin, Ken; „Analog Integrated Circuit Design“; John Wiley and Sons; New York; 1997.

Fehlersuche in einem schnellen Multiplizierer

Wolfgang Rölling
Fachhochschule Furtwangen

Es wird gezeigt, dass ein schneller Multiplikationsalgorithmus, der 2001 im IEEE Journal of Solid-State Circuits veröffentlicht wurde und “carry-free” arbeiten sollte, fehlerhaft ist. Dazu werden spezielle Testmuster konstruiert. Sie zeigen, dass die Übertragsbehandlung in Multiplizieren mindestens so aufwendig ist, wie die in Addieren.

Weiter werden Eigenschaften redundanter Zahldarstellungen vorgestellt und es wird demonstriert, dass “kleine” Implementierungsfehler das Verhalten eines Algorithmus wesentlich verändern können und doch schwierig zu lokalisieren sind.

1 Einführung

Im Oktober 2001 wurde im IEEE Journal of Solid-State Circuits eine Arbeit mit dem folgenden Titel veröffentlicht [1].

“A Carry-Free 54b × 54b Multiplier
Using Equivalent Bit Conversion Algorithm”

In diesem Beitrag wird zunächst dargestellt, wie sich **extrem schnelle Multiplizierer** mit geringer Stromaufnahme realisieren lassen. Die Grundidee besteht darin, eine **redundante Zahldarstellung** (RB=redundant binary) für interne Daten zu verwenden. Auf diese Weise vermeidet man das Propagieren von Überträgen und bezahlt diesen Geschwindigkeitsvorteil durch ein redundantes Endergebnis.

Überraschenderweise wird dann behauptet, auch die Konvertierung des Endergebnisses in die normale Binärdarstellung (NB=normal binary) käme ohne Propagieren von Überträgen aus. Dazu sollte durch “equivalent bit conversion” ausgenutzt werden, dass sich Zahlen auf sehr unterschiedliche Weise redundant darstellen lassen. Wenn man für eine Rechnung jeweils die “ideale” Darstellung

der Argumente wählt, vereinfacht sich die Berechnung drastisch. Beispielsweise läuft bei der (dezimalen) Rechnung

$$99999999999 + 1 = 100000000000$$

ein Übertrag über die gesamte Datenwortlänge. Dagegen entsteht bei der äquivalenten Rechnung $(100000000000 - 1) + 1 = 100000000000 + (-1 + 1)$ durch eine geschickte Abarbeitungsreihenfolge überhaupt kein Übertrag.

Bei genauerer Betrachtung der Veröffentlichung fällt auf, dass Implementierungsdetails fehlen und die Korrektheit des Verfahrens nicht bewiesen wird. Behauptet wird lediglich, dass der Entwurf durch Simulationen überprüft wurde und der gefertigte Chip mit 20.000 Zufallsmuster getestet wurde.

Tatsächlich zeigen eigene Simulationen, dass der Algorithmus fehlerhaft ist. Deshalb wurde im Dezember 2001 eine Gegendarstellung "A Remark on Carry-Free Binary Multiplication" [2] beim IEEE JSSC eingereicht. Sie enthält zwei universell einsetzbare Testmuster für Multiplizierer, mit denen sich der Fehler des Algorithmus nachweisen lässt. Damit konfrontiert, gaben die Autoren zunächst an, ihr Chip würde auch diesen Test bestehen und auch ihre Simulationen würden die erwarteten korrekten Resultate liefern.

Um diesen Widerspruch aufzuklären, wird im Abschnitt 4 untersucht, mit welchen Modellierungs- oder Implementierungsfehlern der vorliegende Fehler im Algorithmus verdeckt werden könnte. Es zeigt sich, dass beim Vorliegen "kleiner" Implementierungsfehler unerwartete Phänomene auftreten können, so dass sich große Abweichungen zwischen den Ergebnissen einer High-Level Simulation und dem tatsächlichen Schaltungsverhalten ergeben.

Im September 2001 konnte schließlich anhand von nachträglich angefertigten Simulationsprotokollen der Autoren nachgewiesen werden, dass tatsächlich ein Implementierungsfehler vorlag. Er führte dazu, dass der Multiplizierer zwar korrekte Ergebnisse lieferte, jedoch keineswegs "carry-free" arbeitete.

Die zum Nachweis des Fehlers im Algorithmus erforderlichen Testmuster (aus [2]) werden im Abschnitt 6 vorgestellt.

2 Schnelle Multiplizierer

Es gibt viele Ansätze zur Implementierung schneller Multiplizierer für Binärzahlen (siehe z.B. [3]). Die bekannteste Multiplikationsmethode ist die sogenannte "Schulmethode" für n -stellige Dezimalzahlen, bei der einer der beiden Faktoren ziffernweise abgearbeitet wird.

$$\begin{array}{rcccccccc}
0 & 1 & 1 & 0 & 1 & * & 0 & 1 & 1 & 1 \\
\hline
& & & & & & 0 & 1 & 1 & 0 & 1 \\
& & & & & & 0 & 1 & 1 & 0 & 1 \\
& & & & & & 0 & 1 & 1 & 0 & 1 \\
& & & & & & 0 & 0 & 0 & 0 & 0 \\
\hline
& & & & & & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 \\
\hline
\hline
\end{array}$$

Dies entspricht der Berechnung gemäß

$$y = \sum_{i=0}^{n-1} a \cdot b_i \cdot 2^i$$

Um den erforderlichen Hardware-Aufwand zu reduzieren, stellt der *Booth-Multiplizierer* den Faktor b mit Ziffern aus $\{-2, -1, 0, +1, +2\}$ dar, so dass statt n Partialprodukte nur $\frac{n}{2}$ Partialprodukte summiert werden müssen. Am obigen Beispiel $y = 13_{\text{dec}} * 7_{\text{dec}}$ würde der Wert $7_{\text{dec}} = 0111_{\text{bin}} = 13_4$ nach der *Booth-Codierung* durch $((2), (-1))_4$ dargestellt, weil $2 \cdot 4^1 - 1 \cdot 4^0 = 8 - 1 = 7$ gilt. Damit wird die Rechnung folgendermaßen durchgeführt.

$$\begin{array}{rcccccccc}
0 & 1 & 1 & 0 & 1 & * & (+2) & (-1) \\
\hline
& & & & & & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 1 \\
& & & & & & 0 & 1 & 1 & 0 & 1 & & & \\
\hline
& & & & & & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 \\
\hline
\hline
\end{array}$$

Berechnet man sämtliche Partialprodukte $a \cdot b_i$ gleichzeitig (in konstanter Zeit), kann man in einer Baumstruktur von Addieren stufenweise alle n (oder $\frac{n}{2}$) Partialprodukte auf nur zwei Summanden reduzieren (siehe Abbildung 1). Geschieht dies “carry-free” mit redundanten Zahldarstellungen, braucht jeder Addierer nur konstante Zeit, so dass sich das redundante Endergebnis insgesamt in Zeit $O(\log n)$ ergibt.

Schließlich verwendet man eine schnelle Schlußaddition (z.B. mit einem “carry-look-ahead adder”), um in logarithmischer Zeit die RB-Darstellung des Ergebnisses in die normale Binärdarstellung (NB) zu überführen.

Auch der in [1] vorgestellte Multiplizierer verwendet dieses Schema, versucht aber durch geschickte Wahl der redundanten Zahldarstellung die Schlussaddition carry-free in konstanter Zeit durchzuführen. Im folgenden wird erläutert, warum das nicht gehen kann.

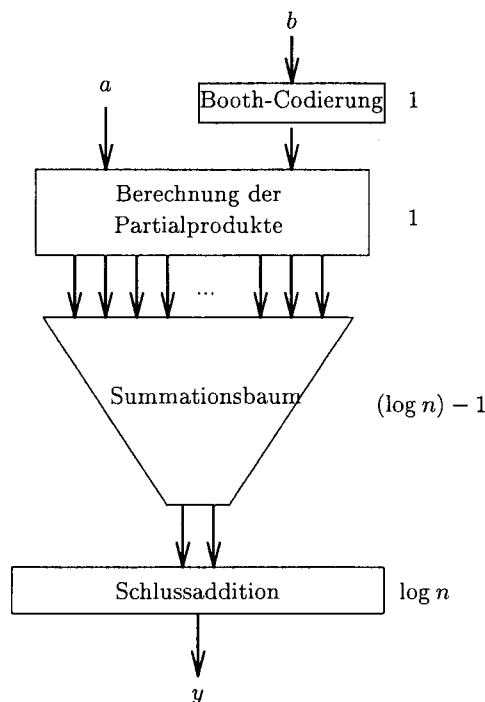


Abbildung 1: Struktur des *Booth*-Multiplizierers

3 Das Carry-Problem

Benutzt man einen Summationsbaum, um n beliebige Argumente zu addieren, dann werden aufgrund der Baumstruktur maximal $O(\log n)$ Additionen hintereinander ausgeführt. Wenn ein Addierer nach dem Prinzip der carry-save Addition (carry-free) arbeitet, hängt jedes beliebige Ausgabebit s_j an des Addierers nur von seinen Eingabebits an den Positionen j und $j - 1$ ab. Ein Übertrag kann deshalb pro Addierer nur um maximal eine Bitposition nach links wandern.

Selbst wenn man annimmt, dass aufgrund spezieller Codierungen ein Übertrag pro Addierer um eine Distanz von d bit übertragen werden kann, ergibt sich auf dem kritischen Pfad im Summationsbaum, dass ein Übertrag um maximal $O(\log n)$ Stellen nach links wandern kann. Folglich können sich bei Änderung an einem Eingabebit des Summationsbaums maximal $O(\log n)$ Stellen des Ergebnisses ändern.

Zumindest für große Datenlängen ($2n \gg \log n$) kann man deshalb Beispieleingaben für die Multiplikation finden, bei denen Überträge über eine größere Distanz propagiert werden müssen. Im Abschnitt 6 werden solche Testmuster für Multiplizierer hergeleitet.

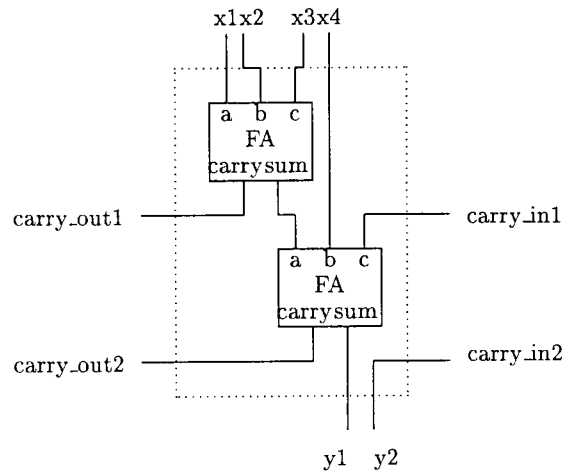


Abbildung 2: Grundzelle “4.2” für die “Vier-auf-zwei”-Reduktion zur Summation redundanter Zahlen

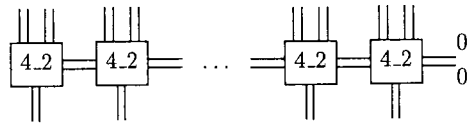


Abbildung 3: Reduktion von 4 auf 2 Summanden in konstanter Zeit

a_k	b_k	a_{k-1}, b_{k-1}	$carry_k$	sum_k	Erklärung
1	1	irrelevant	1	0	$a_k + b_k = 2$
1	0	beide nicht negativ anderenfalls	1	$\bar{1}$	$a_k + b_k = 1$
0	1		0	1	
1	$\bar{1}$	irrelevant	0	0	$a_k + b_k = 0$
$\bar{1}$	1		0	0	
0	0		0	0	
0	$\bar{1}$	beide nicht negativ anderenfalls	0	$\bar{1}$	$a_k + b_k = -1$
$\bar{1}$	0		$\bar{1}$	1	
$\bar{1}$	$\bar{1}$	irrelevant	$\bar{1}$	0	$a_k + b_k = -2$

Tabelle 1: Tabellarische Darstellung der Grundzelle “RBFA”

4 Redundante Zahldarstellung

Die einfachste Form einer redundanten Zahldarstellung fasst jeweils zwei Datenbits zu einer neuen Ziffer aus $\{0, 1, 2\}$ zusammen. Abbildung 2 zeigt eine dem Fulladder entsprechende Grundzelle für das Rechnen mit dieser redundanten Zahldarstellung. Durch Parallelschalten (siehe Abbildung 3) ergibt sich dann eine schnelle übertragsfreie Addition.

Die in [1] verwendete redundante Zahldarstellung ist eine "signed digit"-Darstellung. Sie verwendet die Ziffern $\{\bar{1}, 0, 1\}$ mit der Bedeutung $\{-1, 0, +1\}$. Auf diese Weise gibt es beispielsweise fünf verschiedene Möglichkeiten die Zahl 5 mit 4 Ziffern darzustellen.

$$\begin{aligned} [0101]_{\text{RB}} &= 4 + 1 && = 5 \\ [011\bar{1}]_{\text{RB}} &= 4 + 2 - 1 && = 5 \\ [1\bar{1}1\bar{1}]_{\text{RB}} &= 8 - 4 + 2 - 1 && = 5 \\ [1\bar{1}01]_{\text{RB}} &= 8 - 4 + 1 && = 5 \\ [10\bar{1}\bar{1}]_{\text{RB}} &= 8 - 2 - 1 && = 5 \end{aligned}$$

Für derartige Zahldarstellungen definiert die Tabelle 1 eine Grundzelle *RBFA* für die übertragsfreie Addition.

Dabei ist neben den Summanden a_k und b_k zusätzlich ein von rechts kommender Übertrag $carry_{k-1}$ im Summenbit zu berücksichtigen. Damit er keinen Einfluss auf den erzeugten Übertrag $carry_k$ hat, ist in obiger Definition bereits das "Vorzeichen" der an der rechten Nachbarposition vorliegenden Daten berücksichtigt.

Die Binärcodierung der Zahldarstellung erfolgt in [1] gemäß Tabelle 2. Dabei fällt auf, dass es bei dieser Codierung nicht auf die Reihenfolge der Bits in der Binärdarstellung ankommt. Vertauscht man die beiden Bits, so ändert das nichts am Wert der dargestellten RB-Ziffer.

$(x^- \quad x^+)$	RB-Ziffer
0 0	$\bar{1}$
0 1	0
1 0	0
1 1	1

Tabelle 2: Binärcodierung der Zahldarstellung aus [1]

Die in Tabelle 1 tabellarisch dargestellte Addiererzelle *RBFA* kann gemäß Abbildung 4 auf Gatterebene implementiert werden. Tatsächlich wurden die Zellen in [1] sogar auf Transistorebene optimiert, um die Schaltzeiten zu minimieren und mit möglichst geringer Chipfläche auszukommen.

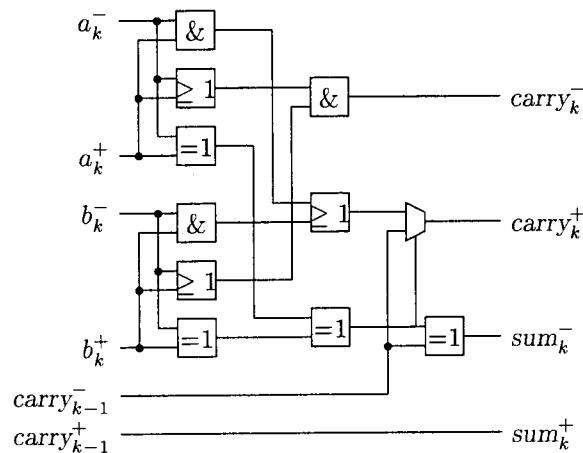


Abbildung 4: Schaltungsskizze der Zelle “RBFA”

Bei dieser Implementierung fällt sofort die erwartete Symmetrie bei den Dateneingängen auf. Die Verwendung der beiden Bits des carry-Eingangs ist dagegen unsymmetrisch. Während sich der Eingang $carry_{k-1}^+$ nur auf die an der Position k berechnete Summe auswirkt, hat der Eingang $carry_{k-1}^-$ Einfluß auf den carry-Ausgang $carry_k^+$. Man beachte, dass diese Asymmetrie in der tabellarischen Beschreibung der Zelle *RBFA* auf der abstrakten Ebene der RB-Darstellung nicht zu erkennen ist.

Dieser “Implementierungstrick” zur Optimierung der Grundzellen hat zur Folge, dass ein versehentliches Vertauschen der beiden Bits der carry-Signale zu einem “carry-ripple-Effekt” führen kann. In diesem Fall stimmt dann das Verhalten der Schaltung auf Gatterebene nicht mehr mit dem Verhalten auf der RB-Beschreibungsebene überein.

Um diesen Effekt darzustellen, muss man zwischen den beiden möglichen Codierungen (0, 1) und (1, 0) der RB-Ziffer ‘0’ unterscheiden. Dazu verwenden wir im folgenden die beiden RB-Ziffern 0 und $\hat{0}$.

In der folgenden Tabelle wird ein Zählvorgang dargestellt, bei dem eine RB-Zahl wiederholt um 1 verringert wird. Auf der linken Seite der Tabelle sind die RB-Werte bei korrekter Verdrahtung des übertragsfreien Addierers dargestellt. Auf der rechten Seite sieht man die entsprechenden RB-Zahlen bei vertauschten Leitungen der carry-Signale. Man beachte, dass beide Zähler korrekt zählen, aber unterschiedliche RB-Darstellungen erzeugen.

Interessant ist der Übergang vom Zählerstand -37 auf -38. Hier sieht man, dass eine lange Kette von 1-Ziffern plötzlich zu einer Kette von $\hat{0}$ -Ziffern wird, weil an ihrem rechten Ende eine $\bar{1}$ -Ziffer entstanden ist. Dies entspricht dem erwähnten “ripple”-Effekt, da die 1-Ziffern anscheinend die viel weiter rechts

5 RB-NB Konvertierung

Wie im Abschnitt 2 dargestellt, führt man bei schnellen Multiplizierern nach der redundanten Summation der Partialsummen noch eine Schlussaddition durch, bei der die redundante Zahldarstellung (RB) in die übliche Binärdarstellung (NB) konvertiert wird. Typischerweise geschieht dies relativ aufwendig mit einem "carry-look-ahead"-Addierer.

Im Gegensatz dazu wird in [1] ein einstufiges Verfahren vorgeschlagen, das unabhängig von der Datenlänge lediglich konstante Zeit benötigt. Dabei werden jeweils zwei benachbarte RB-Ziffern X und Y gemeinsam konvertiert und es wird ein von rechts kommender (negativen) Übertrag ENI berücksichtigt. Dabei entstehen zwei Ergebnisbits (Z_1, Z_2) und ein neuer Übertrag ENO nach links. Entsprechend der Wertigkeiten der beteiligten Signale sollte dabei folgende Beziehung gelten.

$$2 \cdot X + Y - ENI = 2 \cdot Z_1 + Z_2 - 4 \cdot ENO$$

Eine entsprechende korrekte Funktionstabelle ist in Tabelle 3 dargestellt. Dabei fällt auf, dass für die Fälle $ENI = 0$ und $ENI = 1$ meistens der gleiche Übertrag ENO erzeugt wird. Nur in der ersten Zeile gibt eine (fett hervorgehobene) Abweichung. Tatsächlich wird in [1] an dieser Stelle statt der korrekten 1 der Wert 0 benutzt, so dass ENO von ENI unabhängig wird. Auf diese Weise wird die im korrekten Fall vorliegende Übertragskette unterbrochen und eine besonders schnelle Schaltung erzeugt.

		$ENI = 0$			$ENI = 1$		
X	Y	Z_1	Z_2	ENO	Z_1	Z_2	ENO
0	0	0	0	0	1	1	1
0	$\bar{1}$	1	1	1	1	0	1
0	1	0	1	0	0	0	0
$\bar{1}$	0	1	0	1	0	1	1
$\bar{1}$	$\bar{1}$	0	1	1	0	0	1
$\bar{1}$	1	1	1	1	1	0	1
1	0	1	0	0	0	1	0
1	$\bar{1}$	0	1	0	0	0	0
1	1	1	1	0	1	0	0

Tabelle 3: Funktionstabelle einer korrekten RB-NB Konvertierung

Die Autoren geben dazu in [1] an, dass die so modifizierte Schaltung nicht mehr allgemeingültig ist, behaupten aber, dass die kritischen Eingaben, bei

denen die RB-nach-NB Konvertierung fehlschlägt, im Summationsbaum des Multiplizierers nicht entstehen können. Dies würde bedeuten, dass tatsächlich der gesamte NB-Multiplizierer "carry-free" realisiert wäre. Tatsächlich zeigen die im Abschnitt 6 hergeleiteten Testmuster jedoch, dass diese Behauptung falsch ist.

6 Konstruktion von Testmustern

Um eine einfach zu überschauende Testeingabe für die Multiplikation zu konstruieren, wählt man bei der Berechnung von $y = u \cdot v$ für u und v Binärzahlen gemäß dem folgenden Schema (Beispiel für: $n = 54$).

$$y = \underbrace{00 \overbrace{\boxed{a}}^{\frac{n}{2} - 1 = 26} \overbrace{\boxed{b}}^{\frac{n}{2} - 1 = 26}}_u * \underbrace{00 \overbrace{\boxed{00 \dots 01}}^{\frac{n}{2} - 1 = 26} \overbrace{\boxed{00 \dots 01}}^{\frac{n}{2} - 1 = 26}}_v$$

Das korrekte Ergebnis hat dann die Form

$$\begin{aligned} y = u * v &= (a \cdot 2^{\frac{n}{2}-1} + b) \cdot (2^{\frac{n}{2}-1} + 1) \\ &= a \cdot 2^{n-2} + (a + b) \cdot 2^{\frac{n}{2}-1} + b \\ &= \dots \boxed{a} \quad \boxed{a + b} \quad \boxed{b} \end{aligned}$$

Die Besonderheit dieser Form besteht darin, dass im mittleren Teil des Ergebnisses die Binärzahl $a + b$ auftaucht. Dabei kann man a und b beliebig vorgeben und so den Multiplizierer als einen Addierer für Binärzahlen "missbrauchen". Hätte man eine übertragsfreie Implementierung der Multiplikation, dann hätte man erstmals auch eine übertragsfreie Addition von Binärzahlen erreicht.

Setzt man speziell $a = (2^{\frac{n}{2}-1} - 1) = (01111 \dots 11)_{\text{bin}}$ und $b = 1$ so erhält man $a + b = (10000 \dots 00)_{\text{bin}}$. Setzt man dann für einen zweiten Versuch das niederwertigste Bit a_0 von a auf 0 (statt 1), dann ergibt sich als Ergebnis $01111 \dots 11_{\text{bin}}$. Offensichtlich bewirkt also die Änderung nur eines Eingabebits eine Änderung von $\frac{n}{2}$ Bits des Multiplikationsergebnisses.

Für die in [1] verwendete Datenwortlänge von $n = 54$ bit ergeben sich dann die in Tabelle 4 dargestellten Testmuster für Multiplizierer. Nach den Überlegungen aus Abschnitt 3 sollte eine "übertragsfreie" Schaltung für mindestens eines der beiden Testmuster ein falsches Ergebnis liefern.

setzen, bei dem man einen der drei Eingänge auf 0 legt. Da jedoch bei der verwendeten RB-Zahldarstellung die Binärdarstellung der RB-Ziffer 0 nicht eindeutig ist, können auch bei den Zwischenergebnissen im Summationsbaum unterschiedliche Darstellungen auftreten. Aus diesem Grund wurde in [2] ein Paar von Testmustern angegeben. Nur durch Verwendung beider Muster kann man nachweisen, dass viele Ergebnisbits durch nur ein Eingabebit beeinflusst werden können.

8 Zusammenfassung

Durch Konstruktion von Testmustern konnte nachgewiesen werden, dass der in [1] vorgestellte Multiplikationsalgorithmus nicht immer korrekt arbeitet. Für die Testmuster wurde ausgenutzt, dass jeder Multiplizierer auch als Addierer benutzbar ist und deshalb die bei Addierern erforderlichen Übertragsmechanismen auch in Multiplizierern vorhanden sein müssen.

Außerdem wurde vorgestellt, wie sich das Verhalten eines Algorithmus bei einer vorgegebenen abstrakten Zahldarstellung wesentlich durch Details der Binärcodierung beeinflussen lässt. Das macht es im Allgemeinen schwierig, die Korrektheit von Implementierungen zu überprüfen.

Literatur

- [1] Y. Kim, B.-S. Song, J. Grosspietsch, S.F. Gillig, "A Carry-Free $54b \times 54b$ Multiplier Using Equivalent Bit Conversion Algorithm", IEEE J. Solid-State Circuits, Vol. 36, pp. 1538-1544, Oct. 2001.
- [2] W. Rülling, "A Remark on Carry-Free Binary Multiplication", IEEE J. Solid-State Circuits, Vol. 38, pp. 159-160, Januar 2003
- [3] W. Rülling, "Schnelle Multiplizierer", MPC-Workshop im Juli 1997 in Esslingen

Überblick über Mikroelektronikausbildung an den Universitäten Chinas

Prof. Dan Wang

Im Bereich des IC Design sind andere Staaten China weit voraus, weil es verboten war, solche Anlagen nach China zu importieren. Jetzt ist China in der WTO, wir können die Anlagen jetzt kaufen. Nun haben auch wir die Möglichkeit, auf diesem Bereich Fortschritte zu erzielen.

Nachfolgend möchte ich einige Informationen im IC-Bereich der Industrie und der Universitäten erläutern.

1. IC Design

Es gibt ca. 100 Firmen für IC Design in China mit ca. 5.000 Mitarbeitern.

Nur 4 Firmen erzielen einen Umsatz über 1,25 Mio. Euro pro Jahr.

Seit 2000 verfügt China über ein eigenes CAD System, „Panda 2000 CAD System“.

2. IC Produktion

Seit den 70'er Jahren wurden IC Produktionsfabriken in China aufgebaut, jedoch ausschließlich für SSI. Mittlerweise gibt es 7 größere Fabriken, die meisten in Shanghai.

Wir haben vier 8-Zoll Produktionslinien, drei in Shanghai, eine in Beijing. Fünf 8-Zoll Produktionslinien befinden sich im Aufbau.

Monatlich werden ca. 170.000 Wafer produziert, 1/3 davon sind 6 – 8 Zoll Wafer.

3. IC Verpackung

Ca. 30 IC Verpackungsfirmen wurden in China aufgebaut.

Jetzt können fast alle Technologien verwendet werden, z. B. PGA, BGA, MCM.

Pro Jahr werden mehr als 4,5 Milliarden Chips in China verpackt.

4. IC Markt

In 2001 wurden 26,2 Milliarden Chips in China benötigt, aber nur 15,6% davon in China produziert.

China hat geplant, bis zum Jahr 2010 1/3 der benötigten Chips in China selbst herzustellen.

5. Universitäten in China

In 2001 gab es in China 1.911 Universitäten, davon dienen 686 Universitäten für die Weiterbildung von bereits im Berufsleben befindlichen Menschen (sie studieren parallel zur Arbeit). Die Zahlen von Bachelor Studenten davon betragen aus beiden Universitätsarten insgesamt 11,74 Millionen. Es gab 307.400 Master Studenten und 85.900 Doktoranden.

6. Informationen über das Fach Mikroelektronik

In 2001 gab es ca. 10 IC Design Fakultäten, die meisten in Beijing und Shanghai.

Pro Jahr beenden 200 – 300 Master Studenten ihr Studium.

Es gibt in China weit mehr traditionelle Mikroelektronikfakultäten, sowohl für Technologie als auch Produktion.

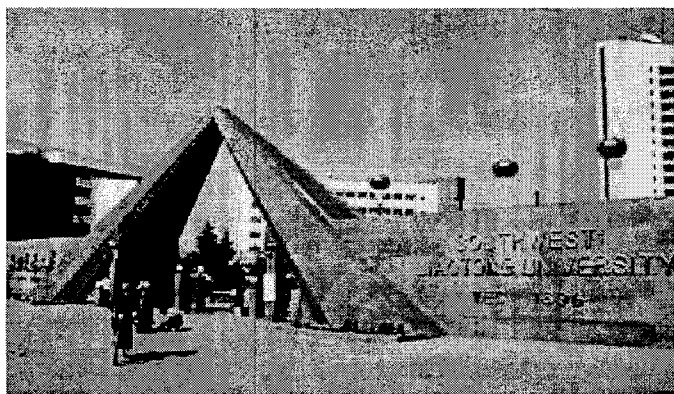
7. Zukunft

Wirtschaftler sagen voraus, China wird eine „Großfabrik“ der Welt sein. In Zukunft werden mehr Produktionslinien in China aufgebaut. Shanghai hat geplant, vor 2010 fünfzehn bis zwanzig 8 – 12 Zoll Produktionslinien aufzubauen. In Beijing werden etwa ebenso viele aufgebaut.

Auch IC Designfirmen werden neu gebaut, z. B. in Shanghai bis zum Jahr 2010 ca. 250 Firmen. In 2010 werden vermutlich ca. 300.000 IC Designer in China gebraucht.

Seit 2002 werden zunehmend IC Design Fakultäten aufgebaut. Ein solches Fach befindet sich derzeit an meiner Universität im Aufbau.

8. Meine Universität



Meine Universität heißt South West Jiaotong University, eine der ältesten Universitäten Chinas mit 107 Jahren Geschichte. Sie befindet sich in Chengdu, der Hauptstadt der Provinz Sichuan. Chengdu ist eine Großstadt mit ca. 3,3 Millionen Einwohnern.

An meiner Universität gibt es 11 Fakultäten, 49 Fächer und ca. 40.000 Studenten.

Ich arbeite in der Fakultät Computer und Kommunikation Engineering. Es gibt ca. 2.500 Bachelor Studenten und ca. 400 Master Studenten und Doktoranden.



Meine Arbeitsgruppe ist zuständig für Elektrotechnik. Bei uns besuchen ca. 1.200 Studenten pro Semester die Vorlesungen und Laborversuche. 12 – 15 Laborversuche pro Semester müssen die Studenten in unserem Labor absolvieren. In unserem Labor stehen den Studenten etwas mehr als 100 Arbeitsplätze zur Verfügung.

Meine Aufgabe wird es sein, nach Beendigung meines Forschungsaufenthaltes an der FH Offenburg, ein Labor für IC Design aufzubauen.

Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References

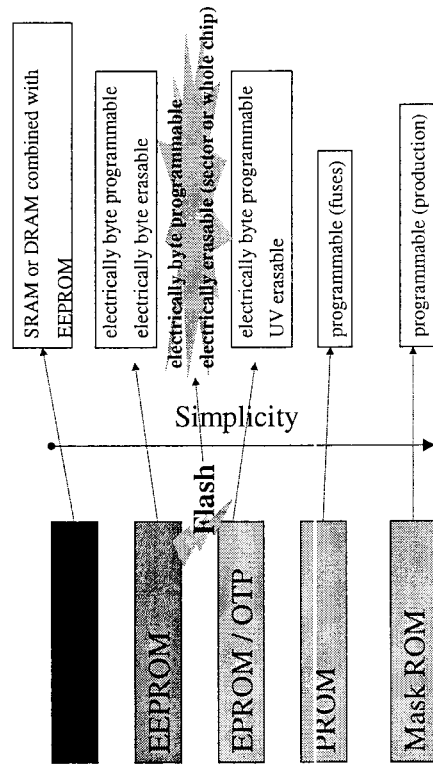
Technology and circuit design of FLASH memories

Jürgen Peter
Infineon Technologies AG
juergen.peter@infineon.com

FLASH vs. E²PROM

	FLASH	E ² PROM
main application	code	data
programming cycles	medium (1000)	very high (1Mio)
program size	byte / word / page	bit / byte / word
erase size	sector / chip	bit / byte / word
cell	1T	2T
chip size	small	large

Hierarchy of non-volatile memories



FLASH memory applications

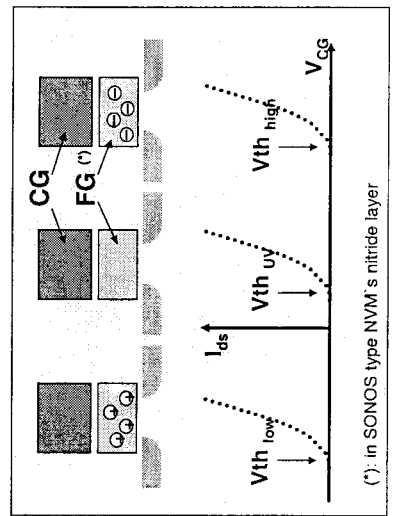
- Communication, Consumer, Transportation, Industrial, Computer & Peripherals
 - code storage: μ C with emb. FLASH, PC-Bios, disk drives
 - data storage (E²PROM-like): cellular phones, set top box, insurance cards, iSp-applications, security cards
 - mass storage: memory (multimedia) cards
- standalone
 - newest technology (act. 0.18 μ m, 1.8V)
 - embedded
 - 1-2 generations behind (act. 0.22 μ m for high volume)
 - optimized logic process with high performance (CPU, DSP, Crypto-controller)
 - different integrated memories (SRAM, ROM, eDRAM, EPROM)
 - large memory size/area,
 - low performance,
 - no add. logic functionality

Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References

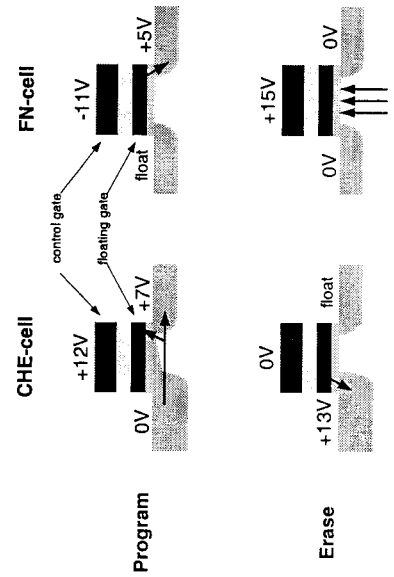
The floating gate transistor

- MOS transistor with possibility to change V_{th} by charge trapping in an isolated layer placed between channel and gate.



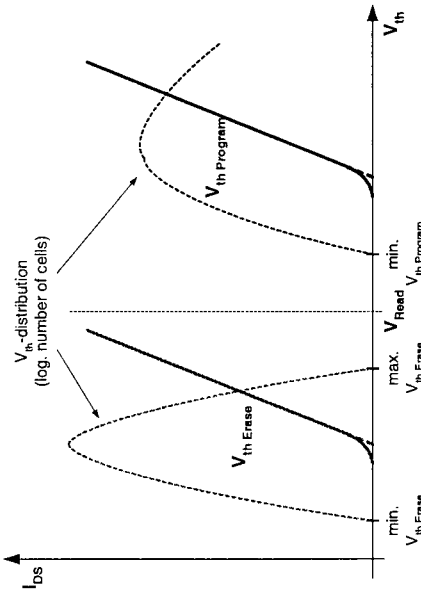
Program/erase mechanism (1)

- Two main program/erase mechanism used
 - CHE: channel hot electron injection
 - FN: Fowler-Nordheim tunneling



Reading a FLASH cell

- A suitable control gate voltage is applied at the device to determine whether it is conductive or not



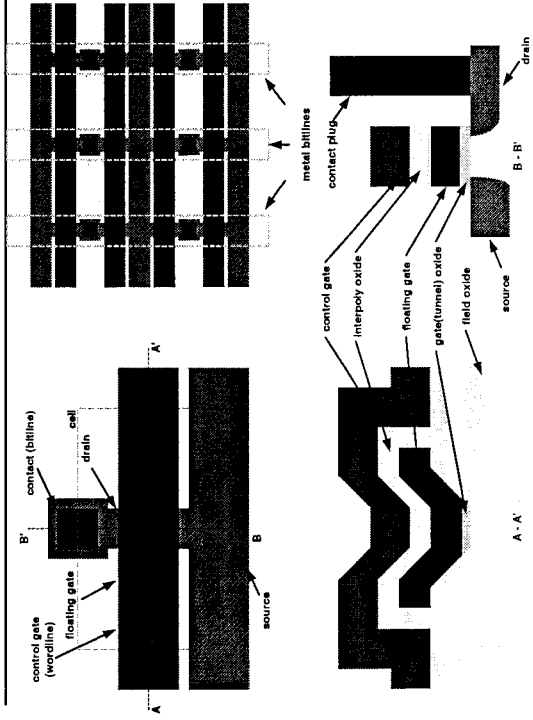
Program/erase mechanism (2)

- Channel hot electron injection (CHE)
 - high accelerated electrons (>3,2eV) out of the S/D-current will be injected at the drain edge through the TOX into the FG
- Fowler-Nordheim tunneling (FN)
 - Under a high electrical field the TOX barrier will be bent into a triangular shape, this allows electrons to „tunnel“ through this thin barrier

	CHE-cell	FN-cell
Programming time	1..10µs	1..10ms
programming current	100..500µA	~10pA
read current	~70µA	5..30µA
endurance	1,00E+05	1,00E+06

In a memory array additional leakage current of unselected cells may in total increase programming current!

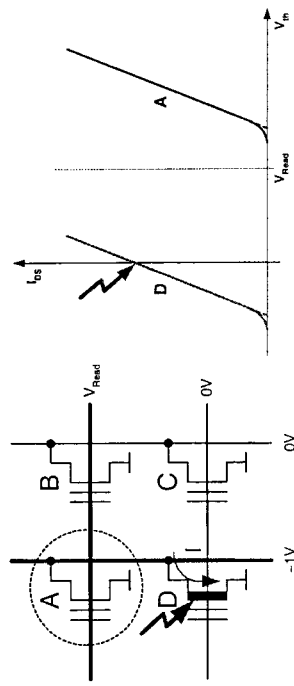
cell layout example



Overerase

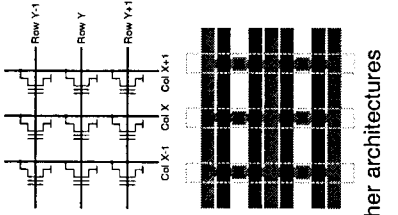
- shift to low V_{th} during erase is not self limiting
- V_{th} can reach negative values resulting in over-erased cells
- to be avoided in NOR-type memory arrays (by erase algorithm, redundancy, 2T-cell type)

cell A is programmed (no current) and has to be read
 cell D is over-erased, simulating an erased cell A



Memory architectures

- NOR
 - fast random access
- NAND
 - high density
 - low power (FN/FN)
 - slow random access

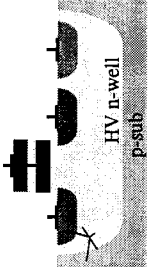
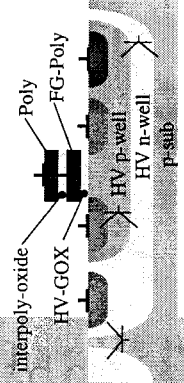


other architectures

- DINOR, AND, virtual ground, ...

Additional high voltage devices

- HV-NMOS:
 - triple-well
 - HV-GOX (~25nm @ 16V)
 - junction breakdown > 16V
 - $V_{th} \sim 0.9V$
- HV-PMOS:
 - deep n-well in p-substrate
 - HV-GOX (~25nm @ 16V)
 - junction breakdown > 16V
 - $V_{th} \sim 0.9V$

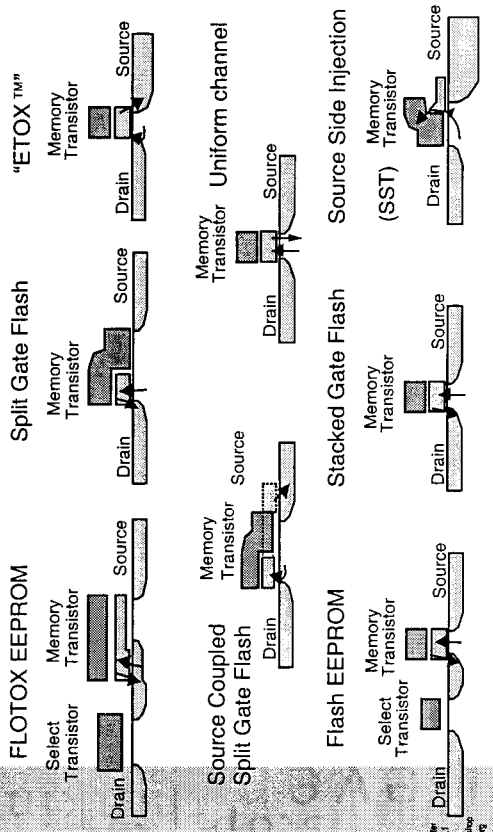


Problem: parasitic bipolar devices can cause high current or even latchup!

additional FLASH photo litho steps

- HV-devices
 - HV n-well
 - HV p-well
 - HV n-LDD
 - HV p-LDD
- Memory cell
 - Tunnel window
 - FG-Poly
 - floating gate etch (structure)
 - stack etch (structure)

The „zoo“ of different commercially used cell types



Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References

Data retention (charge loss)

- data must retain for >10years
 - causes for charge loss on FG:
 - leakage current through
 - gate oxide
 - interpoly dielectric
 - „classical“: accelerated by temperature
- Example:
- 20.000 electrons stored on a Floating gate
 - charge loss of ~25% will change the stored information!
 - This means with 15 years data retention a possible loss of 1 e/day

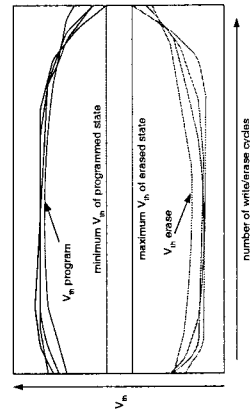
Depends on oxide material, TOX-thickness, impurities, P/E-conditions

thinner TOX - lower data retention time!

Endurance

Endurance = maximum number of program/erase cycles

V_{th} - window closing by „charge trapping“ in tunnel oxide



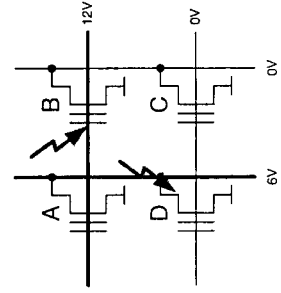
Depends on oxide material and TOX-thickness

thinner TOX - higher endurance!

Disturbs

- unintended programming at non selected BL's / WL's
- read disturb during long time operation

Example:



Cell A is programmed!

B receives a „Gate-Disturb“;
D receives a „Drain-Disturb“

e.g. more than 8 Gate-Disturbs or
more than 2000 Drain-Disturbs can
cause unintended programming!

further failure mechanism

single bit errors

- **Erratic Bits**
non reproducible wrong programming of single bits,
Solution: process optimization, reprogramming
- **Moving Bits**
non reproducible charge loss through barrier defects at room temperature
(electron hopping)
Solution: process optimization, software or hardware based error correction

Depends on oxide material, TOX-thickness, impurities, P/E-conditions

thinner TOX - higher failure rate!

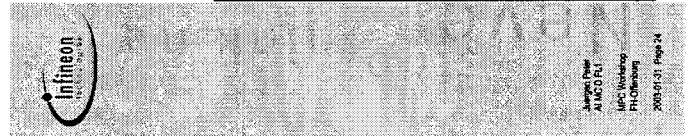
Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References



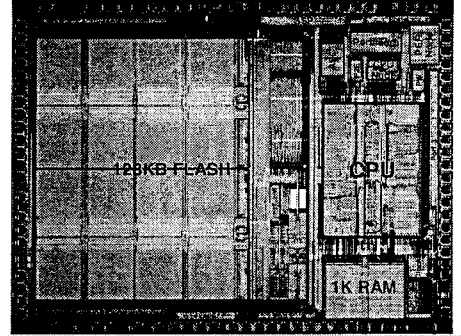
The FLASH scaling dilemma

- scaling of TOX thickness is limited due to endurance, data retention and program/erase time requirements
 - FN: electrical field to generate tunnel current can not be scaled below 8-9MV/cm. This means the necessary high voltages can not be scaled below a certain level.
 - CHE: channel length can only be scaled to a certain limit (punch-through has to be avoided).



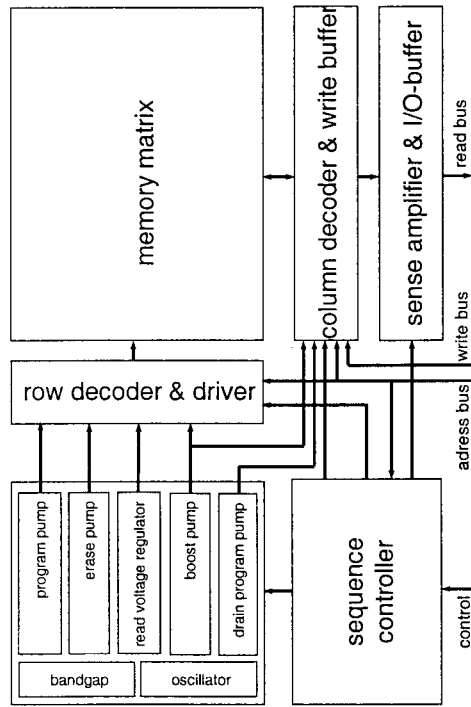
Example for a μ C with embedded FLASH memory

- C163-16F25F - Microcontroller with integrated FLASH



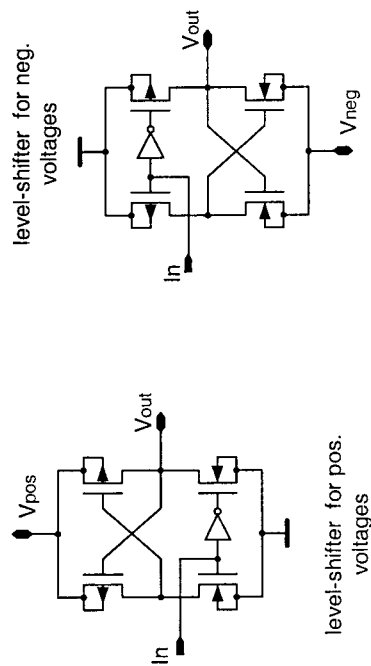
- C166 CPU
- 128K Byte FLASH with 0-Waitstate Operation
- 64 Byte Write Burst at 1ms Programming Time
- Erase per Sector in 10ms
- 4 x 32K Byte Sector Organization
- 5V only Programming Voltage
- P-TQFP-100 (14x14x1.4)
- Supply Voltage 5V \pm 5%
- -40 .. 125°C

principle FLASH memory block diagram (FN/FN)



level-shifter

- basic circuit to convert a logic signal to any different voltage level (principle schematics)



level-shifter for pos. voltages

level-shifter for neg. voltages

main analog circuits

- level-shifter:
 - convert digital low voltage signals to higher voltages
- bandgap:
 - voltage reference for chargepumps and voltage regulators
- chargepumps:
 - needed for all internal program/erase voltages, sometimes also needed during read
- senseamplifier:
 - read circuit
- sequence controller:
 - controls the timing and sequences needed for program/erase

bandgap voltage reference

- voltage reference for chargepumps and voltage regulators
- absolute voltage level and deviation (chip/wafer/lot) is important for generated high voltages during FN-tunneling

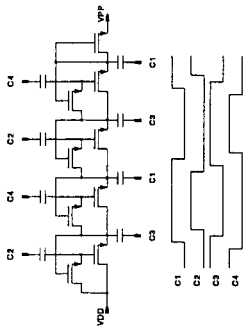
Example:

$V_{ref}(nom.) = 1.25V$
 $V_{PP}(nom.) = 16.25V (13 \cdot V_{ref})$
 1.) $V_{ref} = 1.25V \pm 10mV \rightarrow V_{PP} = 16.25V \pm 130mV$
 2.) $V_{ref} = 1.30V \pm 10mV \rightarrow V_{PP} = 16.9V \pm 130mV$
 $V_{PP} > 17V$ can cause reliability problem

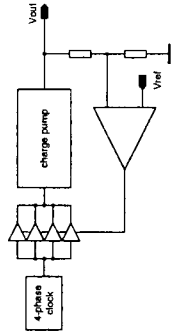
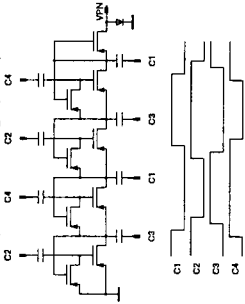
- for some applications (e.g. automotive) adjustable voltage references are used

chargepumps

■ positive chargepump



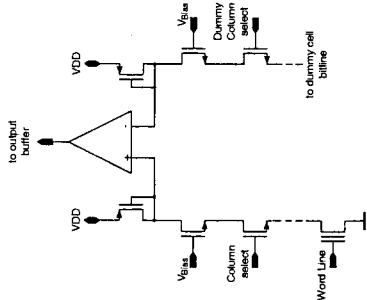
■ negative chargepump



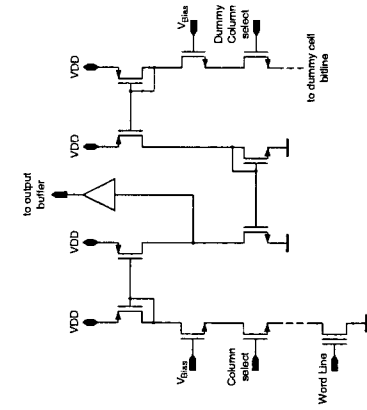
■ digital voltage regulation principle

senseamplifier (read circuit)

■ I/V conversion



■ current sensing



sequence controller

■ complexity depends on cell type, architecture and application

- register based interface
 - program/erase sequence has to be controlled by user
 - used in some simple μ Cs
- hardwired state machine
 - fix program/erase algorithm
 - program/erase time and voltage pulses can be parameterized
- dedicated CPU
 - used for NOR-type 1T-cells and multilevel-cells
 - complex program/erase algorithm
 - variable program/erase voltage pulses
 - variable program/erase time

Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References

Summary

- Low-power FLASH applications become more important
- more logic will be implemented in future memories (security features, error correction, complex algorithms)
- Applications with embedded FLASH will gain market share (reduced system costs) while stand alone will lose.
- scaling of existing FLASH cells below 0.13µm become more difficult
- new challenging NVM cell concepts are currently under development (MRAM, FeRAM, Chalcogenides, ...) and have some further potential



Jürgen Peter
AI/ICD/FLL
MPC Workshop
FH-Oberhofung
2003-01-31, Page 33

Outline

- Introduction
- FLASH cell principles
- Reliability issues
- Basic circuits
- Summary
- References



Jürgen Peter
AI/ICD/FLL
MPC Workshop
FH-Oberhofung
2003-01-31, Page 34

References

- G. Georgakos, M. von Daak, M. Röhrich, F. Schuler, „Embedded 0.25µm Single Supply EPROM for Smart Card Applications with Low Power and High Performance Capability“, IEEE NVSM-Workshop 2001, Aug. 2001
- G. Georgakos, „Power aspects of embedded memories for SoC applications demonstrated on a 0.25µm EPROM“, Presentation FTFC 2001 I.S.E.P Paris, May 2001
- G. Georgakos, „Embedded FLASH / EPROM für System-on-Chip Lösungen“, TUM-Seminar, May 2001
- P. Pavan, E. Zanon, „FLASH Memories“, Online Symposium for Electric Engineers, www.technonline.com, Jan. 2001
- G. Tempel, „Embedded Non Volatile Memory“, IEDM Short Course, Dec. 1999
- P. Capelletti, C. Golla, P. Olivio, E. Zanon Editors, „FLASH Memories“, Kluwer Academic Press, 1999
- A. Sharma, „Semiconductor Memories - Technology, Testing and Reliability“, IEEE Press, 1997
- A. Umezawa, S. Atsumi, M. Kuriyama, H. Banba, K. Imamiya, K. Naruke, S. Yamada, E. Obi, M. Oshikiri, T. Suzuki, and S. Tanaka, „A 5-V-Only Operation 0.6µm Flash EEPROM with Row Decoder Scheme in Triple-Well Structure“, IEEE JSSC, 27(11), 1540-1546 (1992)
- D. Wicmann, H. Mader, H. Friedrich, „Technologie hochintegrierter Schaltungen“, Springer Verlag, 1996

Backup



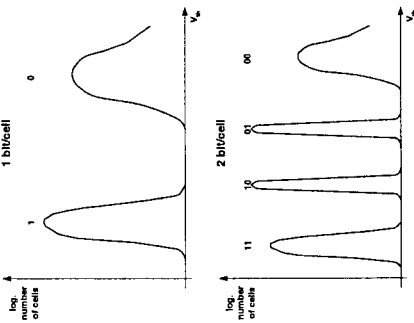
Jürgen Peter
AI/ICD/FLL
MPC Workshop
FH-Oberhofung
2003-01-31, Page 35

Multilevel cells

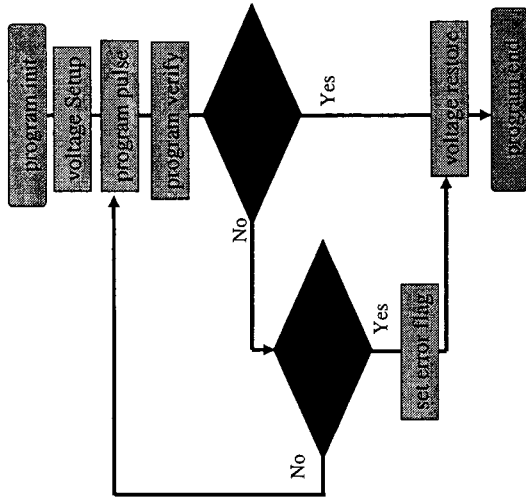
- not a special cell!
- usually with CHE-cells in NOR-type architecture

Features:

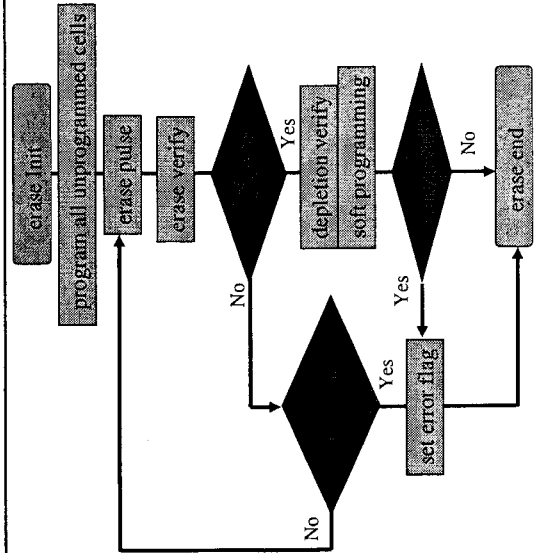
- tight V_{th} distribution required
- less margin between levels
- reduced data retention due to increased disturb sensitivity
- tight process control necessary



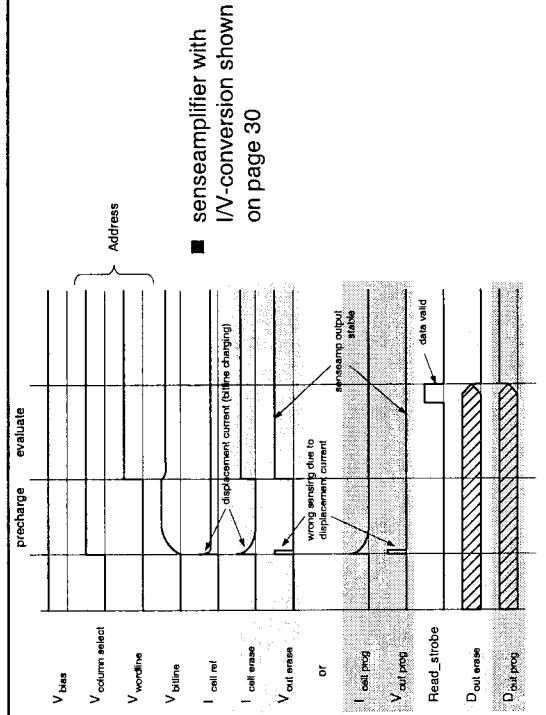
typical programming algorithm



typical erase algorithm



reading a FLASH cell (sequence)



Ordnungsreduktion und Symbolische Analyse als neue Modellierungsverfahren

Dr. Peter Schwarz

Fraunhofer-Institut für Integrierte Schaltungen

Außenstelle Entwurfsautomatisierung EAS Dresden

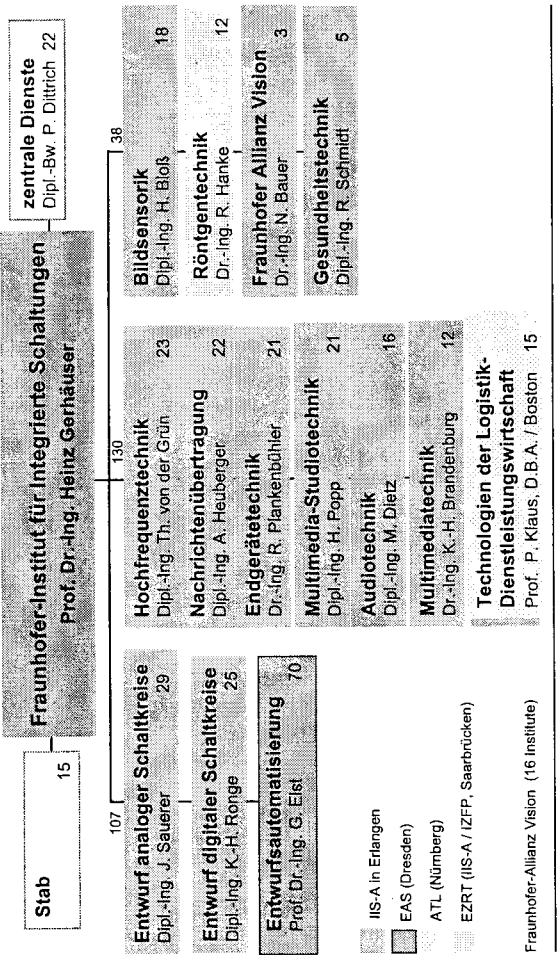
Fraunhofer Institut Integrierte Schaltungen

Gliederung

1. Arbeitsaufgaben in unserer Abteilung
2. Rechnergestützte Modellierung
3. Numerische Ordnungsreduktion
4. Symbolische Analyse
5. Simulationsbasierte Modellgenerierung
6. Zusammenfassung

Fraunhofer Institut Integrierte Schaltungen

Arbeitsaufgaben



Fraunhofer Institut Integrierte Schaltungen

Arbeitsaufgaben

Außenstelle Entwurfsautomatisierung EAS Dresden

Modellierung & Simulation

- Analog, digital, mixed-signal
- Modellierungsmethodik und -verfahren: Verhaltensmodelle, Makromodelle
- Multi-Level- und Mixed-Mode-Simulation
- Gesamtsystem-Simulation
- HW/SW-Co-Simulation, Co-Emulation
- Simulator - Hardware - Kopplung

Entwurf & Test

- Synthese und Optimierung digitaler Systeme (Timing, Low Power, Re-use)
- Testgenerierung, formale Verifikation digitaler Systeme
- Fehler-Simulation analoger und mixed-signal-Schaltungen
- Entwicklung von HW-SW-Prototypen, FPGA, PLD, Software für DSP, µC, PC
- Module für DAB, ATM, SDH, DVB

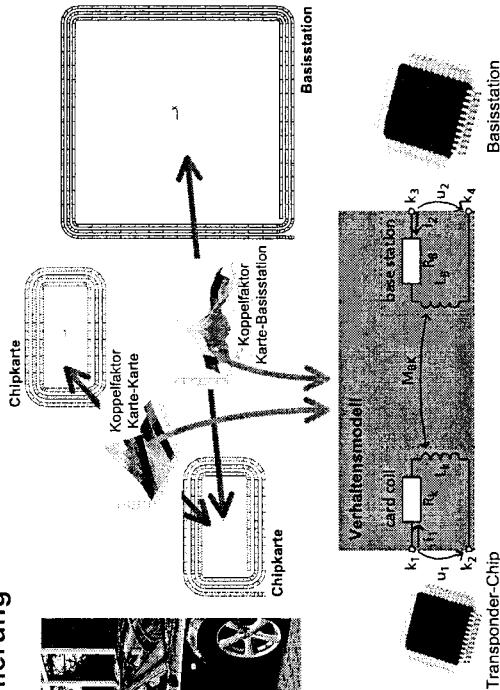
Anwendungsgebiete:
Mikroelektronik, Telekommunikation, Automatisierungstechnik, Mikrosysteme

Fraunhofer Institut Integrierte Schaltungen

Transpondermodellierung



Foto: Hella AG



- FEM-gestützte Berechnung der Koeffizienten
- Modellierung mit Hardware-beschreibungssprachen (MAST, HDL-A, VHDL-AMS)

Januar 2003, ees_prof1_AMS.pdf, 5

Abt. Modellierung & Simulation

Modellierung für Elektronik

Mikroelektronik, Telekommunikation (Mixed-Signal, HF) : von der Transistorebene bis zur Systemebene

Heterogene Systeme

Mikrosystemtechnik (MEMS), Mechatronik, Optoelektronik
HW-SW-Cosimulation, Simulatorkopplung
Rapid Prototyping (FPGA-Entwurf)
verteilte Systeme der Automat.- und Kommunikationstechnik
Basis-SW für Weiterbildungsaktivitäten

Modellierungs- und Simulationsalgorithmen

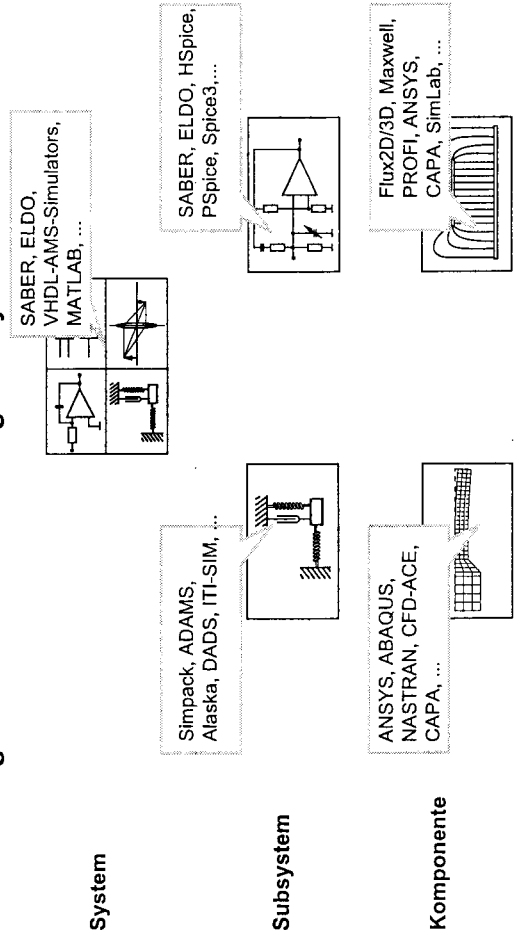
Mathematische Verfahren und Tools für Modellgenerierung, Approximation und Optimierung
spezielle Simulationsverfahren (z.B. Leitungen)

Querschnittsaufgaben

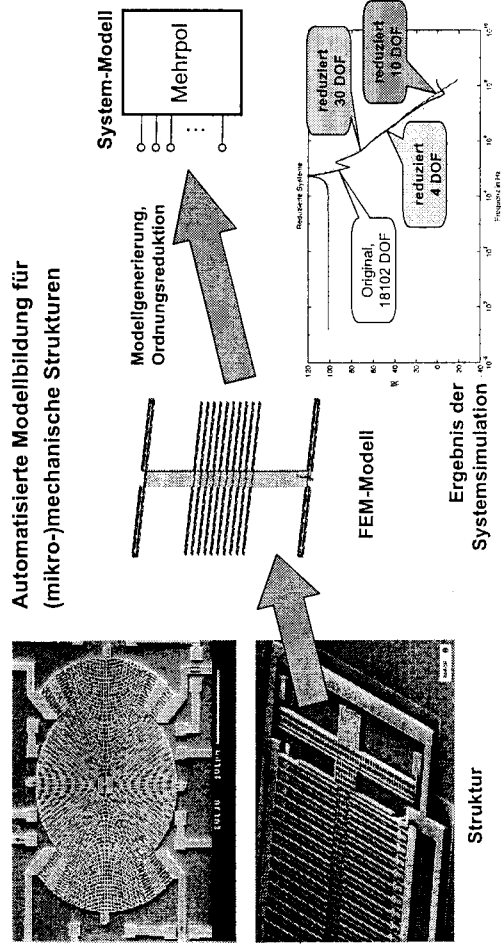
Modellierungsmethodik / Modellierungssprachen / Web-basierte Arbeit / Weiterbildungs-Inhalte

Januar 2003, ees_prof1_AMS.pdf, 3

Modellierung und Simulation heterogener Systeme



Modellierung in der Mikrosystemtechnik

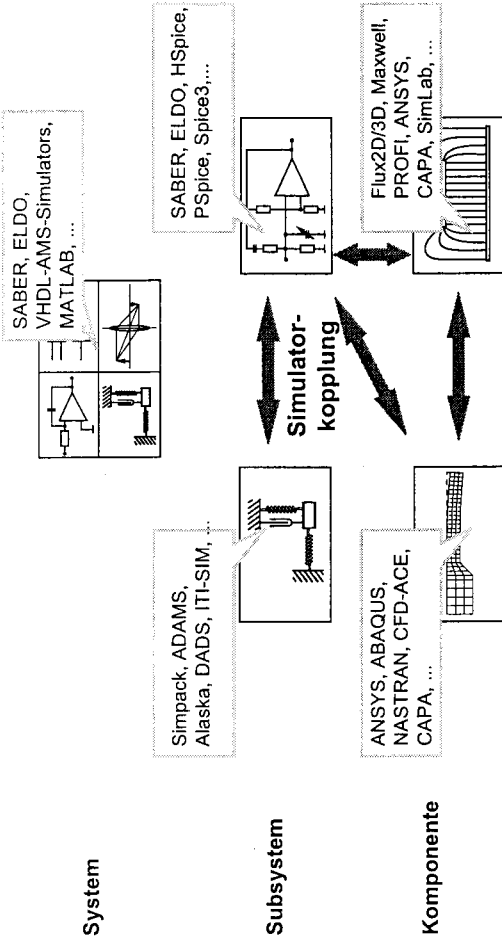


Januar 2003, ees_prof1_AMS.pdf, 4

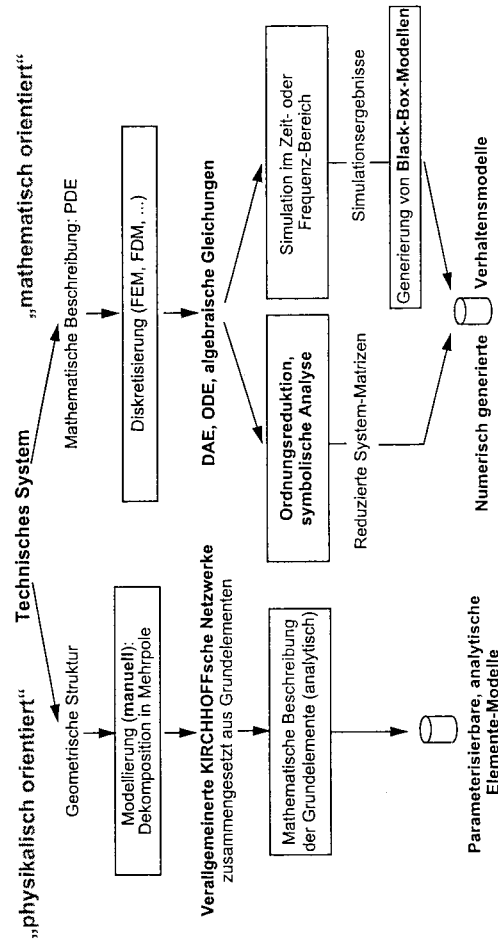
Gliederung

1. Arbeitsaufgaben in unserer Abteilung
2. Rechnergestützte Modellierung
3. Numerische Ordnungsreduktion
4. Symbolische Analyse
5. Simulationsbasierte Modellgenerierung
6. Zusammenfassung

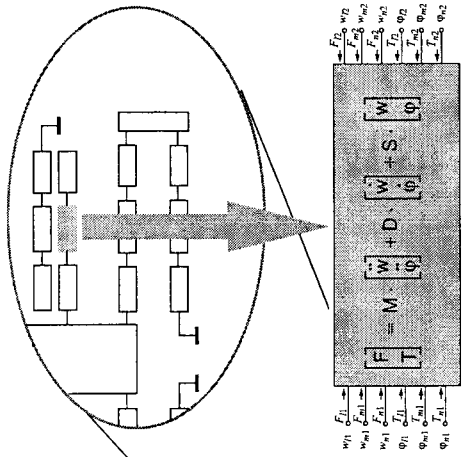
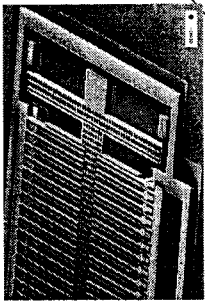
Modellierung und Simulation heterogener Systeme



Wege zur Modellierung technischer Systeme



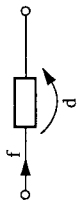
Modeling of an accelerometer



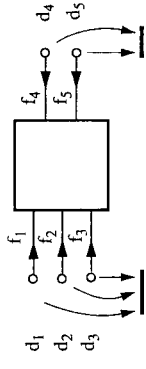
multiple pole model of beam

Verallgemeinerte KIRCHHOFFSche Netzwerke

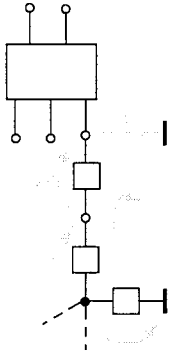
Zweipol:



Mehrpole:

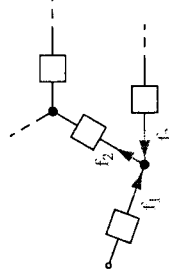


Verallgemeinerte KIRCHHOFFSche Sätze:

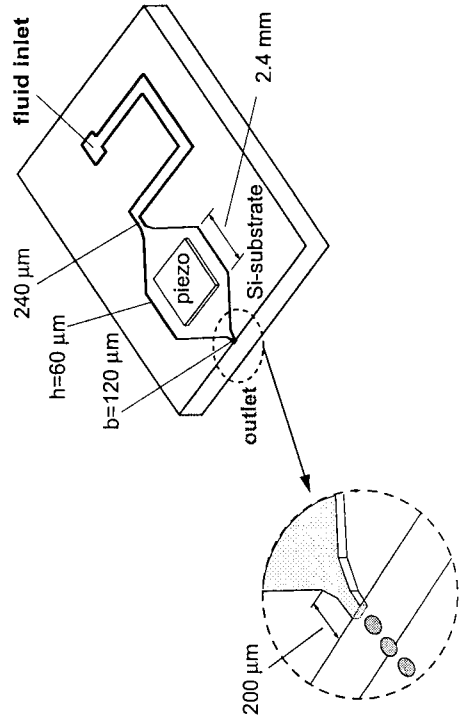


© Fraunhofer IIS

Knotensatz

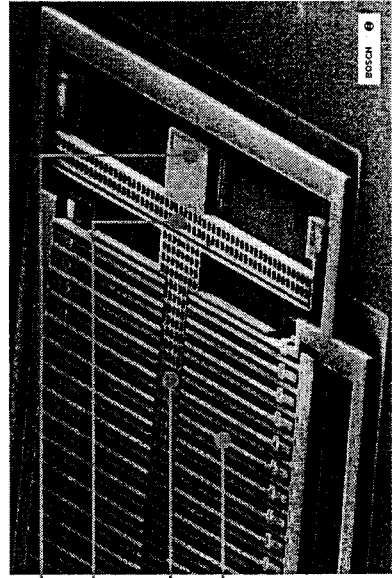


Valveless micropump



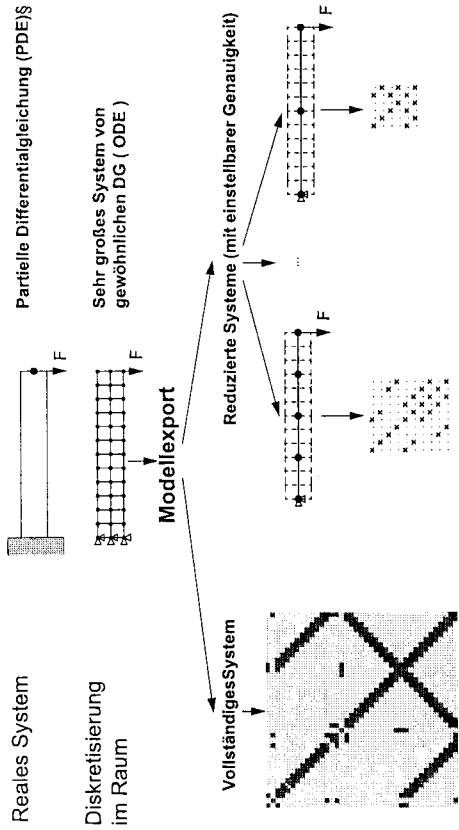
Modeling of an accelerometer

fastening
suspension
seismic mass
arrangement of fingers
(comb structure)

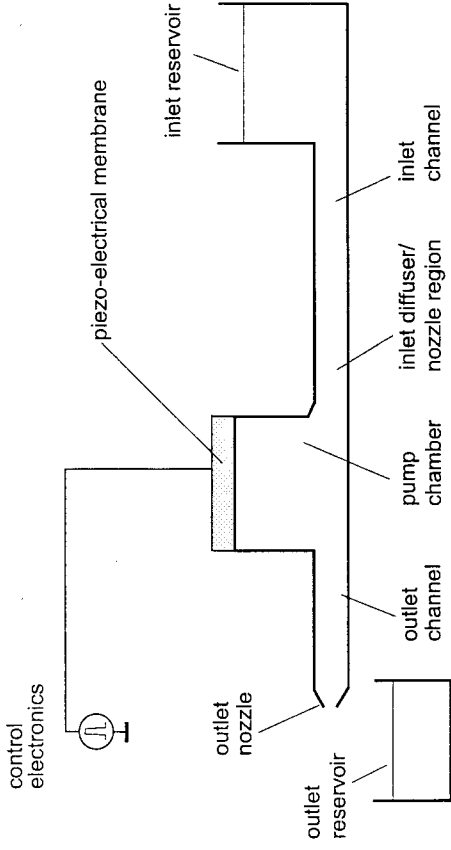


By courtesy of Robert Bosch GmbH, Germany

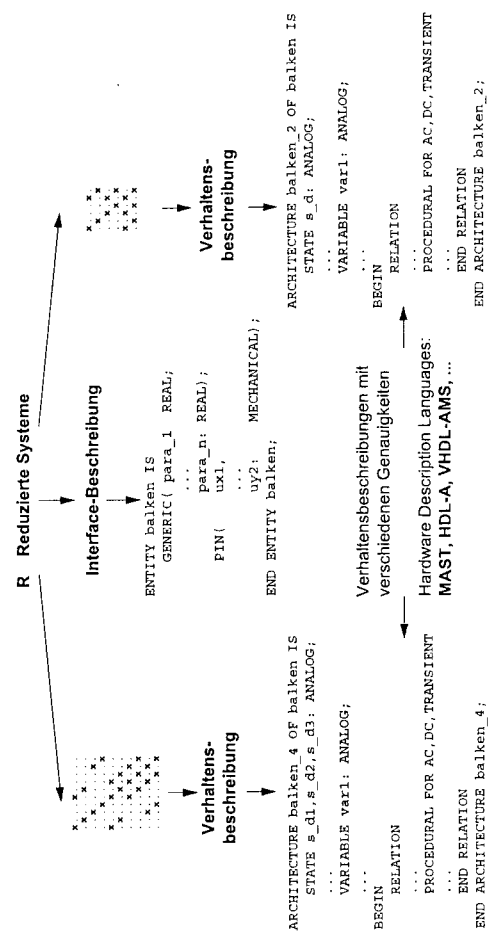
Ordnungsreduktion (Anwendersicht!)



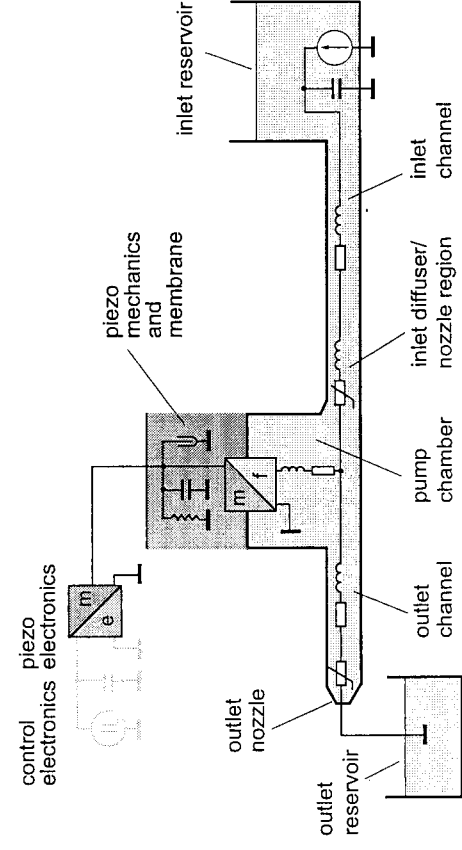
Valveless micropump



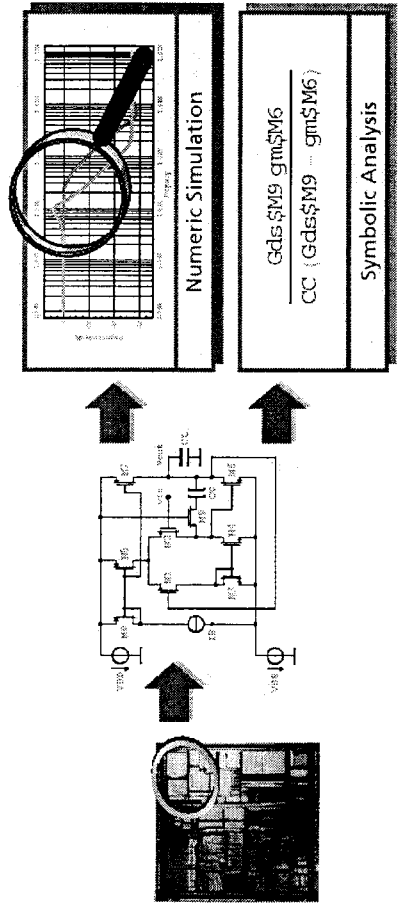
Ordnungsreduktion (Anwendersicht!): Modellbeschreibung (HDL)



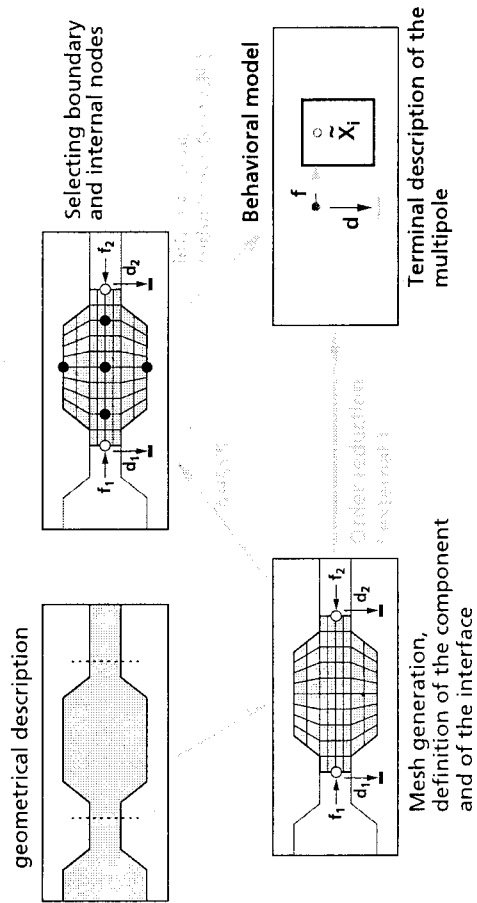
Network modeling of a valveless micropump



1. Arbeitsaufgaben in unserer Abteilung
2. Rechnergestützte Modellierung
3. Numerische Ordnungsreduktion
4. Symbolische Analyse
5. Simulationsbasierte Modellgenerierung
6. Zusammenfassung



Order reduction



Wege zur Modellierung technischer Systeme

- Verallgemeinerte Kirchhoffsche Netzwerke
- Ordnungsreduktion
- numerisch → Abschnitt 3
- symbolische Analyse → Abschnitt 4
- Simulationsbasierte Modellgenerierung → Abschnitt 5

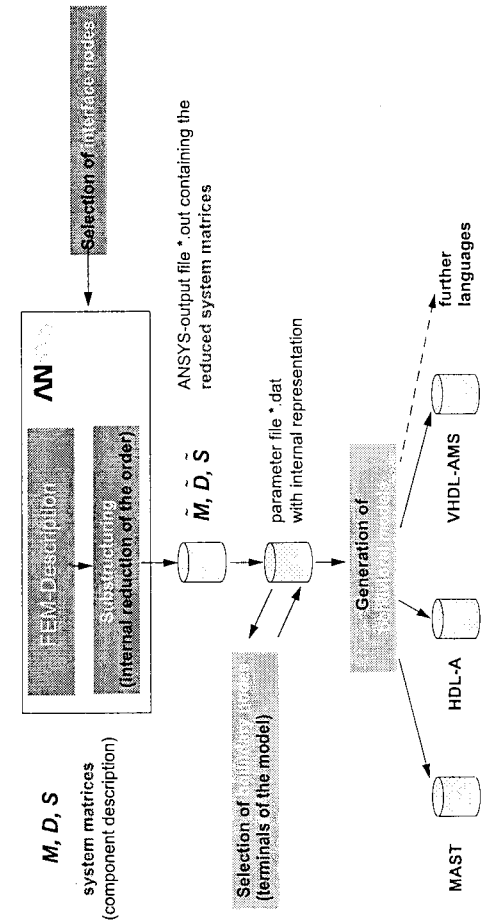
Accuracy: comparing of simulation results ANSYS - Saber

Mode	ANSYS kHz	Saber (using generated behavioral models)				rel. deviation to ANSYS [%]
		0 internal nodes	8 internal nodes	16 int. nodes	24 int. nodes	
1	15.529	15.545	15.545	15.545	15.545	0.10
2	112.28	-	113.77	112.60	112.29	0.29
3	451.02	-	-	459.55	452.71	0.15
4	598.17	-	-	607.98	601.16	0.25

Computing time: 40 int. nodes: 38 minutes (less than 0,3% deviation)
 24 int. nodes: 5 minutes (less than 0,5% deviation)
 ANSYS: some hours (using a fine mesh with 9135 nodes and 5312 elements (solid45))

(Ultra Sparc 5, 2000 frequency steps from 5kHz to 1MHz)

Order reduction: an ANSYS postprocessor



Example: acceleration sensor

Proof mass between beam elements (silicium)

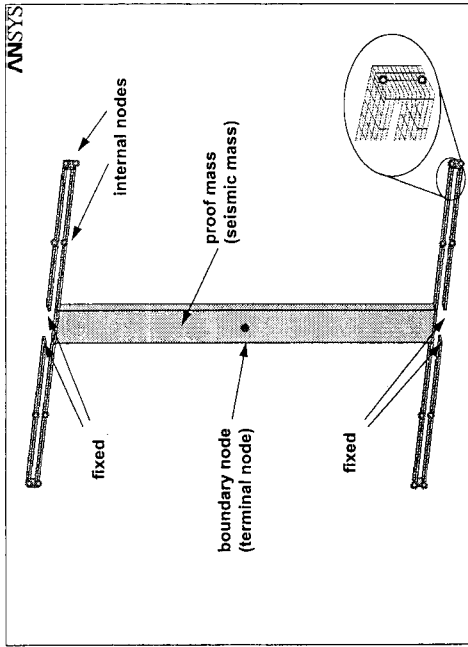
Mass: 50µm x 500µm
 Beams: 3µm x 225µm x 15µm

The force is acting in the middle of the proof mass (boundary node)

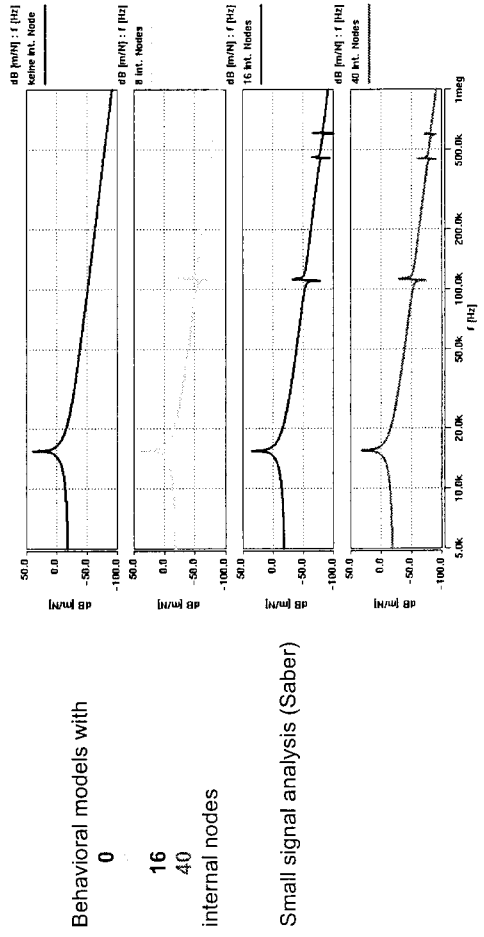
Fixed ends of beam elements

16 internal nodes, distributed on the beams

ANSYS: volume element solid45 used



Accuracy of model generation



Behavioral models with

0

16

40

internal nodes

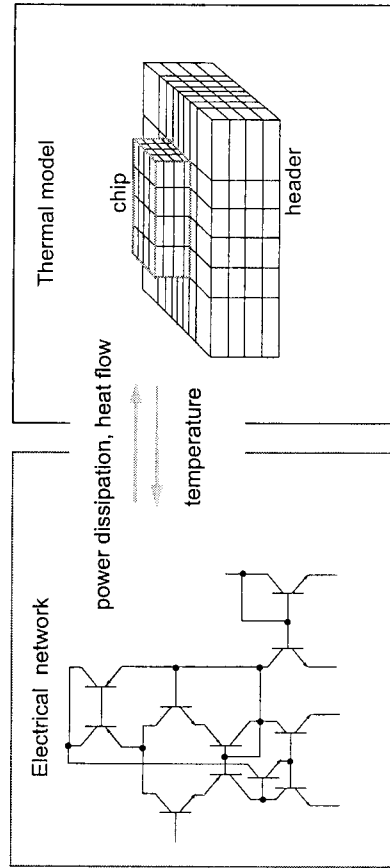
Small signal analysis (Saber)

Electro - thermal interaction: first experiments with order reduction

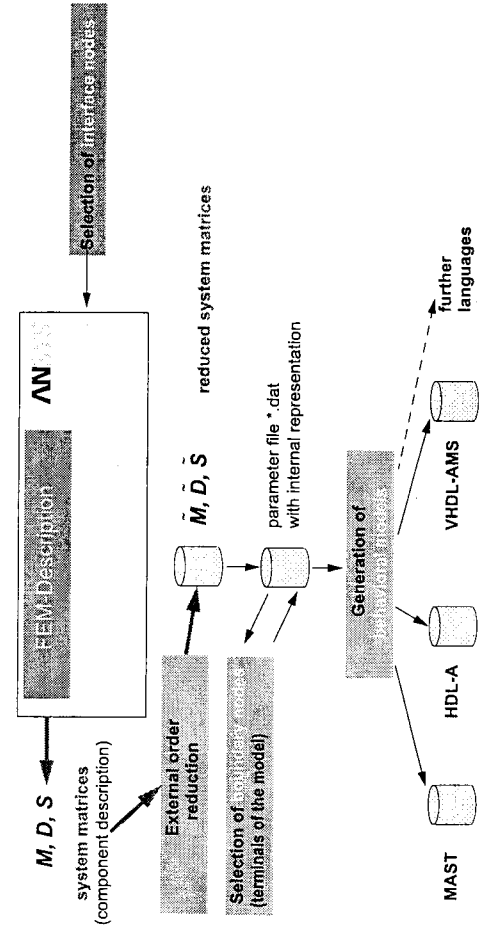
Motivation

- Electro-thermal interactions in IC design are a real problem
- Well-behaved problem (only real eigenvalues, slow transients)
- Simple interpretation of the discretized PDE: lumped RC networks
- For designers, simplified methods with reasonable accuracy are sufficient for changing the layout of the IC

Electro - thermal interaction



Order reduction: an ANSYS postprocessor / external reduction



Order reduction algorithms

A lot of research work in the last 10 ... 15 years !

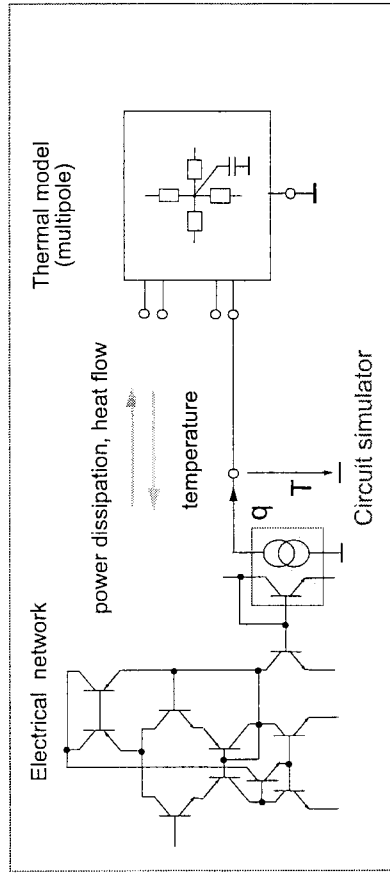
Mostly: linear system order reduction

- Moment matching in frequency or time domain
- Subspace modeling from input/output data, e.g. 4SID Subspace-based State-Space System Identification
- Frequency domain: Pade approximation via Lanczos algorithm (PVL); Krylov subspaces ...
- Asymptotic waveform evaluation (AWE)
- ...

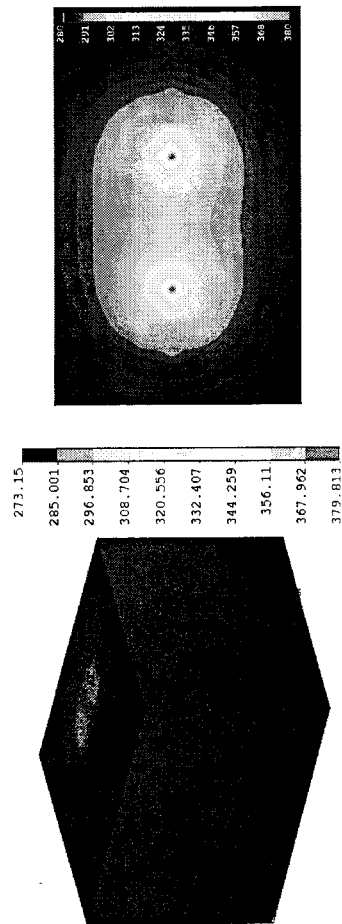
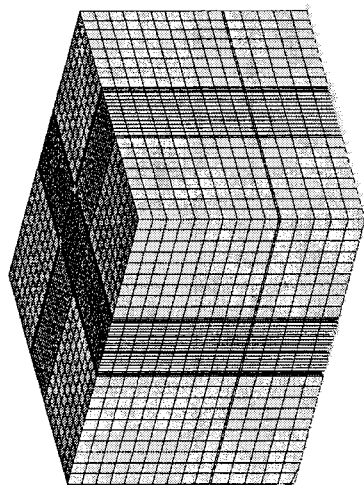
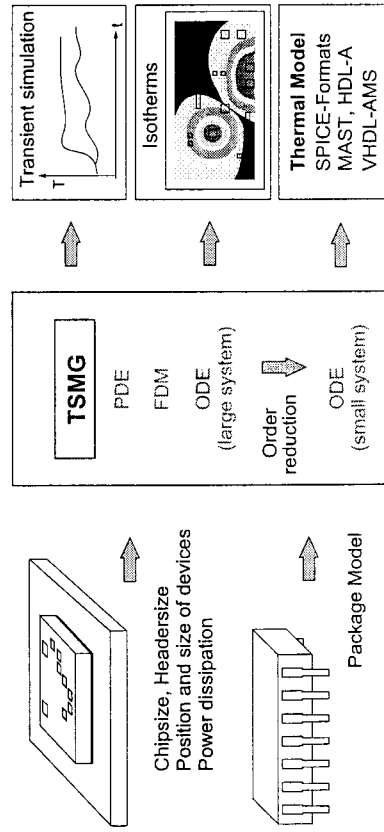
First steps to nonlinear order reduction:

- Senturia, Aluru, White 1997 ; Hu 2001
- Gabbay, Mehner, Senturia 2000; ...

Electro - thermal interaction



TSMG - Thermal Simulator and Model Generator



Model order reduction

Approximation by systems of considerably lower dimension:

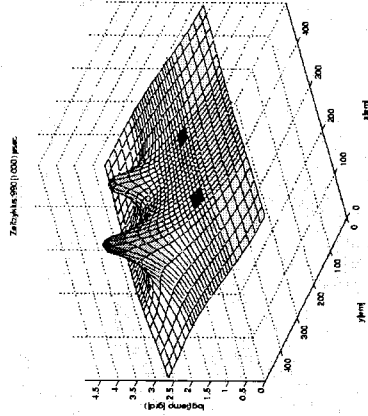
$$\tilde{M} \frac{d^2 \tilde{x}}{dt^2} + \tilde{D} \frac{d\tilde{x}}{dt} + \tilde{K} \tilde{x} = \tilde{B} f$$

$$x_a = \tilde{B}_a^T \tilde{x}$$

Dimension n (small, $n \approx 10 \dots 100$)

- Demands**
- Passivity preserving (no generation of energy)
 - Exact for the static case
 - Good approximation in time and frequency domain

Electro-thermal interaction in chip design: static and dynamic temperature distribution



Order reduction by projection

Reduced matrices by projection

$$W^T M V \frac{d^2 \tilde{x}}{dt^2} + W^T D V \frac{d\tilde{x}}{dt} + W^T K V \tilde{x} = W^T B f$$

$$x_a = B_a^T V \tilde{x}$$

Orthogonal projection

$$W = V, V^T V = I_n$$

- Projection matrix V by
- Arnoldi / Lanczos method for systems of 1st order
 - (Modified) ENOR for systems of 1st and 2nd order
 - Merging of projection matrices

ENOR (Efficient Nodal Order Reduction), Sheehan 1999
uses RLC nodal equations $Cs + G + (Ls)^{-1}$

Modeling of mechanical microsystems (similar: electrical RLC networks)

Result of the spatial discretization:

$$M \frac{d^2 x}{dt^2} + D \frac{dx}{dt} + Kx = Bf$$

PDE \rightarrow ODE

$$x_a = B_a^T x \text{ (usually terminals of the model, } B_a = B)$$

System of linear ordinary differential equations (ODE)

- Dimension N (large, $N = 10^3 \dots 10^6$)
- Sparse matrices

Too large for system simulation (computational time, memory)

Modified ENOR (3)

Basic Algorithm

Initialization

$$\hat{K} = s_0^2 M + s_0 D + K, \text{ factorization (Cholesky, LU)}$$

$$\hat{D} = 2s_0 M + D$$

Iteration

$$X_0 \text{ from } \hat{K}X_0 = B$$

$$X_k \text{ from } \hat{K}X_k = -\hat{D}X_{k-1} - MX_{k-2}$$

Orthogonalization of X_k "on the fly" for numerical stability / Deflation (deleting columns which are nearly linear dependent)



Modified ENOR (4)

Advantages

- Especially effective for 2nd order systems – transformation into a 1st order system is unnecessary (unlike e.g. Arnoldi)
- Reduced system is passive if M, D, K are positive semidefinite (i.e. if the original system is passive)
- Exact for the static case when expanded about $s_0 = 0$
- Very good approximation in time and frequency domain by merging projection matrices



Modified ENOR (1)

Original System

$$M \frac{d^2 X}{dt^2} + D \frac{dX}{dt} + KX = Bf$$

Transformation into Laplace domain

$$(s^2 M + sD + K) \cdot X(s) = B \cdot F(s)$$

Projection matrix from impulse response: $F(s) = I$

Expansion of X about s_0

$$X = s^2 M + sD + K(X_0 + (s - s_0)X_1 + (s - s_0)^2 X_2 + \dots) = E$$

Substituting s by $z = s - s_0$

$$((s_0 + z)^2 M + (s_0 + z)D + K)(X_0 + zX_1 + z^2 X_2 + \dots) = B$$



Modified ENOR (2)

Equating powers of z^k

X_k by successively solving systems of linear equations

$$(s_0^2 M + s_0 D + K)X_0 = B$$

$$(s_0^2 M + s_0 D + K)X_1 + (2s_0 M + D)X_0 = 0$$

$$(s_0^2 M + s_0 D + K)X_2 + (2s_0 M + D)X_1 + MX_0 = 0$$

etc.

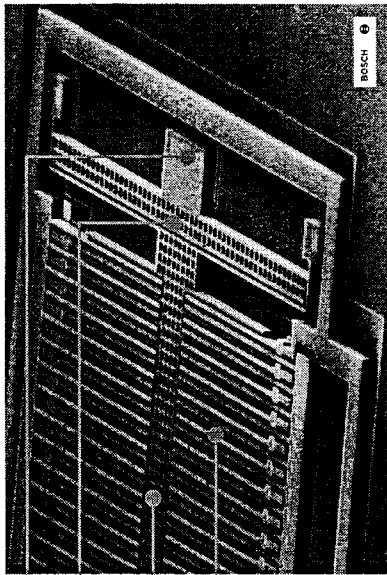
Projection matrix

orthonormal basis of X_0, X_1, \dots :

$$V = \text{orth}(X_0, X_1, \dots)$$



Micromechanical accelerometer



fastening

suspension

seismic mass

arrangement of fingers
(comb structure)

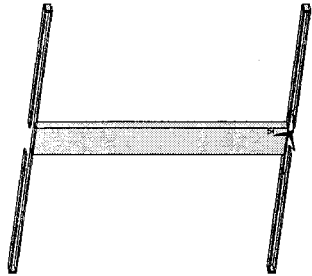
By courtesy of Robert Bosch GmbH, Germany



Fraunhofer
Institut
Integrierte Schaltungen

Micromechanical accelerometer (simplified)

- ANSYS model with 1039 nodes and 6 degrees of freedom
- Dirichlet boundary conditions in fastening points
- Dimension of original system is $N = 6222$
- Expansion about $s_0 = [0 \ 10^6 \ 10^8]$
- Small signal simulation: deflection of the seismic mass depending on the frequency of the stimulating force



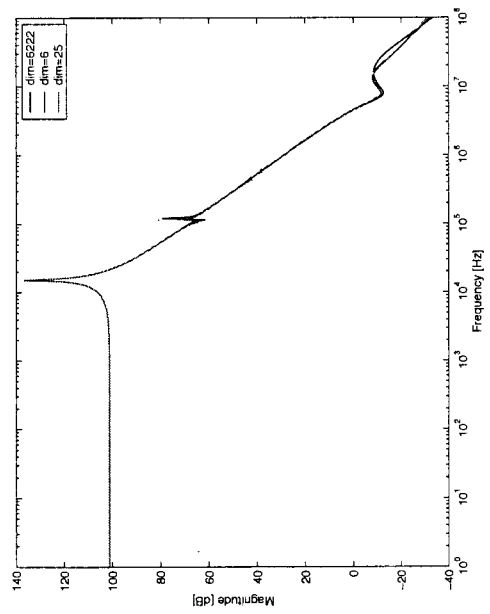
Basic structure in ANSYS
(without capacitive elements)



Fraunhofer
Institut
Integrierte Schaltungen

Micromechanical accelerometer (simplified)

Frequency response for
original system and
reduced systems



Computational times

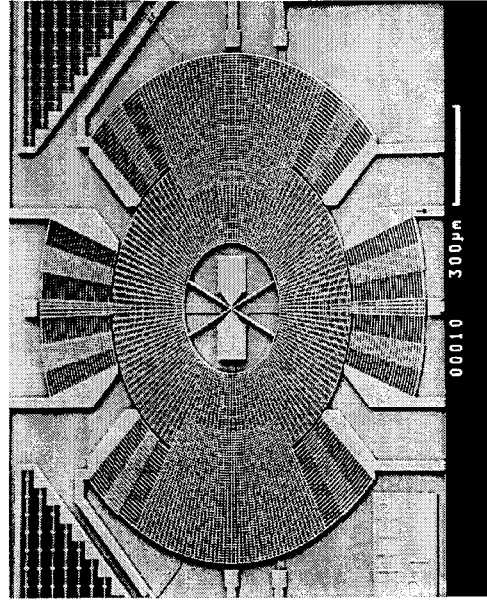
original system: 205 s

reduced systems: ≈ 1 s



Fraunhofer
Institut
Integrierte Schaltungen

Rotational acceleration sensor / Gyroscope (BOSCH)



Fraunhofer
Institut
Integrierte Schaltungen

Comparison of modified ENOR and Guyan

- Micromechanical system: gyroscope (FEM model with 18508 nodes and 6 degrees of freedom)
- Reduction with Guyan and modified ENOR
- Comparison of the first 3 eigenfrequencies F_1, F_2, F_3
- Results for Guyan with order 200 correspond to original system
- For modified ENOR order 14 is sufficient

algorithm	Guyan					ENOR
	200	100	50	20	12	
F_1 [Hz]	1442,3	1442,4	1442,4	1442,4	1442,4	1442,1
F_2 [Hz]	2421,8	2423,9	2425,4	2427,6	2500,6	2421,0
F_3 [Hz]	4375,8	4383,5	4437,3	4653,7	4666,4	4375,2

F_n = n-th eigenfrequency



Fraunhofer Institut
Integrierte Schaltungen

Gliederung

1. Arbeitsaufgaben in unserer Abteilung
2. Rechnergestützte Modellierung
3. Numerische Ordnungsreduktion
4. Symbolische Analyse
5. Simulationsbasierte Modellgenerierung
6. Zusammenfassung

Symbolische Analyse

Auszüge aus zwei Vorträgen von

- Sommer, Hennig: Tutorial auf ANALOG'2002, Bremen
- Wichmann, Halfmann: ASIM-Workshop 2002, Dresden

Einsatz der Verfahren bei Fraunhofer EAS Dresden

Numerical order reduction: summary

- Model order reduction for large systems of linear ODEs by moment matching
- Modifications of ENOR method
 - expansion about $S_0 = 0$ ensures statically exact models
 - simultaneous expansion about several points
 - merging of projection matrices
- Test with examples from several domains
 - (micro-)mechanical
 - thermal
- Reduced systems are starting point for behavioral models
- MATLAB program for external order reduction



Fraunhofer Institut
Integrierte Schaltungen



Fraunhofer Institut
Integrierte Schaltungen



Fraunhofer Institut
Integrierte Schaltungen

Symbolische Analyse elektronischer Schaltungen

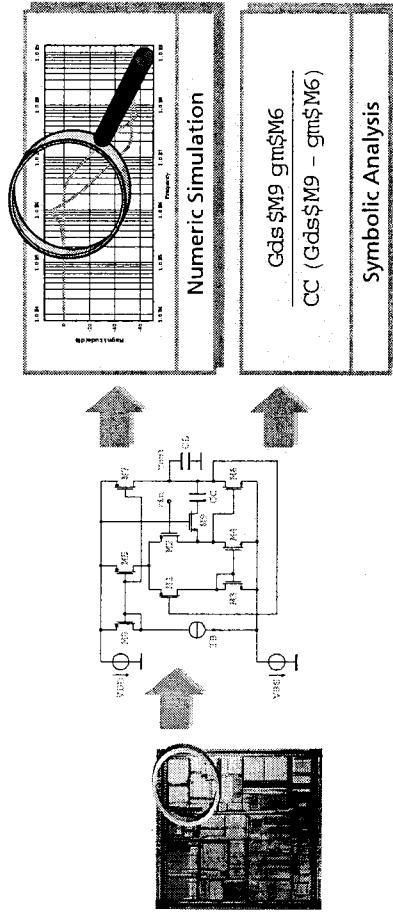


Fraunhofer Institut
Techno- und
Wirtschaftsmathematik

ASIM 2002
24. Mai 2002

Tim Wichmann, Thomas Halfmann

1. Motivation



Page 2



Fraunhofer Institut
Techno- und
Wirtschaftsmathematik

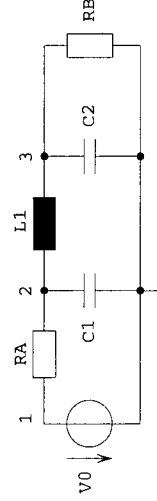


Symbolische Schaltungsanalyse und automatische Verhaltensmodellgenerierung – Einführung und industrielle Anwendung

Ralf Sommer und Eckhard Hennig
Infineon – DAT DF AMF

Symbolische Schaltungsanalyse - klassisch

- **Klassisch:** Berechnung von Übertragungsfunktionen linearer Netzwerke (ASAP, ISAAC, ...)



- **vollsymbolisch:** $H(s, p)$, symbolische Koeffizienten

GA V0

$$C1 C2 L1 s^3 + C2 GA L1 s^2 + C1 GB L1 s^2 + C1 s + C2 s + GA GB L1 s + GA + GB$$

- **semi-symbolisch:** $H(s)$, numerische Koeffizienten

0.001

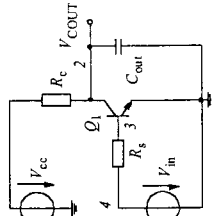
$$0.002 + 3.205 \times 10^{-6} s + 1.6 \times 10^{-11} s^2 + 1.1 \times 10^{-14} s^3$$

Nichtlineare symbolische Analyse und Verhaltensmodellierung

```

ENTITY bandgap IS
  GENERIC (...)
  PIN (...)
  ARCHITECTURE band OF bandgap IS
    STATE ...
    VARIABLE ...
  BEGIN RELATION
    PROCEDURAL FOR INT = >
      ...
    EQUATION (...) FOR DC, AC, TRANSIENT = >
      VO - VBE := (VBE + VBE) / Reut;
    END RELATION
  END ARCHITECTURE
end;

```



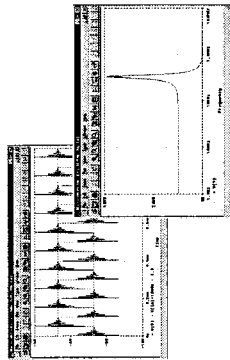
$$V_{BE} = \frac{I_S R_C}{I_F} \cdot \frac{1}{1 + \frac{I_S R_C}{I_F}} + V_{BE} + \sqrt{2} I_S R_C \cdot \frac{1}{1 + \frac{I_S R_C}{I_F}}$$

$$V_{BE}(t) = \frac{I_S R_C}{I_F} \cdot \frac{1}{1 + \frac{I_S R_C}{I_F}} + V_{BE} + \sqrt{2} I_S R_C \cdot \frac{1}{1 + \frac{I_S R_C}{I_F}}$$

- Automatische Generierung von Makromodellen und Verhaltensbeschreibungen aus Netzlisten
- Unterstützung bei HDL-A Code-Erstellung für Schaltungsblöcke



Numerische vs. Symbolische Analyse



Numerische Simulationen zu interpretieren ist nicht schwer...

... Formeln dagegen um so mehr!

(C1 R1 R2 R3 R4 C2 R5 R6 C3 C4 R7 R8 R9 R10 R11 R12 R13 R14 R15 R16 R17 R18 R19 R20 R21 R22 R23 R24 R25 R26 R27 R28 R29 R30 R31 R32 R33 R34 R35 R36 R37 R38 R39 R40 R41 R42 R43 R44 R45 R46 R47 R48 R49 R50 R51 R52 R53 R54 R55 R56 R57 R58 R59 R60 R61 R62 R63 R64 R65 R66 R67 R68 R69 R70 R71 R72 R73 R74 R75 R76 R77 R78 R79 R80 R81 R82 R83 R84 R85 R86 R87 R88 R89 R90 R91 R92 R93 R94 R95 R96 R97 R98 R99 R100 R101 R102 R103 R104 R105 R106 R107 R108 R109 R110 R111 R112 R113 R114 R115 R116 R117 R118 R119 R120 R121 R122 R123 R124 R125 R126 R127 R128 R129 R130 R131 R132 R133 R134 R135 R136 R137 R138 R139 R140 R141 R142 R143 R144 R145 R146 R147 R148 R149 R150 R151 R152 R153 R154 R155 R156 R157 R158 R159 R160 R161 R162 R163 R164 R165 R166 R167 R168 R169 R170 R171 R172 R173 R174 R175 R176 R177 R178 R179 R180 R181 R182 R183 R184 R185 R186 R187 R188 R189 R190 R191 R192 R193 R194 R195 R196 R197 R198 R199 R200 R201 R202 R203 R204 R205 R206 R207 R208 R209 R210 R211 R212 R213 R214 R215 R216 R217 R218 R219 R220 R221 R222 R223 R224 R225 R226 R227 R228 R229 R230 R231 R232 R233 R234 R235 R236 R237 R238 R239 R240 R241 R242 R243 R244 R245 R246 R247 R248 R249 R250 R251 R252 R253 R254 R255 R256 R257 R258 R259 R260 R261 R262 R263 R264 R265 R266 R267 R268 R269 R270 R271 R272 R273 R274 R275 R276 R277 R278 R279 R280 R281 R282 R283 R284 R285 R286 R287 R288 R289 R290 R291 R292 R293 R294 R295 R296 R297 R298 R299 R300 R301 R302 R303 R304 R305 R306 R307 R308 R309 R310 R311 R312 R313 R314 R315 R316 R317 R318 R319 R320 R321 R322 R323 R324 R325 R326 R327 R328 R329 R330 R331 R332 R333 R334 R335 R336 R337 R338 R339 R340 R341 R342 R343 R344 R345 R346 R347 R348 R349 R350 R351 R352 R353 R354 R355 R356 R357 R358 R359 R360 R361 R362 R363 R364 R365 R366 R367 R368 R369 R370 R371 R372 R373 R374 R375 R376 R377 R378 R379 R380 R381 R382 R383 R384 R385 R386 R387 R388 R389 R390 R391 R392 R393 R394 R395 R396 R397 R398 R399 R400 R401 R402 R403 R404 R405 R406 R407 R408 R409 R410 R411 R412 R413 R414 R415 R416 R417 R418 R419 R420 R421 R422 R423 R424 R425 R426 R427 R428 R429 R430 R431 R432 R433 R434 R435 R436 R437 R438 R439 R440 R441 R442 R443 R444 R445 R446 R447 R448 R449 R450 R451 R452 R453 R454 R455 R456 R457 R458 R459 R460 R461 R462 R463 R464 R465 R466 R467 R468 R469 R470 R471 R472 R473 R474 R475 R476 R477 R478 R479 R480 R481 R482 R483 R484 R485 R486 R487 R488 R489 R490 R491 R492 R493 R494 R495 R496 R497 R498 R499 R500 R501 R502 R503 R504 R505 R506 R507 R508 R509 R510 R511 R512 R513 R514 R515 R516 R517 R518 R519 R520 R521 R522 R523 R524 R525 R526 R527 R528 R529 R530 R531 R532 R533 R534 R535 R536 R537 R538 R539 R540 R541 R542 R543 R544 R545 R546 R547 R548 R549 R550 R551 R552 R553 R554 R555 R556 R557 R558 R559 R560 R561 R562 R563 R564 R565 R566 R567 R568 R569 R570 R571 R572 R573 R574 R575 R576 R577 R578 R579 R580 R581 R582 R583 R584 R585 R586 R587 R588 R589 R590 R591 R592 R593 R594 R595 R596 R597 R598 R599 R600 R601 R602 R603 R604 R605 R606 R607 R608 R609 R610 R611 R612 R613 R614 R615 R616 R617 R618 R619 R620 R621 R622 R623 R624 R625 R626 R627 R628 R629 R630 R631 R632 R633 R634 R635 R636 R637 R638 R639 R640 R641 R642 R643 R644 R645 R646 R647 R648 R649 R650 R651 R652 R653 R654 R655 R656 R657 R658 R659 R660 R661 R662 R663 R664 R665 R666 R667 R668 R669 R670 R671 R672 R673 R674 R675 R676 R677 R678 R679 R680 R681 R682 R683 R684 R685 R686 R687 R688 R689 R690 R691 R692 R693 R694 R695 R696 R697 R698 R699 R700 R701 R702 R703 R704 R705 R706 R707 R708 R709 R710 R711 R712 R713 R714 R715 R716 R717 R718 R719 R720 R721 R722 R723 R724 R725 R726 R727 R728 R729 R730 R731 R732 R733 R734 R735 R736 R737 R738 R739 R740 R741 R742 R743 R744 R745 R746 R747 R748 R749 R750 R751 R752 R753 R754 R755 R756 R757 R758 R759 R760 R761 R762 R763 R764 R765 R766 R767 R768 R769 R770 R771 R772 R773 R774 R775 R776 R777 R778 R779 R780 R781 R782 R783 R784 R785 R786 R787 R788 R789 R790 R791 R792 R793 R794 R795 R796 R797 R798 R799 R800 R801 R802 R803 R804 R805 R806 R807 R808 R809 R810 R811 R812 R813 R814 R815 R816 R817 R818 R819 R820 R821 R822 R823 R824 R825 R826 R827 R828 R829 R830 R831 R832 R833 R834 R835 R836 R837 R838 R839 R840 R841 R842 R843 R844 R845 R846 R847 R848 R849 R850 R851 R852 R853 R854 R855 R856 R857 R858 R859 R860 R861 R862 R863 R864 R865 R866 R867 R868 R869 R870 R871 R872 R873 R874 R875 R876 R877 R878 R879 R880 R881 R882 R883 R884 R885 R886 R887 R888 R889 R890 R891 R892 R893 R894 R895 R896 R897 R898 R899 R900 R901 R902 R903 R904 R905 R906 R907 R908 R909 R910 R911 R912 R913 R914 R915 R916 R917 R918 R919 R920 R921 R922 R923 R924 R925 R926 R927 R928 R929 R930 R931 R932 R933 R934 R935 R936 R937 R938 R939 R940 R941 R942 R943 R944 R945 R946 R947 R948 R949 R950 R951 R952 R953 R954 R955 R956 R957 R958 R959 R960 R961 R962 R963 R964 R965 R966 R967 R968 R969 R970 R971 R972 R973 R974 R975 R976 R977 R978 R979 R980 R981 R982 R983 R984 R985 R986 R987 R988 R989 R990 R991 R992 R993 R994 R995 R996 R997 R998 R999 R1000 R1001 R1002 R1003 R1004 R1005 R1006 R1007 R1008 R1009 R1010 R1011 R1012 R1013 R1014 R1015 R1016 R1017 R1018 R1019 R1020 R1021 R1022 R1023 R1024 R1025 R1026 R1027 R1028 R1029 R1030 R1031 R1032 R1033 R1034 R1035 R1036 R1037 R1038 R1039 R1040 R1041 R1042 R1043 R1044 R1045 R1046 R1047 R1048 R1049 R1050 R1051 R1052 R1053 R1054 R1055 R1056 R1057 R1058 R1059 R1060 R1061 R1062 R1063 R1064 R1065 R1066 R1067 R1068 R1069 R1070 R1071 R1072 R1073 R1074 R1075 R1076 R1077 R1078 R1079 R1080 R1081 R1082 R1083 R1084 R1085 R1086 R1087 R1088 R1089 R1090 R1091 R1092 R1093 R1094 R1095 R1096 R1097 R1098 R1099 R1100 R1101 R1102 R1103 R1104 R1105 R1106 R1107 R1108 R1109 R1110 R1111 R1112 R1113 R1114 R1115 R1116 R1117 R1118 R1119 R1120 R1121 R1122 R1123 R1124 R1125 R1126 R1127 R1128 R1129 R1130 R1131 R1132 R1133 R1134 R1135 R1136 R1137 R1138 R1139 R1140 R1141 R1142 R1143 R1144 R1145 R1146 R1147 R1148 R1149 R1150 R1151 R1152 R1153 R1154 R1155 R1156 R1157 R1158 R1159 R1160 R1161 R1162 R1163 R1164 R1165 R1166 R1167 R1168 R1169 R1170 R1171 R1172 R1173 R1174 R1175 R1176 R1177 R1178 R1179 R1180 R1181 R1182 R1183 R1184 R1185 R1186 R1187 R1188 R1189 R1190 R1191 R1192 R1193 R1194 R1195 R1196 R1197 R1198 R1199 R1200 R1201 R1202 R1203 R1204 R1205 R1206 R1207 R1208 R1209 R1210 R1211 R1212 R1213 R1214 R1215 R1216 R1217 R1218 R1219 R1220 R1221 R1222 R1223 R1224 R1225 R1226 R1227 R1228 R1229 R1230 R1231 R1232 R1233 R1234 R1235 R1236 R1237 R1238 R1239 R1240 R1241 R1242 R1243 R1244 R1245 R1246 R1247 R1248 R1249 R1250 R1251 R1252 R1253 R1254 R1255 R1256 R1257 R1258 R1259 R1260 R1261 R1262 R1263 R1264 R1265 R1266 R1267 R1268 R1269 R1270 R1271 R1272 R1273 R1274 R1275 R1276 R1277 R1278 R1279 R1280 R1281 R1282 R1283 R1284 R1285 R1286 R1287 R1288 R1289 R1290 R1291 R1292 R1293 R1294 R1295 R1296 R1297 R1298 R1299 R1300 R1301 R1302 R1303 R1304 R1305 R1306 R1307 R1308 R1309 R1310 R1311 R1312 R1313 R1314 R1315 R1316 R1317 R1318 R1319 R1320 R1321 R1322 R1323 R1324 R1325 R1326 R1327 R1328 R1329 R1330 R1331 R1332 R1333 R1334 R1335 R1336 R1337 R1338 R1339 R1340 R1341 R1342 R1343 R1344 R1345 R1346 R1347 R1348 R1349 R1350 R1351 R1352 R1353 R1354 R1355 R1356 R1357 R1358 R1359 R1360 R1361 R1362 R1363 R1364 R1365 R1366 R1367 R1368 R1369 R1370 R1371 R1372 R1373 R1374 R1375 R1376 R1377 R1378 R1379 R1380 R1381 R1382 R1383 R1384 R1385 R1386 R1387 R1388 R1389 R1390 R1391 R1392 R1393 R1394 R1395 R1396 R1397 R1398 R1399 R1400 R1401 R1402 R1403 R1404 R1405 R1406 R1407 R1408 R1409 R1410 R1411 R1412 R1413 R1414 R1415 R1416 R1417 R1418 R1419 R1420 R1421 R1422 R1423 R1424 R1425 R1426 R1427 R1428 R1429 R1430 R1431 R1432 R1433 R1434 R1435 R1436 R1437 R1438 R1439 R1440 R1441 R1442 R1443 R1444 R1445 R1446 R1447 R1448 R1449 R1450 R1451 R1452 R1453 R1454 R1455 R1456 R1457 R1458 R1459 R1460 R1461 R1462 R1463 R1464 R1465 R1466 R1467 R1468 R1469 R1470 R1471 R1472 R1473 R1474 R1475 R1476 R1477 R1478 R1479 R1480 R1481 R1482 R1483 R1484 R1485 R1486 R1487 R1488 R1489 R1490 R1491 R1492 R1493 R1494 R1495 R1496 R1497 R1498 R1499 R1500 R1501 R1502 R1503 R1504 R1505 R1506 R1507 R1508 R1509 R1510 R1511 R1512 R1513 R1514 R1515 R1516 R1517 R1518 R1519 R1520 R1521 R1522 R1523 R1524 R1525 R1526 R1527 R1528 R1529 R1530 R1531 R1532 R1533 R1534 R1535 R1536 R1537 R1538 R1539 R1540 R1541 R1542 R1543 R1544 R1545 R1546 R1547 R1548 R1549 R1550 R1551 R1552 R1553 R1554 R1555 R1556 R1557 R1558 R1559 R1560 R1561 R1562 R1563 R1564 R1565 R1566 R1567 R1568 R1569 R1570 R1571 R1572 R1573 R1574 R1575 R1576 R1577 R1578 R1579 R1580 R1581 R1582 R1583 R1584 R1585 R1586 R1587 R1588 R1589 R1590 R1591 R1592 R1593 R1594 R1595 R1596 R1597 R1598 R1599 R1600 R1601 R1602 R1603 R1604 R1605 R1606 R1607 R1608 R1609 R1610 R1611 R1612 R1613 R1614 R1615 R1616 R1617 R1618 R1619 R1620 R1621 R1622 R1623 R1624 R1625 R1626 R1627 R1628 R1629 R1630 R1631 R1632 R1633 R1634 R1635 R1636 R1637 R1638 R1639 R1640 R1641 R1642 R1643 R1644 R1645 R1646 R1647 R1648 R1649 R1650 R1651 R1652 R1653 R1654 R1655 R1656 R1657 R1658 R1659 R1660 R1661 R1662 R1663 R1664 R1665 R1666 R1667 R1668 R1669 R1670 R1671 R1672 R1673 R1674 R1675 R1676 R1677 R1678 R1679 R1680 R1681 R1682 R1683 R1684 R1685 R1686 R1687 R1688 R1689 R1690 R1691 R1692 R1693 R1694 R1695 R1696 R1697 R1698 R1699 R1700 R1701 R1702 R1703 R1704 R1705 R1706 R1707 R1708 R1709 R1710 R1711 R1712 R1713 R1714 R1715 R1716 R1717 R1718 R1719 R1720 R1721 R1722 R1723 R1724 R1725 R1726 R1727 R1728 R1729 R1730 R1731 R1732 R1733 R1734 R1735 R1736 R1737 R1738 R1739 R1740 R1741 R1742 R1743 R1744 R1745 R1746 R1747 R1748 R1749 R1750 R1751 R1752 R1753 R1754 R1755 R1756 R1757 R1758 R1759 R1760 R1761 R1762 R1763 R1764 R1765 R1766 R1767 R1768 R1769 R1770 R1771 R1772 R1773 R1774 R1775 R1776 R1777 R1778 R1779 R1780 R1781 R1782 R1783 R1784 R1785 R1786 R1787 R1788 R1789 R1790 R1791 R1792 R1793 R1794 R1795 R1796 R1797 R1798 R1799 R1800 R1801 R1802 R1803 R1804 R1805 R1806 R1807 R1808 R1809 R1810 R1811 R1812 R1813 R1814 R1815 R1816 R1817 R1818 R1819 R1820 R1821 R1822 R1823 R1824 R1825 R1826 R1827 R1828 R1829 R1830 R1831 R1832 R1833 R1834 R1835 R1836 R1837 R1838 R1839 R1840 R1841 R1842 R1843 R1844 R1845 R1846 R1847 R1848 R1849 R1850 R1851 R1852 R1853 R1854 R1855 R1856 R1857 R1858 R1859 R1860 R1861 R1862 R1863 R1864 R1865 R1866 R1867 R1868 R1869 R1870 R1871 R1872 R1873 R1874 R1875 R1876 R1877 R1878 R1879 R1880 R1881 R1882 R1883 R1884 R1885 R1886 R1887 R1888 R1889 R1890 R1891 R1892 R1893 R1894 R1895 R1896 R1897 R1898 R1899 R1900 R1901 R1902 R1903 R1904 R1905 R1906 R1907 R1908 R1909 R1910 R1911 R1912 R1913 R1914 R1915 R1916 R1917 R1918 R1919 R1920 R1921 R1922 R1923 R1924 R1925 R1926 R1927 R1928 R1929 R1930 R1931 R1932 R1933 R1934 R1935 R1936 R1937 R1938 R1939 R1940 R1941 R1942 R1943 R1944 R1945 R1946 R1947 R1948 R1949 R1950 R1951 R1952 R1953 R1954 R1955 R1956 R1957 R1958 R1959 R1960 R1961 R1962 R1963 R1964 R1965 R1966 R1967 R1968 R1969 R1970 R1971 R1972 R1973 R1974 R1975 R1976 R1977 R1978 R1979 R1980 R1981 R1982 R1983 R1984 R1985 R1986 R1987 R1988 R1989 R1990 R1991 R1992 R1993 R1994 R1995 R1996 R1997 R1998 R1999 R2000 R2001 R2002 R2003 R2004 R2005 R2006 R2007 R2008 R2009 R2010 R2011 R2012 R2013 R2014 R2015 R2016 R2017 R2018 R2019 R2020 R2021 R2022 R2023 R2024 R2025 R2026 R2027 R2028 R2029 R2030 R2031 R2032 R2033 R2034 R2035 R2036 R2037 R2038 R2039 R2040 R2041 R2042 R2043 R2044 R2045 R2046 R2047 R2048 R2049 R2050 R2051 R2052 R2053 R2054 R2055 R2056 R2057 R2058 R2059 R2060 R2061 R2062 R2063 R2064 R2065 R2066 R2067 R2068 R2069 R2070 R2071 R2072 R2073 R2074 R2075 R2076 R2077 R2078 R2079 R2080 R2081 R2082 R2083 R2084 R2085 R2086 R2087 R2088 R2089 R2090 R2091 R2092 R2093 R2094 R2095 R2096 R2097 R2098 R2099 R2100 R2101 R2102 R2103 R2104 R2105 R2106 R2107 R2108 R2109 R2110 R2111 R2112 R2113 R2114 R2115 R2116 R2117 R2118 R2119 R2120 R2121 R2122 R2123 R2124 R2125 R2126 R2127 R2128 R2129 R2130 R2131 R2132 R2133 R2134 R2135 R2136 R2137 R2138 R2139 R2140 R2141 R2142 R2143 R2144 R2145 R2146 R2147 R2148 R2149 R2150 R2151 R2152 R2153 R2154 R2155 R2156 R2157 R2158 R2159 R2160 R2161 R2162 R2163 R2164 R2165 R2166 R2167 R2168 R2169 R2170 R2171 R2172 R2173 R2174 R2175 R2176 R2177 R2178 R2179 R2180 R2181 R2182 R2183 R2184 R2185 R2186 R2187 R2188 R2189 R2190 R2191 R2192 R2193 R2194 R2195 R2196 R2197 R2198 R2199 R2200 R2201 R2202 R2203 R2204 R2205 R2206 R2207 R2208 R2209 R2210 R2211 R2212 R2213 R2214 R2215 R2216 R2217 R2218 R2219 R2220 R2221 R2222 R2223 R2224 R2225 R2226 R2227 R2228 R2229 R2230 R2231 R2232 R2233 R2234 R2235 R2236 R2237 R2238 R2239 R2240 R2241 R2242 R2243 R2244 R2245 R2246 R2247 R2248 R2249 R2250 R2251 R2252 R2253 R2254 R2255 R2256 R2257 R2258 R2259 R2260 R2261 R2262 R2263 R2264 R2265 R2266 R2267 R2268 R2269 R2270 R2271 R2272 R2273 R2274 R2275 R2276 R2277 R2278 R2279 R2280 R2281 R2282 R2283 R2284 R2285 R2286 R2287 R2288 R2289 R2290 R2291 R2292 R2293 R2294 R2295 R2296 R2297 R2298 R2299 R2300 R2301 R2302 R2303 R2304 R2305 R2306 R2307 R2308 R2309 R2310 R2311 R2312 R2313 R2314 R2315 R2316 R2317 R2318 R2319 R2320 R2321 R2322 R2323 R2324 R2325 R2326 R2327 R2328 R2329 R2330 R2331 R2332 R2333 R2334 R2335 R2336 R2337 R2338 R2339 R2340 R2341 R2342 R2343 R2344 R2345 R2346 R2347 R2348 R2349 R2350 R2351 R2352 R2353 R2354 R2355 R2356 R2357 R2358 R2359 R2360 R2361 R2362 R2363 R2364 R2365 R2366 R2367 R2368 R2369 R2370 R2371 R2372 R2373 R2374 R2375 R2376 R2377 R2378 R2379 R2380 R2381 R2382 R2383 R2384 R2385 R2386 R2387 R2388 R2389 R2390 R2391 R2392 R2393 R2394 R2395 R2396 R2397 R2398 R2399 R2400 R2401 R2402 R2403 R2404 R2405 R2406 R2407 R2408 R2409 R2410 R2411 R2412 R2413 R2414 R2415 R2416 R2417 R2418 R2419 R2420 R2421 R2422 R2423 R2424 R2425 R2426 R2427 R2428 R2429 R2430 R2431 R2432 R2433 R2434 R2435 R2436 R2437 R2438 R2439 R2440 R2441 R2442 R2443 R2444 R2445 R2446 R2447 R2448 R2449 R2450 R2451 R2452 R2453 R2454 R2455 R2456 R2457 R2458 R2459 R2460 R2461 R2462 R2463 R2464 R2465 R2466 R2467 R2468 R2469 R2470 R2471 R2472 R2473 R2474 R2475 R2476 R2477 R2478 R2479 R2480 R2481 R2482 R2483 R2484 R2485 R2486 R2487 R2488 R2489 R2490 R2491 R2492 R2493 R2494 R2495 R2496 R2497 R2498 R2499 R2500 R2501 R

Symbolische Analyse?

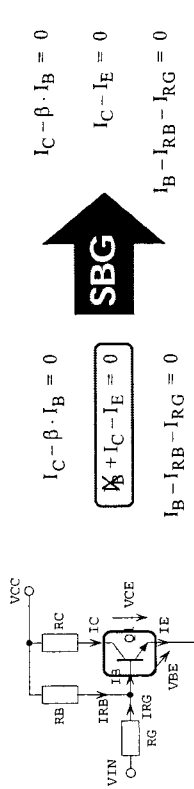
■ Semi-symbolische Lösung der Übertragungsfunktion:

$$\begin{aligned}
 & 1124688s^{12} + 137019s^{11} + 6544295s^{10} + 1620140s^9 + 2294150 \\
 & \cdot s^8 + 1960405s^7 + 1016705s^6 + 320475s^5 + 675488s^4 \\
 & + 568497s^3 + 6534105s^{11} + 3226115s^{10} + 7158412s^9 \\
 & - 4350131s^8 - 93001160s^7 - 2976149s^6 - 41461157s^5 \\
 & + 1959105s^4 + 1704174s^3 + 2664182s^2 + 2016196s \\
 & + 7234197s + 3326204 \\
 & \frac{6^3 + 132011s^2 + 7150121s^2 + 2040132s^2 + 3490142s^2}{+ 375645s^{18} + 265462s^{17} + 1206712s^{16} + 3778481s^{15} \\
 & + 8130490s^{14} + 12461100s^{13} + 13201109s^{12} + 11014118s^{11} \\
 & + 54664126s^{10} + 21141355s^9 + 55701435s^8 + 113641523s^7 \\
 & + 17141501s^6 + 1784168s^5 + 1304176s^4 + 62041183s^3 \\
 & + 17141191s^2 + 87761972s + 17141199}
 \end{aligned}$$

- Ordnung der Differentialgleichung: 23
- Numerische Größenordnung der Koeffizienten: 1 .. 10¹⁹⁹
- Vollständige symbolische Lösung: Berechnung unmöglich!
- Anzahl der Produktterme im Nenner: 6.2 · 10²⁰

Motivation: Symbolische Approximation

■ Idee: Vernachlässigung schon auf Gleichungsebene (SBG)



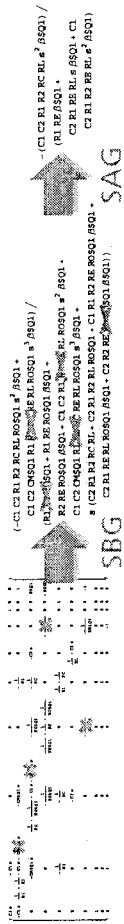
$$\begin{aligned}
 I_C - \beta \cdot I_B &= 0 \\
 I_C + I_C - I_E &= 0 \\
 I_B - I_{RB} - I_{RG} &= 0
 \end{aligned}$$

$$\begin{aligned}
 (R_1 + \beta R_E) I_C - \beta U_0 &= U_0 \\
 -\beta R_E I_C + (\beta R_E) I_B &= 0
 \end{aligned}$$

$$\begin{aligned}
 & \text{linear} \\
 & V_{in} \cdot G_s - V_3 \cdot G_s - \frac{I_s}{\beta F} \cdot e^{\frac{V_3}{V_T}} + \frac{I_s}{\beta F} + \frac{I}{\beta} = 0 \\
 & \dots \text{ und nichtlinear} \\
 & I_s \cdot e^{\frac{V_3}{V_T}} - \frac{I_s}{\beta R} \cdot e^{\frac{V_3}{V_T}} + \frac{I_s}{\beta R} + C_{out} \cdot \frac{d}{dt} (V_2) + V \cdot G_c = 0
 \end{aligned}$$

Fehlerkontrolle? Verfahren automatisierbar?

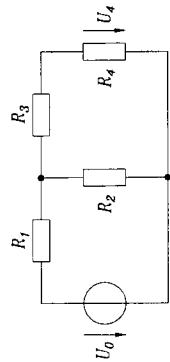
2. Symbolic Simplification Techniques



- ### Methods
- SBG (Simplification Before Generation): matrix approximation
 - SAG (Simplification After Generation): approximation of transfer functions
 - approximation of nonlinear DAE systems
- ### Goals
- insights into circuit behavior
 - behavioral model generation

Lösungsbasierte Approximation (SAG, Gielen[89])

■ Beispiel: Doppelter Spannungsteiler

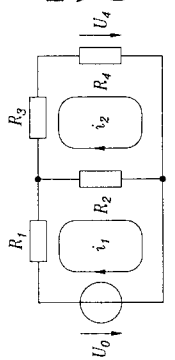


Gesucht: Übertragungsfunktion
 $H = U_4/U_0$ mit $R_3, R_4 > R_1, R_2$
 numerische Werte:
 $R_1 = R_2 = 10\Omega$ und $R_3 = R_4 = 10000\Omega$

$$\begin{aligned}
 \text{Übertragungsfunktion (exakt)} \quad H &= \frac{U_4}{U_0} = \frac{R_2 R_3 R_4}{R_2 R_4 + R_1 R_4 + R_2 R_3 + R_1 R_3 + R_2 R_4} \\
 \text{numerische Referenzwerte eingesetzt} \quad \frac{U_4}{U_0} &= \frac{10000}{10000 + 10000 + 10000 + 10000 + 10000} \\
 \text{Ergebnis:} &= \frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}
 \end{aligned}$$

Gleichungsbasierte Approximation (SBG)

■ Motivation (doppelter Spannungsteiler)



Betrachtung für kleine R1 und R2 im Verhältnis zu R3 und R4 (nahezu unbelasteter Spannungsteiler)

Originalsystem: $(R_1 + R_2) i_1 - R_2 i_2 + R_3 + R_4 i_2 = 0$

genähertes System: $(R_1 + R_2) i_1 - R_2 i_2 = 0$

Ergebnis: $H = \frac{U_4}{U_0} = \frac{R_4 i_2}{U_0} = \frac{R_2 R_4}{(R_1 + R_2)(R_3 + R_4)}$

3. Simplification of Nonlinear DAE Systems

model template (e.g. VHDL-AMS)

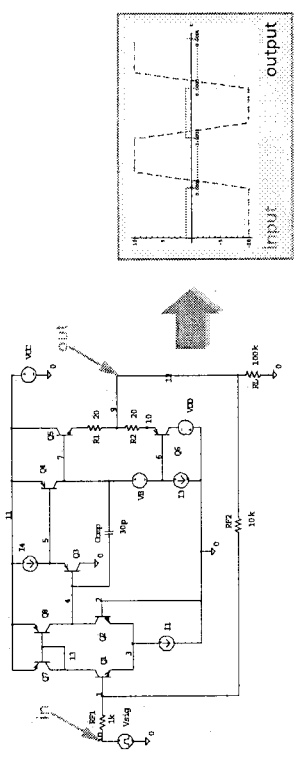
reference solution

simplified

original

Page 4

Example Application



- Setup
- analysis modes: DC-transfer, transient
 - single input / single output system

Simplification Methods

Elimination of variables

$$\begin{aligned}
 & I_{SACSD1}(t) + C1 \cdot VS2'(t) == 0 \\
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + ISACSD1(t) - CMIN(VS1(t) - VS2(t)) == 0 \\
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + C1 \cdot VS2'(t) - CMIN(VS1(t) - VS2(t)) == 0
 \end{aligned}$$

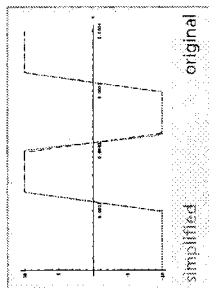
Cancellation of terms

$$\begin{aligned}
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + ISACSD1(t) - CMIN(VS1(t) - VS2(t)) == 0 \\
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + ISACSD1(t) == 0
 \end{aligned}$$

Setting terms to constant values

$$\begin{aligned}
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + ISACSD1(t) - CMIN(VS1(t) - VS2(t)) == 0 \\
 & -AREA_{SD1}(-1 + e^{38.6635 \cdot VS1(t) - VS2(t)}) \cdot ISSD1 + ISACSD1(t) - CMIN(12 - VS2(t)) == 0
 \end{aligned}$$

Example Application



- Original System**
73 equations, 280 terms, 43 derivative terms
- Simplifications**
- elimination of variables
 - cancellation of terms (level 0 and level 1)
 - elimination of variables
- Simplified System**
8 equations, 33 terms, 8 derivative terms

Page 9

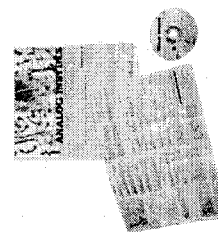
4. The Toolbox Analog Insydes



- Description**
Tool for analysis, modeling, sizing, and optimization of analog electronic circuits
- Algorithms**
Mixed numeric/symbolic algorithms from the fields of numerics and computer algebra
- Application Fields**
Linear and nonlinear analog circuits of industrial applications
- Customers**
Industry (e.g. automotive, communication systems, low frequency, mixed signal) and research institutes

Page 10

The Toolbox Analog Insydes



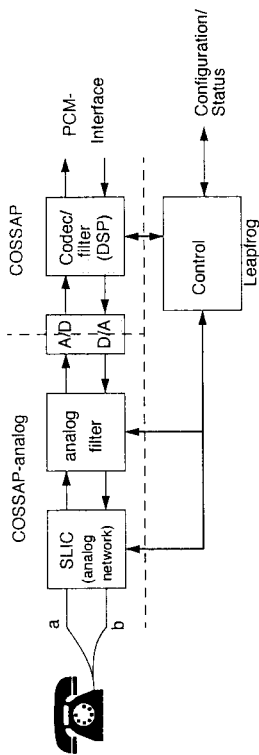
- Homepage**
www.analog-insydes.de
- Demos**
www.analog-insydes.de/demos2.html
- Free evaluation version**
www.analog-insydes.de/regeval2.html
- E-Mail**
analog.insydes@itwm.fhg.de

Page 11

Einsatz der Verfahren bei Fraunhofer EAS Dresden

- 1. Modellierung elektronischer Schaltungen**
Problem: nicht direkt für mixed-signal-Schaltungen geeignet!
- 2. Index-Untersuchungen**
- 3. Erweiterung von COSSAP um Analog-Simulation und von SystemC zu SystemC-AMS**

Overview of one channel of a modem IC: SLICOFI



Integration of the analog circuit model

network

$$f(\text{in}, \text{out}, x, \dot{x}, t) = 0$$

$$f(\text{in}_p, \text{out}_p, x_p, \frac{x_p - x_{p-1}}{h}, t_p) = 0$$

$$\begin{aligned} \text{out}_i &= g_1(\text{in}_p, x_{i-1}, t_i) \\ x_i &= g_2(\text{in}_p, x_{i-1}, t_i) \end{aligned}$$

C-procedure

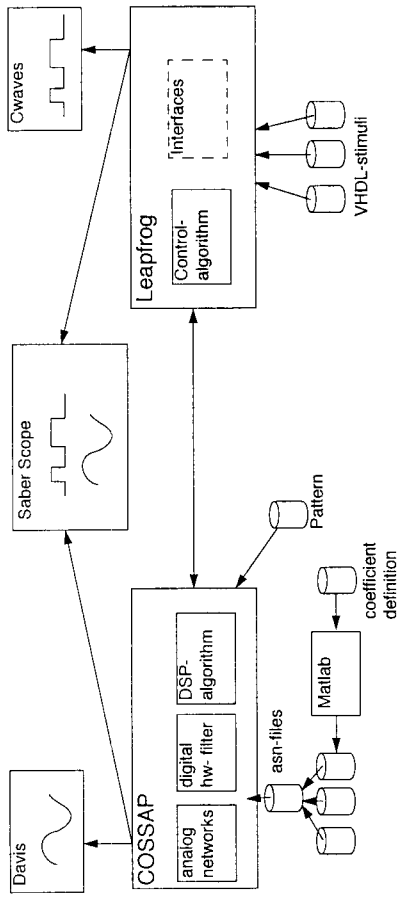
determining of network equation,

equidistant integration by EULER backward formula

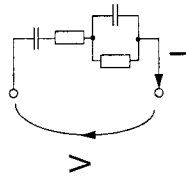
$$h = t_i - t_{i-1}, \dot{x}_i = (x_i - x_{i-1})/h$$

C description by using library functions

Simulation environment



Modeling by state space models



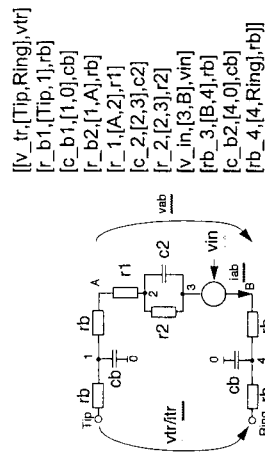
functions for:
transfer function
state space system

$$H(s) = \frac{b_n s^n + b_{n-1} s^{n-1} + \dots + b_0}{a_m s^m + a_{m-1} s^{m-1} + \dots + a_0}$$

or

$$\begin{aligned} \dot{X} &= AX + BU \\ Y &= CX + DU \end{aligned}$$

Symbolic generation of state space equations with Analog Insydes (1) Eingabebeschreibung



Symbolic generation of state-space equations with Analog Insydes (2) Ergebnis

$$A = \begin{bmatrix} \frac{2rb+r1+r2}{2c2r2rb+c2r1r2} & \frac{1}{2cbrb+cb r1} & \frac{1}{4rb+r2} & \frac{1}{2cbrb+cb r1} \\ \frac{1}{2c2rb+c2r2} & \frac{4cb+rb^2+2cbr1rb}{4rb+r2} & \frac{4cbrb^2+2cbr2rb}{4rb+r2} & \frac{1}{4rb+r2} \\ \frac{1}{2c2rb+c2r2} & \frac{4cb+rb^2+2cbr1rb}{4rb+r2} & \frac{4cbrb^2+2cbr1rb}{4rb+r2} & \frac{1}{4rb+r2} \end{bmatrix}$$

$$B = \begin{bmatrix} \frac{r2}{2r2rb+r1r2} & 0 \\ \frac{2rb}{4rb^2+2r1rb} & \frac{2rb+r2}{4rb^2+2r1rb} \\ \frac{2rb}{4rb^2+2r1rb} & \frac{2rb+r1}{4rb^2+2r1rb} \end{bmatrix}$$

$$C = \begin{bmatrix} \frac{1}{2c2rb+c2r1} & \frac{1}{2cbrb+cb r1} & \frac{1}{2cbrb+cb r1} \\ \frac{2c2rb+c2r1}{2rb} & \frac{2cbrb+cb r1}{r1} & \frac{2cbrb+cb r1}{r1} \\ 0 & \frac{1}{2cbrb} & \frac{1}{2cbrb} \end{bmatrix}$$

Symbolically generated of state-space equations -> C code, embedded into COSSAP

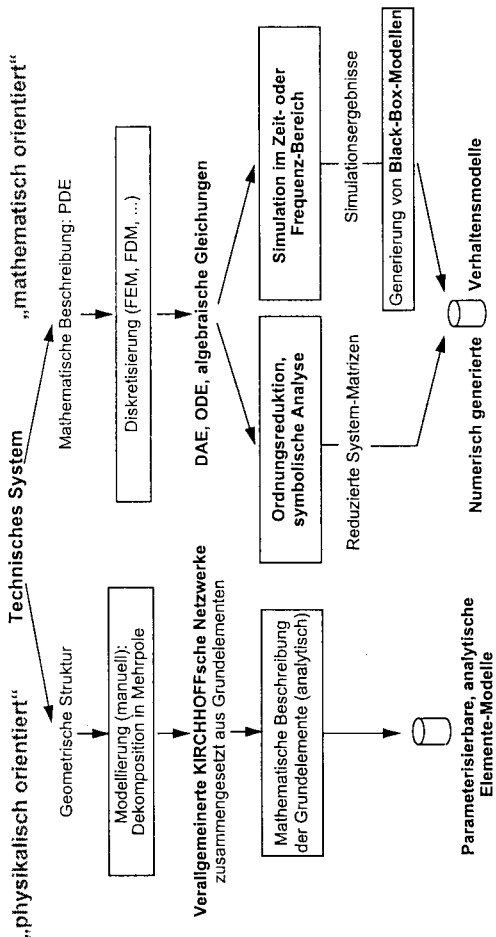
```
(
:
/*declarations*/
/*Zustandsraummatrizen erzeugt mit Mathematica aus Netzliste*/
A[0]=(double)(-2.0*RB+R1+R2)/(2.0*C2*R2*RB+C2*R1*R2);
A[1]=(double)( 1.0/(2.0*CB*RB+CB*R1));
B[0]=(double)(-R2)/(2.0*R2*RB+R1*R2);
B[1]=(double)(0.0);
C[0]=(double)(-1.0/(2.0*C2*RB+C2*R1));
D[0]=(double)(-1.0/(2.0*RB+R1));

if(statespace_init(A,A,H,STATES)=0) ExitWithError(1);
/*Zustandsvektor initialisieren (entspricht Energiegroessen z.B Ladung)*/
for(i=0;i<STATES;i++) S[i]=0.0;
)
```

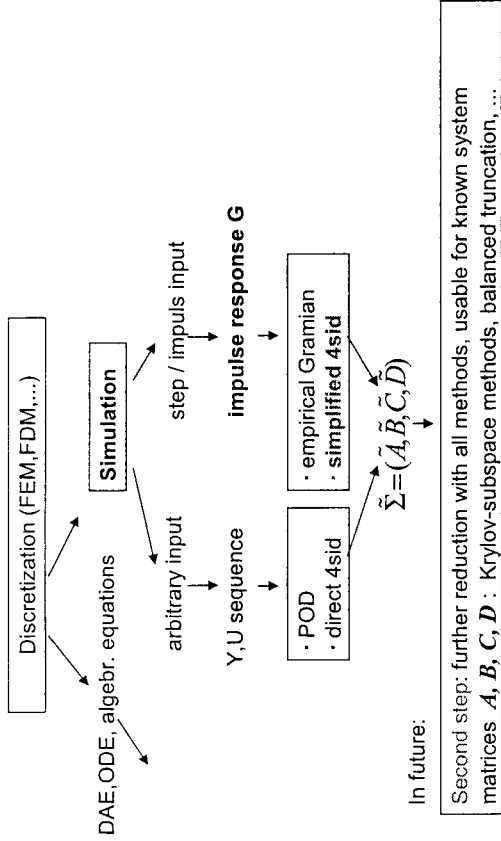
Gliederung

1. Arbeitsaufgaben in unserer Abteilung
2. Rechnergestützte Modellierung
3. Numerische Ordnungsreduktion
4. Symbolische Analyse
5. Simulationsbasierte Modellgenerierung
6. Zusammenfassung

Wege zur Modellierung technischer Systeme



Simulation based order reduction



Simulation based order reduction

(A, B, C, D) linear, time discrete system:

$$\begin{aligned} x_{k+1} &= Ax_k + Bu_k & A \text{ is } N \times N \\ y_k &= Cx_k + Du_k & B \text{ is } N \times m, C \text{ is } q \times N \\ & & D \text{ is } q \times N \end{aligned}$$

Observability matrix:

$$O_p = \begin{bmatrix} C \\ CA \\ \vdots \\ CA^{p-1} \end{bmatrix}$$

Hankel matrix:

$$H_p = \begin{bmatrix} CB & CAB & \dots & CA^{p-1}B \\ CAB & CA^2B & \dots & CA^pB \\ \vdots & \vdots & \ddots & \vdots \\ CA^{p-1}B & CA^pB & \dots & CA^{2p-2}B \end{bmatrix}$$

$$R_p = \begin{bmatrix} B & AB & \dots & A^{p-1}B \end{bmatrix} \quad \text{Controllability matrix}$$

The system matrices are unknown and shall be calculated on the basis of simulated impulse response only!

Simulation based order reduction

The Hankel matrix can be constructed from simulation results:

$$g_k = CA^{k-1}B, k \geq 1 \rightarrow H = \begin{pmatrix} g_1 & g_2 & g_3 & \dots \\ g_2 & g_3 & g_4 & \dots \\ g_3 & g_4 & g_5 & \dots \\ \vdots & \vdots & \vdots & \ddots \end{pmatrix}$$

The observability and controllability matrices can be found by any full rank decomposition of the Hankel matrix, e.g. by **singular-value decomposition** and choosing the order n

$$H = USV^T = \begin{pmatrix} \bar{S} & 0 \\ 0 & S_{neg} \end{pmatrix} \begin{pmatrix} \bar{V}^T \\ V_{neg}^T \end{pmatrix} = \bar{U} \bar{S} \bar{V}^T + U_{neg} S_{neg} V_{neg}^T$$

Small components of order $i > n$ (index 'neg') are neglected.

n has to be relatively large (20 ... 500), to approximate the behavior precisely enough for large and small frequencies (or for small and large time points). The approach corresponds to an approximation of high frequencies which leads to a static error.

Simulation based order reduction

From

$$H \approx \tilde{H} = \tilde{U} \tilde{S} \tilde{V}^T$$

follow the observability and the controllability matrices

$$\tilde{O} = \tilde{U} \sqrt{S} \quad \tilde{R} = \sqrt{S} \tilde{V}^T$$

All calculations are implemented in MATLAB. Notation:

$$\tilde{B} = R(:, 1:m) \quad \tilde{C} = O(1:q,:)$$

$$\tilde{A} \cdot \tilde{R}(:, 1: \text{end} - m) = \tilde{R}(:, m+1: \text{end})$$

$$\tilde{A} = \tilde{R}(:, m+1: \text{end}) \cdot R(:, 1: \text{end} - m)^+$$

\tilde{D} is given by g_0

In future:

In a second reduction step, the order of this model may be reduced further on the basis of the approximated system matrices.

Typical example: 100.000 \rightarrow 200 \rightarrow 15



Example: acceleration sensor

Proof mass between beam elements (silicium)

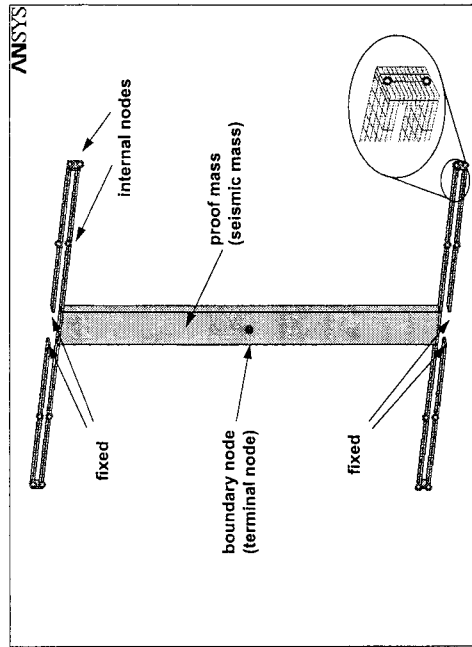
Mass: 50 μm x 500 μm
Beams: 3 μm x 225 μm x 15 μm

The force is acting in the middle of the proof mass (boundary node)

Fixed ends of beam elements

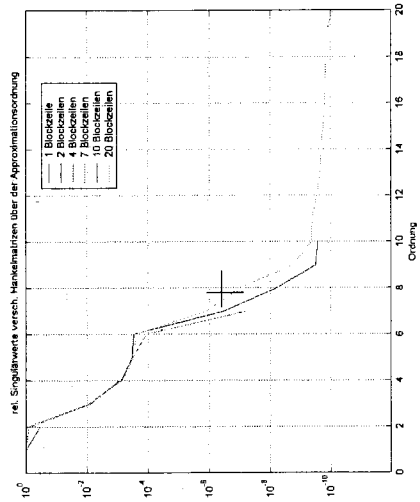
Comparison with ANSYS: 16 internal nodes, distributed on the beams

ANSYS: volume element solid45 used



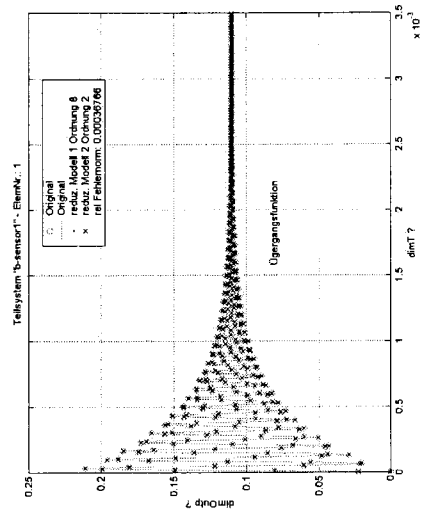
Simulation based order reduction

Singular values of Hankel matrices



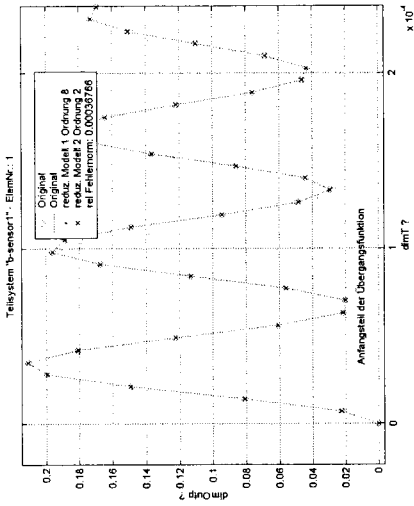
Simulation based order reduction

Step responses: original / approximation 1 / approximation 2



Simulation based order reduction

Step responses



6. Zusammenfassung

State-of-the art

Verallgemeinerte KIRCHHOFFsche Netzwerke sind sehr gut geeignet zur Modellierung von Multi-Domain-Problemen.

Modellierungs-Tools, die Ordnungsreduktion, Approximations- und Optimierungsalgorithmen benutzen, existieren als Prototypen und arbeiten gut!

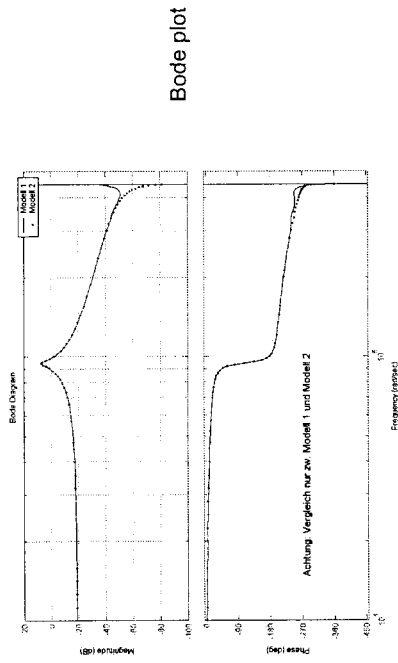
Erste Multi-Domain-Bibliotheken existieren: Prototypen, unvollständig.

Standardisierte Modellierungssprachen wie VHDL-AMS, Verilog-AMS und Modelica werden bald durch viele System simulatoren unterstützt werden.

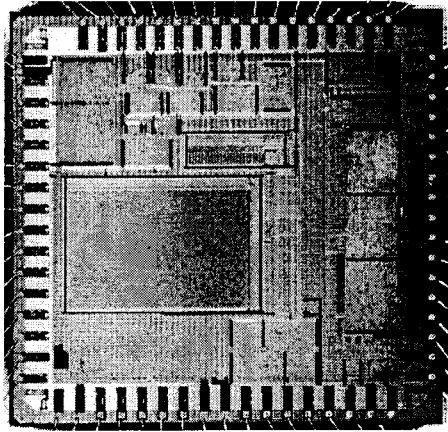
Offene Probleme

- Eine breit akzeptiert Modellierungs-Methodik fehlt noch.
- Ordnungsreduktions-Verfahren für sehr große nichtlineare dynamische Systeme.
- Automatische Modellierung von gekoppelten Feldproblemen.

Simulation based order reduction

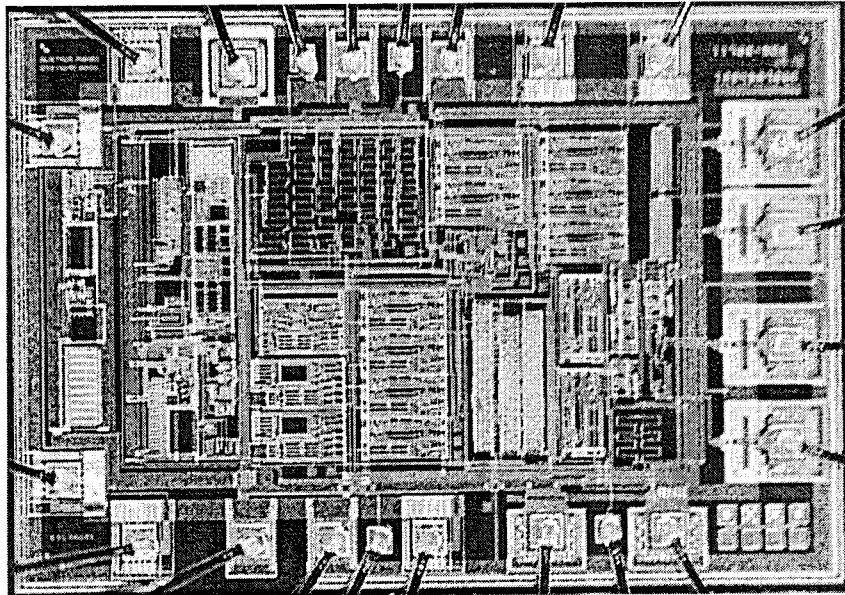


Minelog_4



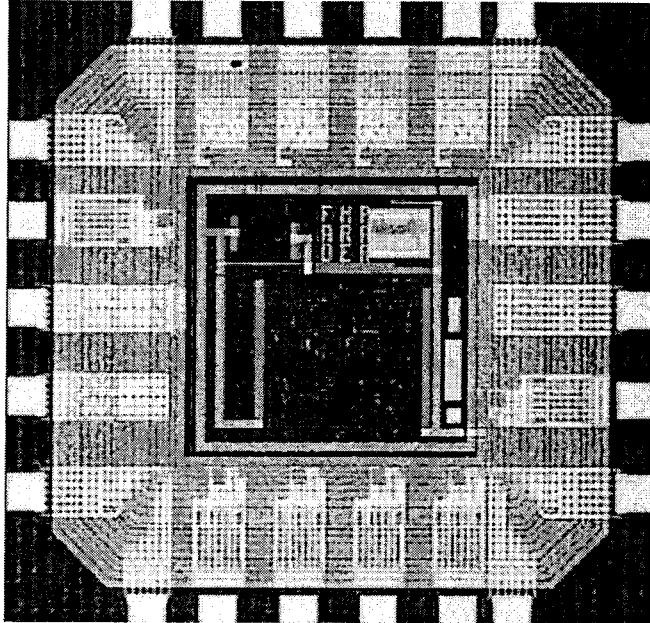
- Entwurf: Fachhochschule Offenburg
Bearbeiter: Markus Striebel
Betreuer: Prof. Dr.-Ing. Dirk Jansen
- Layouterstellung: Fachhochschule Offenburg (Mixed-Signal-Entwurf)
- Technologie: AMI 0.5 μ m CMOS –AD
- Chipfertigung: Europractice, Run 777
- Herstelldatum: Oktober 2002
- Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg
- Chipdaten: Chipgröße: 6,4 x 6,0 mm²
Gehäuse: JLCC 68
Komplexität: ca. 80000 Transistoren
- Funktion: Der Minelog_4 Chip ist die neue verbesserte Version des DSWPC – Chip (Dual Signal Wavelet Processing Controller), der im Jahre 1999 an der FH-Offenburg entwickelt wurde. Bei dem Chip handelt es sich um einen Microcontroller auf der Basis des FHOP Mikroprozessor-Kernel mit integrierter IIR-FIR-Wavelet-Einheit und zwei Sigma-Delta-Wandlern. Als Schnittstellen sind drei 8 Bit breite parallele Schnittstellen, eine serielle Schnittstelle, eine I²C Schnittstelle und eine induktive Schnittstelle vorhanden. Des Weiteren enthält der Controller zwei 16 Bit Timer, einen Watchdog, einen Interruptcontroller, einen 4 KB ROM und einen 8 KB RAM. Änderungen wurden im Hardware-, wie auch im Software-Bereich vorgenommen. Asynchrone Teile wurden im Prozessor und im Buscontroller beseitigt. Eingefügt wurde ein interner Oszillator. Funktionen des BIOS wurden verbessert, neue Funktionen wurden hinzugefügt.
- Testergebnisse: Erste Testergebnisse zeigen, dass der Chip nicht voll funktionsfähig ist. Der Prozessor scheint zu funktionieren. Eine vollständige Untersuchung des Chips muss noch durchgeführt werden.

Laderegler für Solarsysteme SOLAR2



- Entwurf: Fachhochschule Ulm
Bearbeiter: Thomas Mack, Markus Wiest
Betreuer: Prof. Dipl.-Phys. Gerhard Forster
- Layouterstellung: Fachhochschule Ulm (Mixed Signal-Entwurf)
Analog-Teil: Standardzellen + Full Custom Design
Digital-Teil: Standardzellen
- Technologie: CXZ 0,8 μm CMOS A/D High Voltage, Fa. AMS
- Chipfertigung: Fa. AMS, Österreich, über Europractice
- Herstelldatum: II. Quartal 2002
- Kostenträger: MPC-Gruppe Baden-Württemberg
- Chipdaten: Chipfläche: 2,7 x 1,7 mm²
Gehäuse: LCC 44
Funktionsblöcke: Analogteil: Spannungsregler, 11 Komparatoren, 3 OPV, PWM, 4 bit DA-Wandler
Digitalteil: ca. 150 Gatter, 4 Treiber
- Funktion: Ein bestehender IC (siehe MPC-Workshop Juli 2001) wurde um zusätzliche Funktionen erweitert. Wichtigstes Merkmal ist ein zusätzlicher Steuerausgang, der signalisiert, ob erhöhte Leistungsaufnahme wegen Energieüberschusses möglich ist. Er dient der Ansteuerung von Verbrauchern, die in der Lage sind, einen stetigen Energieverbrauch in einen Kurzzeitverbrauch zu bündeln, z.B. Latenzspeicher-Kühlschränke.

CIS – Chip im Schmuck



- Entwurf: FH Pforzheim
Bearbeiter: D. Ernst, A. Ratz
Betreuer: Prof. Dr.-Ing. F. Kesel
- Layouterstellung: FH Pforzheim, Mixed-Signal-Entwurf
- Technologie: Alcatel Mietec 0.5 μ m CMOS
- Chipfertigung: Europractice, Run 692
- Herstelldatum: Mai 2002
- Kostenträger: MPC-Gruppe Baden-Württemberg
- Chipdaten: Chipgröße: 3,45 mm²
Chipgehäuse: CSOIC 16
Komplexität: ca. 1500 Transistoren
- Funktion: Der CIS-IC (CIS: Chip-Im-Schmuck) wurde entwickelt, um die Integration von Elektronik im Schmuck zu demonstrieren. Der Chip verändert über Pulsweitenmodulation (PWM) die Leuchtstärke von zweifarbigem LEDs (z.B. rot und grün). Die Startwerte der beiden PWMs werden dabei pseudozufällig variiert. Damit ergibt sich ein sich ständig pseudozufällig verändernder Farbverlauf von Mischfarben der Farben rot und grün. Die LEDs werden nur eine kurze Zeit eingeschaltet, um Strom zu sparen. Die Pausen zwischen dem Einschalten der LEDs werden ebenfalls per Pseudozufallsgenerator in ihrer Länge variiert.