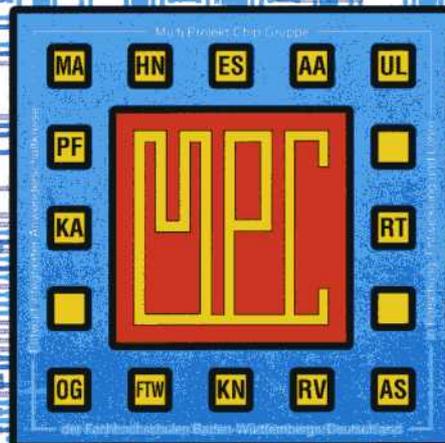


MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Februar 2005

Aalen



MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Februar 2005

Aalen

Cooperating Organization
Solid-State Circuits Society Chapter
IEEE Germany Section



Herausgeber: Fachhochschule Ulm

© 2005 Fachhochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. A. Führer, Fachhochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe)

BADEN - WÜRTTEMBERG

<http://www.mpc.belwue.de>

Fachhochschule Aalen

Prof. Dr. Bartel, Postfach 1728, 73428 Aalen

Tel.: 07361/576-107, Fax: -324, Email: manfred.bartel@fh-aalen.de

Fachhochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen

Tel.: 07431/579-124, Fax: -149, Email: rieger@fh-albsig.de

Fachhochschule Esslingen

Prof. Dr. Kampe, Flandernstr. 101, 73732 Esslingen

Tel.: 0711/397-4221, Fax: -4212, Email: gerald.kampe@fht-esslingen.de

Fachhochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen

Tel.: 07723/920-503, Fax: -610, Email: ruelling@fh-furtwangen.de

Fachhochschule Heilbronn

Prof. Dr. Clauss, Max-Planck-Str. 39, 74081 Heilbronn

Tel.: 07131/504400, Fax: /252470, Email: clauss@fh-heilbronn.de

Fachhochschule Karlsruhe

Prof. Dr. Koblitz, Postfach 2440, 76012 Karlsruhe

Tel.: 0721/925-2238, Fax: -2259, Email: koblitz@fh-karlsruhe.de

Fachhochschule Konstanz

Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz

Tel.: 07531/206-644, Fax: -559, Email: voland@fh-konstanz.de

Fachhochschule Mannheim

Prof. Dr. Albert, Speyerer Str. 4, 68136 Mannheim

Tel.: 0621/2926-351, Fax: -454, Email: g.albert@fh-mannheim.de

Fachhochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg

Tel.: 0781/205-267, Fax: -242, Email: d.jansen@fh-offenburg.de

Fachhochschule Pforzheim

Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim

Tel.: 07321/28-6567, Fax: -6060, Email: kesel@fh-pforzheim.de

Fachhochschule Ravensburg-Weingarten

Prof. Dr. Ludescher, Postfach 1261, 88241 Weingarten

Tel.: 0751/501-9685, Fax: -9876, Email: ludescher@fbe.fh-weingarten.de

Fachhochschule Reutlingen

Prof. Dr. Kreutzer, Federnseestr. 4, 72764 Reutlingen

Tel.: 07121/341-108, Fax: -100, Email: hans.kreutzer@fh-reutlingen.de

Fachhochschule Ulm

Prof. Führer, Postfach 3860, 89028 Ulm

Tel.: 0731/50-28338, Fax: -28363, Email: fuehrer@fh-ulm.de

Inhaltsverzeichnis

Seite

1. Mikroelektronikausbildung an den Fachhochschulen Baden-Württembergs Grußwort zur Einweihung der neuen CAE-Anlagen D. Jansen, FH Offenburg	5
2. Low Voltage Mixer A. Leistner, Atmel Heilbronn H. J. Ng, H. A. Sapotta, FH Karlsruhe	11
3. Implementierung und Benchmarking einer RISC Prozessor Architektur in einem XILINX FPGA T. Roth, FH Ulm	19
4. SOPC-Entwicklung einer netzwerkfähigen Laserscannersteuerung A. Funcke, FH Pforzheim	25
5. Vergleichende Untersuchungen von Mischerkonzepten H. J. Ng, FH Karlsruhe	33
6. Entwicklung einer rechnergestützten Stigmatoransteuerung für die Rasterionenmikroskopie D. Dennis, H. Töpfer, FH Esslingen W. Strohmaier, Uni Tübingen	43
7. Verification and Optimization of Floating-Point Unit in VHDL by IEEE Standard J. Karthick, B. Hoppe, FH Darmstadt	47
8. FHO Standard Cell Library for Digital Designs M. Cunescu, FH Offenburg	51
9. System-on-Chip Solutions for Advanced UMTS Base Stations A. Pascht, Alcatel Stuttgart	57
Gefertigte Bausteine	
10. Lotto V5 F. Baier, D. Jansen, FH Offenburg	71
11. Testchip für die Infrarotsignal-Spektroskopie J.-A. Ruiz, G. Forster, FH Ulm	72
12. FUTEST0401 A. Friesen, V. Lange, A. Bumüller, G. Higelin, FH Furtwangen	73

Mikroelektronikausbildung an den Fachhochschulen Baden-Württembergs, Grußwort zur Einweihung der neuen CAE-Anlagen

Prof. Dr. Dirk Jansen

Hochschule Offenburg, Badstr. 24, 77656 Offenburg

Tel. 0781 205-267, Fax -174, d.jansen@fh-offenburg.de

Schon seit inzwischen 15 Jahren haben sich die für die Mikroelektronik verantwortlichen Laborleiter der Fachhochschulen Baden-Württembergs zu einem Netzwerk unter dem Namen MPC-Gruppe organisiert mit dem Ziel, die Ausbildung im Bereich der Mikroelektronik, also dem Entwurf und der Fertigung von Integrierten Anwenderschaltungen laufend zu aktualisieren.

Ingenieuren in den letzten 15 Jahren fundamental geändert.

Die MPC-Gruppe hat sich von Anfang an das hohe Ziel gesteckt, die notwendigen Einrichtungen zu beschaffen und die Kenntnisse für den Entwurf von Integrierten Schaltungen zu pflegen. Hierzu wurden in den Jahren 1989, 1993, 1996/97 und zuletzt in diesem Jahr erhebliche Investitionen in Entwurfssysteme beantragt, beschafft und in Betrieb genommen, die mit professionellen, in der Industrie und an Universitäten verbreiteten Anlagen mithalten können.

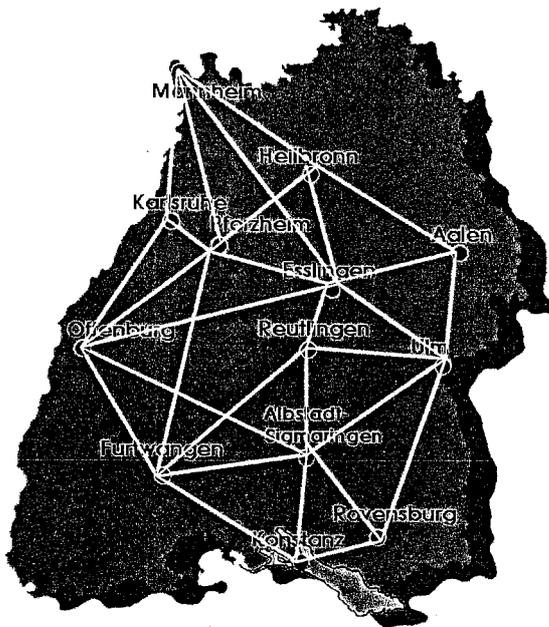


Abb. 1: Netzwerk der MPC-Gruppe in Baden-Württemberg

Wohl in keinem Gebiet der modernen Technik gibt es einen vergleichbar rasanten Fortschritt wie im Bereich der Mikroelektronik. Jedem Bürger ist Mikroelektronik durch die Fortschritte in den Bereichen der Unterhaltungselektronik, dem Mobiltelefon, der Rechnertechnik wie auch der digitalen Kameras heute zu einem selbstverständlichen Gut geworden. Elektronik ist heute Mikroelektronik. Diskrete Schaltungen gibt es in Serienprodukten praktisch nicht mehr. Der Entwurf erfolgt auf Computern. Entsprechend haben sich die Anforderungen an die Ausbildung von

1. Ausstattung mit neuen Servern und Arbeitsplätzen

Das gemeinsam vom Land Baden-Württemberg und dem Bund im Rahmen eines HBF – Antrags in diesem Jahr investierte Volumen ist mit 1,2 Mio. Euro erheblich und unterstreicht damit die Bedeutung, die dieser Technologie zugeordnet wird. So wurden im Jahr 2004 11 Fachhochschulen mit einer modernen Serverausstattung, bestehend aus einem 4-fach SUN Server Cluster (2 SUN FIRE 240, 2 SUN FIRE 210) und angeschalteten Thin Clients (SUN Ray Terminals bzw. PC's) ausgerüstet. Das nach einer europaweiten Ausschreibung von der Fa Circular/Stuttgart gelieferte System ist in nahezu identischer Form inzwischen an 11 Hochschulen Baden-Württembergs installiert.

Das Thin Client-Konzept eignet sich hervorragend für die Installation im Hochschulbereich, da die Arbeitsplatzkosten trotz hoher verfügbarer Systemleistung unvergleichbar niedrig sind (Ca. 1000 Euro pro grafischem Arbeitsplatz), zugleich aber die gesamte Performance eines mittleren SUN Application-Servers bereitgestellt wird. Zugleich ist die Administration vereinfacht, da die Entwurfsprogramme zentral installiert, administriert und gepflegt werden können. Durch zentrale Datenhaltung einschließlich Backup wird die Datensicherheit und Konsistenz erreicht.

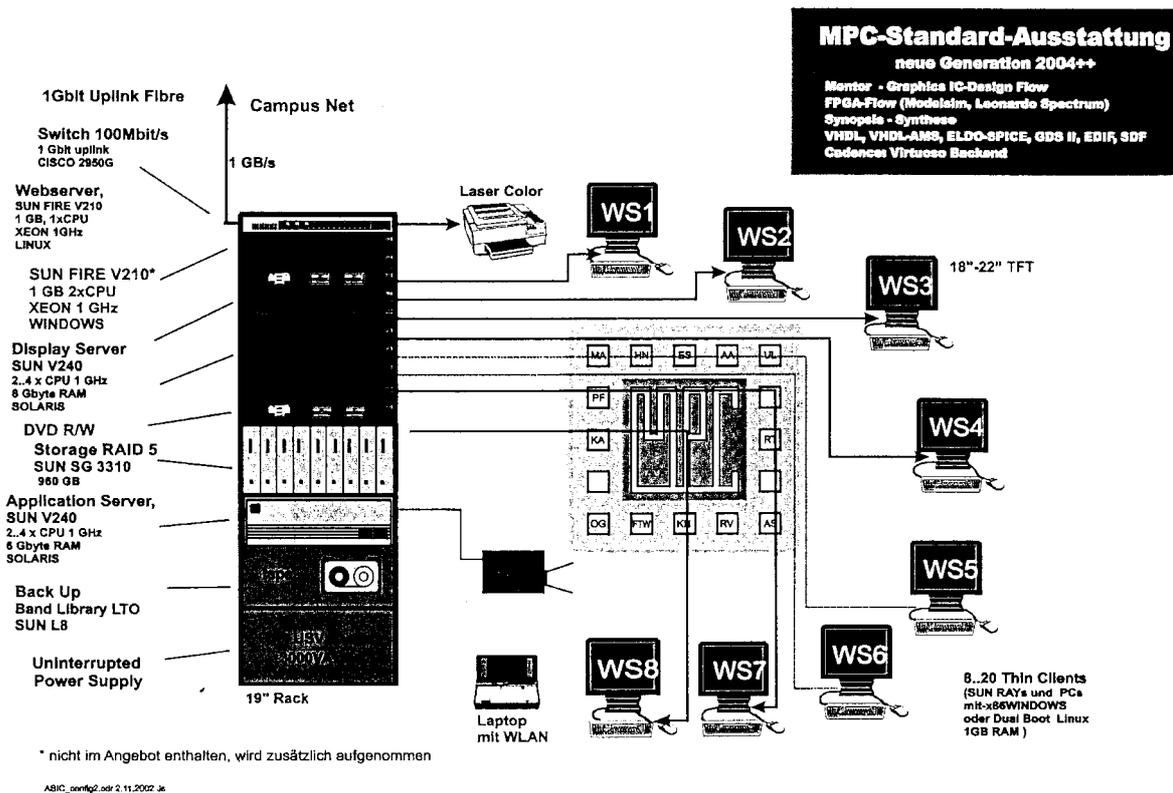


Abb. 2: Standardausstattung der Mikroelektronik-Labors der MPC-Gruppe

Ein weiterer Vorzug des Thin Client-Konzeptes ist, dass alle Clients lüfterlos, d. h. lautlos betrieben werden, was der Arbeitsatmosphäre in den Entwurfs-labors zugute kommt. Der Server, der nur über ein Breitband Ethernet mit den Clients verbunden ist, kann an beliebiger Stelle, z. B. auch im Rechenzentrum oder als Fachbereichsserver aufgestellt werden und bedarf nur selten eines direkten Zuganges. Eine Gbit-LWL-Verbindung sorgt für einen zügigen Datenverkehr zwischen dem Hausnetz und der CAE-Anlage. Thin Client-Konzepte, zunehmend auch in der Industrie zu finden, sind in dieser Art und dem Umfang zum ersten Mal im Hochschulbereich in Baden-Württemberg installiert worden. Erste Erfahrungen in Offenburg bestätigen die Leistungsfähigkeit des Konzeptes.

Eine Besonderheit des Cluster-Konzeptes ist die Einbindung eines X86-Linux Servers und eines Windows Servers, beide vom Typ SUN FIRE 210, in das Cluster, sodass alle 3 Betriebssysteme Solaris, Linux und auch Windows mit den zugehörigen Applikationsprogrammen an jedem SUN Ray Terminal aufgerufen werden können. Damit ist eine sehr hohe Flexibilität bei der Anwendungsentwicklung wie auch der Dokumentation gegeben. In einem Fenster kann

ein Windows Office Programm, z. B. Word geöffnet sein, während gleichzeitig ein auf Solaris basiertes Windows Office Programm, z. B. Word geöffnet Synthese-Tool läuft und vielleicht noch eine Kompilierung unter Linux stattfindet. Die Schnittstellen zwischen allen Betriebssystemen sind installiert und funktionieren reibungslos.

2. Installierte Bibliotheken, Software und Lizenzen

Die MPC-Gruppe konzentriert sich auf die Entwicklung Integrierter Schaltungen sowohl in Digital- als auch Analogtechnik und hat über Europractice Zugriff auf folgende Prozesse:

- Austria Micro Systems (AMS), CMOS Analog/Digital 0.7, 0.5, 0.35µm.
- AMI, CMOS Analog/Digital 0.7, 0.5, 0.35 µm mit 2 Poly/5 Metal.
- UMC, CMOS Analog/Digital 0.5, 0.25, 0.18, 0.12µm, 2 Poly/6 Metal,
- STM, alle Prozesse von STM bis 90 nm (über CMP erreichbar).
- FPGA-Entwicklung auf Altera für Designs und Digital-Prototyping

- Xilinx und Actel,
- Sonderprozesse mit höheren Versorgungsspannungen oder besonderen elektrischen Eigenschaften auf Anfrage.

Für den Entwurf der Schaltungstechnik werden Programmsysteme der Firmen

- Mentor Graphics,
- Cadence,
- Synopsys,
- Xilinx und
- Altera
- Synplify u. a.

eingesetzt. Hiermit ist sowohl ein symbolischer Entwurf (Blockbild, Schaltplan usw.) als auch ein sprachbasierter Entwurf (VHDL, Verilog, System C) im Front End möglich. Im Simulationsbereich stehen sprachbasierte Digitalsimulatoren, wie z. B. MODELSIM zur Verfügung. Für die Logiksynthese werden Synopsys, Leonardo, Precision und spezifische Tools zum Entwurf von FPGA-Schaltungen verwendet. Das ASIC Back End bilden die IC-Station von Mentor Graphics, das entsprechende Tool von Cadence sowie das Tool Encounter (Cadence) zum Entwurf komplexer SOC-IC's. Die weitgehend mit Europractice-Lizenzen betriebenen Programme entsprechen dem in der Industrie vorhandenen professionellen Stand und erlauben die Ausbildung von Studenten an aktuellen Aufgabenstellungen.



Abb. 3: Installierte Anlage an der Hochschule Offenburg

3. Kooperation führt zu Synergieeffekten

Die Kooperation der Fachhochschulen Baden-Württembergs hat inzwischen zu 32 Workshops geführt, die umlaufend an den beteiligten Hochschulen nun schon seit 1989 ohne Unterbrechung in halbjährigem Abstand organisiert werden. Auf diesen eineinhalbtägigen Zusammenkünften, die der Öffentlichkeit zugänglich sind, werden von Mitgliedern eingeladene Industriesprecher und vor allem Studenten über relevante Entwicklungen der Mikroelektronik durchgeführte Projekte und erzielte Ergebnisse berichtet. In dem zusammen mit dem Workshop erscheinenden Veröffentlichungsband werden die gehaltenen Vorträge dargestellt und damit einem breiten Publikum zugänglich gemacht. Seit 2001 wird auf den Workshops ein von der deutschen Sektion Solid-State Circuits Society Chapter IEEE gestifteter Best Paper Award an die beste Studentenarbeit vergeben. Seit dieser Zeit tritt der Workshop auch mit dem SSCS-Logo als kooperierende Organisation in Erscheinung. Die Workshops haben inzwischen bundesweite Anerkennung gefunden, indem Teilnehmer aus anderen Bundesländern, insbesondere Hessen und Bayern ihre Entwicklung vorgestellt und zu einer Ausdehnung der Kooperation und einem gegenseitigen Austausch von Erfahrungen in Lehre und Forschung beigetragen haben.

Die MPC-Gruppe organisiert auch gemeinsame Lehrgänge für die Mitarbeiter, die die Entwurfswerkzeuge einsetzen. Solche Lehrgänge sind gewöhnlich sehr teuer und können aus dem Normaletat nur in Einzelfällen getragen werden. Durch die gemeinsame Organisation können alle Mitarbeiter in einem Gesamtlehrgang zusammengefasst geschult werden. Zu besonderen Themen werden auch Lehrgänge von der Gruppe selbst aufgebaut, z.B. im Jahr 2003 über das Layout von ICs, „Net to Chip“, wo die Mitglieder wesentliche Beiträge selber vortragen. Gleichzeitig führt die gemeinsame Teilnahme am Lehrgang zu einem sozialen Kennenlernen und Austausch unter der Laborassistenten, was wiederum zur gegenseitigen Unterstützung beim Betrieb der komplexen Software-Systeme beiträgt.

Die MPC-Gruppe hat durch Bildung eines Ausschusses den HBFVG-Antrag für die Neubeschaffung der Ausstattung, wie sie schon zuvor dargestellt wurde, durchgeführt. Damit war ein erheblicher Aufwand von der Ausschreibung der Spezifikation der Leistungsanforderungen bis zur Auswahl der Programmlicenzen verbunden. Auch bei Installation und Betrieb ist die gegenseitige Hilfe und Unterstützung der Mitglieder von großem Wert.

Zwischen den MPC-Mitgliedern wird in erheblichem Umfang Lehrmaterial, Chipdaten und sogar Designdetails (IPs) ausgetauscht. In Zukunft ist auch

der Austausch von Studenten in Form von Diplom-/Masterarbeiten angedacht.

Auf gemeinsamen Studienreisen zu internationalen Kongressen wie der DATE und DAC sowie anderen einschlägigen Konferenzen konnten Beziehungen zu weltweit führenden Instituten etabliert werden. Einige Mitglieder der Gruppe haben dadurch Forschungsaufenthalte in Kalifornien, Australien, Japan und auch europäischen Institutionen bzw. Industrieunternehmen durchführen können, die wiederum der Lehre zu Hause zugute kommen. Diese Reisen positionieren die eigene Tätigkeit im internationalen Umfeld und ermöglichen die Ausrichtung an relevanten Inhalten. An dieser Stelle sei noch erwähnt, dass die MPC-Gruppe hier nur einen Zuschuss zu den Reisekosten leistet, der größte Teil wird von den Mitgliedern persönlich aufgebracht.

Im Rahmen dieser Studienreisen konnten auch zahlreiche Universitäten in den USA wie Caltec, U Stanford, UC Berkeley, UC Irvine, UC St. Diego und andere besucht werden wie auch Universitäten in Japan, die erneut eine Lagebestimmung der Leistung unseres deutschen Ausbildungssystems im Fachhochschulbereich ermöglichen. Nicht zuletzt haben diese Reisen zu einer Stärkung des Selbstvertrauens der Mitglieder beigetragen.

Im Rahmen der MPC-Gruppe sind auch mehrere Lehrbücher entstanden, zuletzt das EDA-Handbuch, herausgegeben vom Autor und zustande gekommen durch die Beiträge von 17 Autoren, überwiegend Kollegen der MPC-Gruppe. Das 744 Seiten starke Buch wurde inzwischen ins Englische übersetzt und ist unter dem Titel EDA-Handbook 2003 bei Cluwer erschienen. Derzeit wird an einer chinesischen Übersetzung gearbeitet, die noch in 2005 erscheinen wird.

Die MPC-Gruppe betreibt zudem eine eigene Webseite

www.mpc.belwue.de,

die von der Mitgliedshochschule FH Aalen betreut wird. Über diese Webseite werden aktuelle Workshops angezeigt, interne Informationen ausgetauscht sowie Ergebnisse dargestellt. Damit ist die MPC-Gruppe auch international als Ansprechpartner präsent.

4. Ansprechpartner für die Industrie

Der MPC-Gruppe liegt ein Netzwerkgedanke zugrunde, wie er heute auch in anderen Forschungsorganisationen gefördert wird. Die Mitglieder sind über ganz Baden-Württemberg räumlich verteilt und können in ihrer Region jeweils als Ansprechpartner für an Mikroelektronik interessierten Unternehmen angesehen werden. Da naturgemäß

nicht jeder Kollege alles wissen kann, können trotzdem durch Weiterreichen der Anforderungen an entsprechende Kollegen auch technologisch anspruchsvolle Fragen beantwortet werden. Hierzu trägt bei, dass letztlich in jeder Fachhochschule gewisse Schwerpunkte, z. B. Analogtechnik in der Hochschule Mannheim, Digitaltechnik in der Hochschule Offenburg usw. gepflegt werden, wobei das Gesamtwissen der Gruppe in jeder „Filiale“ abrufbar ist. Die MPC-Gruppe ist damit auch in der Lage, umfangreiche Industrieprojekte durchzuführen, ist drittmittelfähig und weist eine flexible Kapazität auf. Durch die authentische Erfahrung mit inzwischen über 100 durchgeführten IC-Integrationen können insbesondere kleine und mittlere Unternehmen hier hervorragend bedient werden. Allerdings muss eingeschränkt werden, dass die an den Hochschulen vorhandenen Forschungs- und Lehrlicenzen der Entwurfswerkzeuge gewöhnlich die Bearbeitung von direkten Industrieaufträgen nicht zulassen. Es ist auch nicht beabsichtigt, die MPC-Gruppe zu einem Netz von kommerziellen Designcentern weiterzuentwickeln. Dies würde dem Primat der Lehre in der Studentenausbildung entgegenstehen. Trotzdem ist ein Kontakt mit der MPC-Gruppe ein guter Tipp für KMU's, die den Zugang zu Silizium über Europractice suchen.

5. Was wird nun damit alles entworfen?

Die MPC-Gruppe hat Zugang zu Silizium über die Technologien, die von Europractice bzw. CMP als Broker für Universitätsdesigns angeboten werden. Damit stehen kalkulierbare Kosten pro mm² Silizium für die Prototypenfertigung zur Verfügung, die es ermöglichen, auch Studentendesigns zu fertigen. Bei der Komplexität heutiger Design Flows ist der Nachweis der Funktionalität durch real gefertigtes Silizium extrem wichtig und kann nicht durch Simulation und auch nicht durch programmierbare Bausteine wirklich ersetzt werden. An den Hochschulen wurden mehr als 100 erfolgreiche Designs entworfen, gefertigt und erprobt, von denen hier nur eine Auswahl skizziert werden soll. So wurden an der Hochschule Offenburg SystemOnChip-Designs mit Mikroprozessor, Analog- und Digitalschnittstellen und Signalprozessoren realisiert, die inzwischen auch in reale Produkte im Bereich der Medizintechnik eingesetzt werden. An der FH Ulm entstanden komplexe BiCMOS-Bausteine aus dem Smart Power Bereich, die in erheblichem Umfang Analog- und Digitaltechnik vereinen und inzwischen ebenfalls Serienreife erreicht haben.

Andere Hochschulen arbeiten an komplexen Bausteinen für die Solartechnologie und zahlreichen Sonderanwendungen, die hier nicht alle aufgeführt werden können. Es ist festzuhalten, dass es sich fast ausschließlich um Studentendesigns handelt. Ich denke,

es gibt keinen besseren Ausweis unserer Arbeit in der
MPC-Gruppe als diese Ergebnisse.

Low Voltage Mixer

Andreas Leistner/Herman Jalli Ng

Atmel, Theresienstraße 2, 74072 Heilbronn, Email andreas.leistner@hno.atmel.com

Prof. Hans A. Sapotta

FH Karlsruhe, Moltketraße 30, 76133 Karlsruhe, Email hans.sapotta@fh-karlsruhe.de

Abstract

The Gilbert Cell mixer is widespread in today's electronic communication circuits. However the voltage requirement of this circuit will exceed that available in future technologies. This paper presents novel alternatives to the Gilbert Cell mixer which can be used with supply voltages down to 0.7Volts. These concepts show great promise and may even yield greater dynamic range than that available from the Gilbert Cell.

1. Einleitung, Motivation

Moderne drahtlose Kommunikation ist ohne das Superhet-Prinzip nicht denkbar. Wann immer ein Empfänger in Betrieb genommen wird, macht man von diesem Prinzip Gebrauch. Hauptbestandteil dieses Prinzips ist die Mischstufe, die es erlaubt, ein Signal in einen anderen Frequenzbereich umzusetzen. Zu Beginn der Entwicklung waren dies additive Mischstufen (der Begriff ist ein Widerspruch in sich, wie z.B. auch quadratischer Kreis), danach Mehrgitter- und Beam-Deflection-Röhren. Seit der Vorstellung der Gilbert-Zelle und dem gleichzeitigen Vordringen hochfrequenter integrierter Schaltungen werden nahezu alle integrierten Mischer nach diesem Prinzip hergestellt. Alternative Mischerkonzepte sind entweder nicht vorhanden oder werden aus Gründen der Designsicherheit und des Termindrucks erst gar nicht in Erwägung gezogen. Die Systemspezifikationen sind in aller Regel auch so formuliert, dass sie mit der Gilbert-Zelle erreicht werden können.

Auf dem Gebiet der Halbleitertechnologien gibt es jedoch Veränderungen, die das Prinzip Gilbert-Zelle in Frage stellen können. Moderne CMOS-Technologien weisen eine Oxiddicke von wenigen Nanometern auf. Damit beträgt die Durchschlagsfestigkeit nur noch wenige Volt mit ständig sinkender Tendenz. Die

geringere Spannung ist für digitale Schaltungen eine Grundvoraussetzung, da nur so die Leistungs-aufnahme in Regionen gedrückt werden kann, die für den Einsatz hochintegrierter System notwendig sind. Auf der anderen Seite stellt die Gilbert-Zelle Anforderungen an die minimale Spannungsfestigkeit der Technologie. Somit erscheint der Augenblick absehbar, an dem das Prinzip Gilbert-Zelle aus technologischen Gründen in Frage gestellt werden muss.

Die Übertragung von Daten durch den Äther belegt Ressourcen, die nur einmal verfügbar sind. An einem Ort der Welt ist das elektromagnetische Spektrum nur ein einziges Mal vergebbar. Optimierungen sind möglich, häufig aber auch vergeblich. Von daher ist es sinnvoll, Breitbanddienste ausschließlich von und zu mobilen Teilnehmern zuzulassen. Der typische Empfänger ist portabel, wodurch sich Einschränkungen im Energieverbrauch und in den verfügbaren Spannungen ergeben. Mobilität bedingt Empfängerkonzepte mit geringer Betriebsspannung, damit das Gewicht der Batterien die Mobilität nicht einschränkt. Eine Lithium-Zelle mit 3V stellt die Referenz dar.

Heutzutage werden Hochfrequenzsysteme in eine Umgebung hinein geplant, deren Senderdichte ständig steigt. Daher wachsen Intermodulationsprobleme überproportional an. Die Verwendung von Digitaltechnik mit geringeren Anforderungen an das Signal-zu-Störverhältnis schafft kurzfristig eine Entspannung dieser Situation, langfristig ist jedoch mit weiter steigenden Anforderungen an die Großsignalfestigkeit zu rechnen. Dabei ist die Gilbert-Zelle durchaus diesen Anforderungen gewachsen. Durch eine Emitter-Gegenkopplung kann sie enorme Werte für den Intercept-Punkt erreichen. Allerdings fällt an den Emitter-Widerständen auch Spannung ab, so dass gleichzeitig mit steigendem Intercept-Punkt auch der Gleichspannungsbedarf der Gilbert-Zelle steigt.

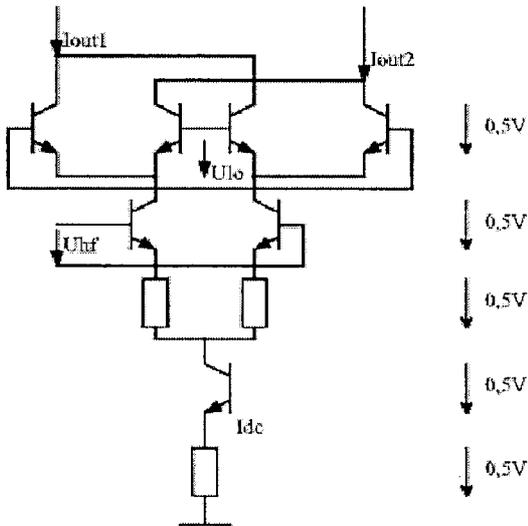


Bild 1: Die Gilbert-Zelle mit Stromgegenkopplung

2. Die Gilbert-Zelle

In Bild 1 sind die Verhältnisse für eine Gilbert-Zelle in Bipolartechnik mit 0,5V Spannungsabfall an den Emitter-Widerständen gezeigt. Diese Mischstufen werden am Empfängereingang hochwertiger Konzepte verwendet. Um das Rauschen der Stromquelle einzuschränken, ist ein Emitterwiderstand gegen Masse mit ca. 0,5V Spannungsabfall erforderlich. Der Stromquellentransistor arbeitet mit einer Kollektor-Emitter-Spannung von 0,5V noch nicht in Sättigung. An den Emitter-Gegenkopplungswiderständen des Differenzverstärkers wird eine Stromgegenkopplung eingestellt. Der Spannungsabfall an diesen Emitterwiderständen stellt eine wichtige Parametrisierung des Gilbert-Mischers dar. Einfache Konzepte ohne Gegenkopplung erreichen einen Intercept-Punkt 3. Ordnung von $IP3=97\text{dB}\mu$. Mit steigendem Spannungsabfall am Emitterwiderstand steigt die Großsignalfestigkeit, aber auch das Rauschen der Mischstufe an. Wenn man den Differenzverstärker und die darauf aufgesetzte Schaltstufe mit einer Kollektor-Emitter-Spannung von jeweils 0,5V betreibt, ergibt sich der Gleichspannungsbedarf der gesamten Gilbert-Zelle zu 2,5V.

Dies mag von Fall zu Fall unterschiedlich sein. Wenn das Eingangssignal immer symmetrisch anliegt, spielt das Rauschen der Stromquelle keine Rolle. Dann kann der Spannungsabfall am Emitter des Stromquellentransistors auf 100mV reduziert werden. Wenn man die gesamte Stufe faltet, ist es möglich, mit deutlich weniger Gleichspannung auszukommen. In diesem Fall werden die Schalttransistoren durch PNP-

oder PMOS-Transistoren gebildet. Der Phantasie der Entwickler sind an dieser Stelle keine Grenzen gesetzt. Immer wird man bei Sonderkonstruktionen mit Nachteilen leben müssen.

3. Die Kafemix-Schaltung

Eine Alternative zum Gilbert-Mischer stellt die Kafemix-Schaltung dar. Kafemix steht für Karlsruher FET-Mischer. Die Schaltung ist auf der MPC-Tagung in Freudenstadt vor einem Jahr vorgestellt worden. Das Prinzip soll daher hier nur kurz wiederholt werden, zumal an gleichem Ort von Herrn Ng eine vergleichende Untersuchung verschiedener Mischer-konzepte vorgestellt wird.

Beim Kafemix geht man von einem MOS-Transistor im Widerstandsbereich aus. Dessen Drain-Strom berechnet sich elementar nach der Gleichung

$$I_D = B_0 \cdot \left(U_{GS} - U_{TH} - \frac{U_{DS}}{2} \right) \cdot U_{DS} \quad \text{Gl. 1}$$

Verschaltet man 2 identische Transistoren und bildet die Differenz der Drain-Ströme bei identischer Drain-Source-Spannung, so erhält man

$$I_{D1} - I_{D2} = B_0 \cdot (U_{GS1} - U_{GS2}) \cdot U_{DS} \quad \text{Gl. 2}$$

Betrachtet man U_{DS} und $(U_{GS1} - U_{GS2})$ als Eingangsgrößen, so findet eine ideale Multiplikation beider Eingangsgrößen statt. Die genannten Bedingungen kann man einfach erfüllen, wenn über den beiden MOS-Transistoren zwei Emitterfolger angeordnet sind. Bild 2 zeigt die entsprechende Schaltung, wobei hier noch ein 4-Quadranten-Mischer durch kreuzweise Verschaltung von 2 mal 2 MOS-Transistoren entstanden ist.

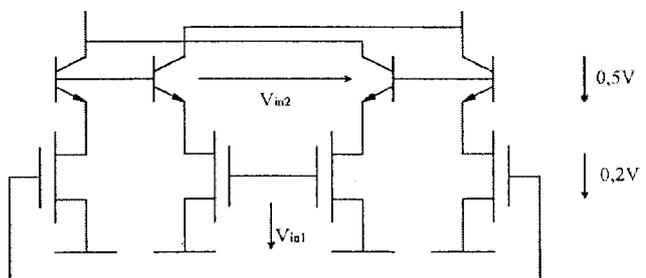


Bild 2: Kafemix-Schaltung als 4-Quadranten-Mischer

Die Kafemix-Schaltung hat gegenüber der Gilbert-Zelle 2 Nachteile. Zum einen ist eine Parametrisierung über Emitterwiderstände nicht möglich. Eine Parametrisierung kann nur über den eingestellten

Strom und die Gleichtakt-Spannungen erfolgen. Zum anderen werden Gleichtakt-Eingangssignale durch die Schaltung nicht perfekt unterdrückt. Im Gegensatz dazu weist die Gilbert-Zelle eine sehr gute Common-Mode-Rejection auf. Dies ist von Bedeutung, wenn das HF-Eingangssignal asymmetrisch vorliegt.

Dem gegenüber sind die Vorteile geringeres Rauschen und höherer Intercept-Punkt. Die Dynamik ist in jedem Fall der Gilbert-Zelle überlegen. Der Gleichspannungsbedarf der Schaltung liegt bei ca. 0,2V für den MOS-Transistor und 0,5V für den Bipolartransistor, in Summe also nur 0,7V gegenüber den 2,5V der Gilbert-Zelle.

4. Die Hefemix-Schaltung

Es hat sich gezeigt, dass die Kafemix-Schaltung insbesondere dann sehr gute Ergebnisse erwarten lässt, wenn das Oszillator-Signal in die Basen der Transistoren eingespeist wird. Das Oszillator-Signal sollte nicht, wie man nach obiger Rechnung annehmen möchte, cosinusförmig, sondern etwa rechteckförmig sein. In diesem Fall kann man, ohne dass die Funktion der Schaltung eingeschränkt wird, 2 der 4 MOS-Transistoren zusammenfassen. In Bild 3 ist die entsprechende Schaltung gezeigt, die den Namen Hefemix (Heilbronner FET-Mischer) tragen soll. Die Hefemix-Schaltung ist der Kafemix-Schaltung in nahezu allen Punkten ebenbürtig.

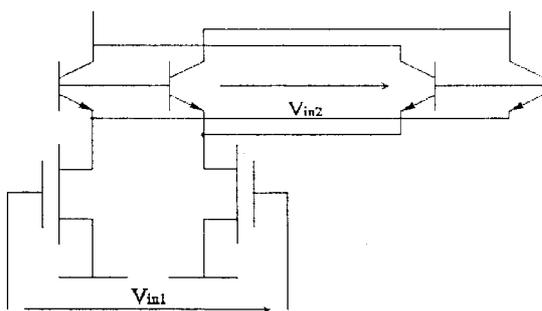


Bild 3: Hefemix-Schaltung

5. Der Schaltmischer

Dieses Konzept geht von einem einfachen Differenzverstärker aus. Dessen Betriebsstrom sei aber kein konstanter Gleichstrom, sondern werde im Rhythmus der Oszillatorfrequenz ein- und ausgeschaltet. In Bild 4 sind die Verhältnisse erläutert. An den Kollektoren der Verstärkertransistoren finden sich die zu erwartenden Oszillogramme.

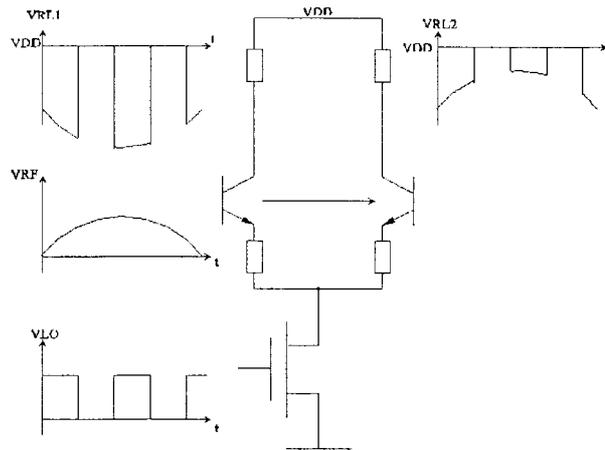


Bild 4: geschalteter Differenzverstärker

Dieses Konzept allein wurde bereits als Mischer eingesetzt, hat aber den Nachteil, dass im Ausgangsspektrum das RF-Signal in voller Höhe anzutreffen ist. Erst, wenn man einen zweiten Differenzverstärker, dessen Stromquelle in Gegenphase angesteuert wird, kreuzweise am Ausgang hinzuschaltet, erhält man die Schaltung nach Bild 5. In das Bild sind zusätzlich die Oszillogramme an den Basen und den Kollektoren eingezeichnet. Man erkennt den idealen Mischvorgang.

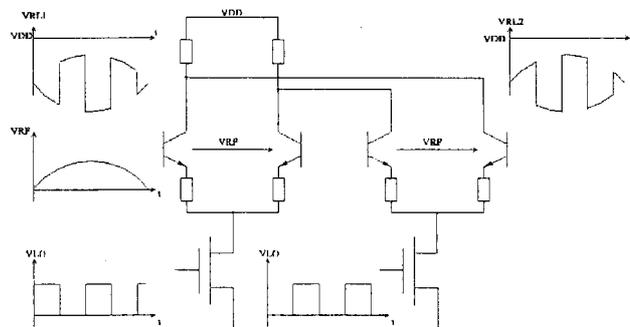


Bild 5: Schaltmischer

In der Simulation zeigte sich, dass dieses Konzept in der Praxis auf geringe Oszillatorfrequenzen beschränkt ist. Grund sind die Diffusionskapazitäten zwischen den Basen und den Emittoren der Differenzverstärkertransistoren, die das geforderte Abschalten der Transistoren nicht in der für Hochfrequenzschaltungen üblichen Zeit zulassen. Abhilfe schaffen zusätzliche PMOS-Transistoren, die, ebenfalls im Rhythmus der Oszillatorfrequenz geschaltet, das Emitterpotenzial der Differenzverstärker in den Phasen, in den der Strom Null sein soll, gegen VDD ziehen. Diese Maßnahme ist in BICMOS-Schaltungen problemlos möglich und erzwingt einen streng rechteckförmigen Stromverlauf, wie er für ein einwandfreies Funktionieren der Schaltung erforderlich ist. Das zugehörige Schaltbild zeigt Bild 6.

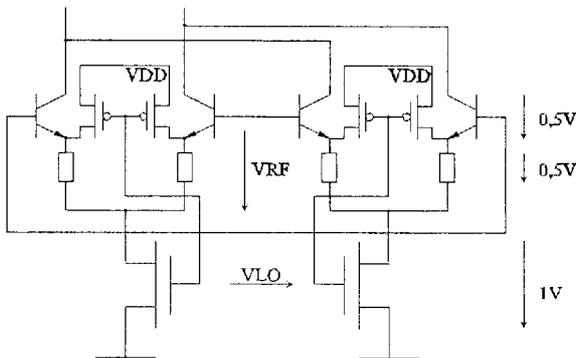


Bild 6: Schaltmischer mit zusätzlichen PMOS-Transistoren zur Entladungen der BE-Diffusionskapazitäten

Der Schaltmischer benötigt eine Versorgungsspannung von minimal 2V, wenn man wie bei der Gilbert-Zelle 1Volt für die Stromquelle, 0,5V für die Gegenkopplung des Differenzverstärkers und weitere 0,5V für die Transistoren im Differenzverstärker vorsieht. Damit erreicht er nicht die Werte eines Kafemix oder Hefemix, man spart jedoch gegenüber der Gilbert-Zelle 0,5V ein, die manchmal ein Entwicklungsziel erreichbar erscheinen lassen können.

Der Schaltmischer gestattet wie die Gilbert-Zelle eine Parametrisierung über die Emitterwiderstände und ist auch wie diese mit Eintakt-Signalen ohne Einschränkung ansteuerbar.

Die Quadramix-Schaltung

In den bisherigen Konzepten wurde versucht, die Mischung bzw. die Multiplikation in einer einzelnen Stufe vorzunehmen. Einen grundsätzlich anderen Ansatz sucht die Quadramix-Schaltung. In dieser Schaltung müssen das Oszillator- und das RF-Signal zunächst vorbehandelt werden. In einer Vorstufe müssen Summen und Differenzen der Eingangssignale gebildet werden. Hierzu sind verschiedene Konzepte denkbar. In der eigentlichen Mischstufe werden diese Signale dann 4 MOS-Transistoren zugeführt, die im quadratischen Bereich ihrer Kennlinie arbeiten (im Pentodenbereich, im Abschnürbereich, im Sättigungsbereich). In Bild 7 ist die prinzipielle Verschaltung dieser 4 Transistoren gezeigt.

Ein einzelner Transistor folgt im Pentodenbereich der

$$\text{Gleichung } I_D = \frac{B_0}{2} (U_{GS} - U_{TH})^2.$$

Der Pentodenbereich gilt für NMOS-Transistoren, wenn folgende Randbedingungen erfüllt sind:

$$U_{GS} - U_{TH} \geq 0 \text{ und } U_{GD} \leq U_{TH}.$$

Alle 4 Transistoren in Bild 7 seien identisch. D.h. sie haben eine identische Geometrie, einen identischen Transkonduktanzfaktor B_0 und eine identische Schwellspannung U_{TH} . An den Gates liegt jeweils die Summe aus 3 Spannungen. Eine Gleichspannung V_{DC} liegt identisch an allen 4 Gates an. Sie legt den Arbeitspunkt fest. Transistor Q1 erhält zusätzlich am Gate die Summe aus V_{in1} und V_{in2} , Transistor Q2 erhält zusätzlich am Gate die Summe aus V_{in1} und $-V_{in2}$, Transistor Q3 erhält zusätzlich die Summe aus $-V_{in1}$ und $-V_{in2}$ und Transistor Q4 zusätzlich die Summe aus $-V_{in1}$ und V_{in2} . Die Drain-Anschlüsse sind derart verschaltet, dass sich 2 Ausgangsknoten ergeben. Durch einen Ausgangsknoten fließt der Strom I_1 , der die Summe aus I_{D1} und I_{D3} darstellt. Durch den zweiten Ausgangsknoten fließt der Strom I_2 , der die Summe aus I_{D2} und I_{D4} darstellt.

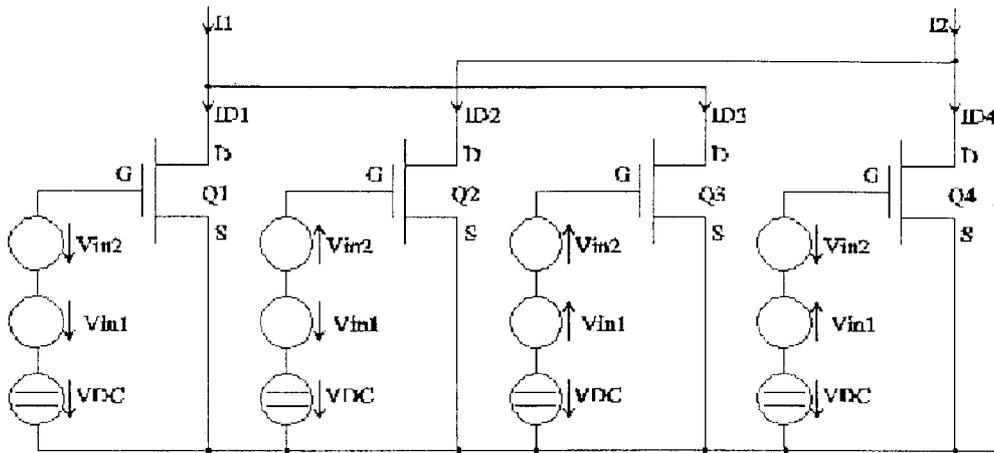


Bild 7: Quadramix-Schaltung (Prinzip)

Man kann dann folgende 4 Gleichungen für die 4 Drain-Ströme aufstellen:

$$I_{D1} = \frac{B_0}{2} (V_{in1} + V_{in2} + V_{DC} - U_{TH})^2 = \frac{B_0}{2} [(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_{D2} = \frac{B_0}{2} (V_{in1} - V_{in2} + V_{DC} - U_{TH})^2 = \frac{B_0}{2} [(V_{in1} - V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_{D3} = \frac{B_0}{2} (-V_{in1} - V_{in2} + V_{DC} - U_{TH})^2 = \frac{B_0}{2} [-(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_{D4} = \frac{B_0}{2} (-V_{in1} + V_{in2} + V_{DC} - U_{TH})^2 = \frac{B_0}{2} [-(V_{in1} - V_{in2}) + (V_{DC} - U_{TH})]^2$$

Bildet man die Summe aus I_{D1} und I_{D3} , dann erhält man I_1 :

$$I_1 = I_{D1} + I_{D3} = \frac{B_0}{2} [(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2 + \frac{B_0}{2} [-(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_1 = B_0 [(V_{in1} + V_{in2})^2 + (V_{DC} - U_{TH})^2]$$

Gleichermaßen kann man auch einen Term für den Ausgangsstrom I_2 als Summe von I_{D2} und I_{D4} erhalten:

$$I_2 = I_{D2} + I_{D4} = \frac{B_0}{2} [(V_{in1} - V_{in2}) + (V_{DC} - U_{TH})]^2 + \frac{B_0}{2} [-(V_{in1} - V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_2 = B_0 [(V_{in1} - V_{in2})^2 + (V_{DC} - U_{TH})^2]$$

Wenn man als Ausgangsgröße die Differenz der Ströme I_1 und I_2 bildet, erhält man

$$I_1 - I_2 = B_0 [(V_{in1} + V_{in2})^2 + (V_{DC} - U_{TH})^2] - B_0 [(V_{in1} - V_{in2})^2 + (V_{DC} - U_{TH})^2]$$

Dieser Ausdruck vereinfacht sich durch einfache mathematische Umformung in

$$I_1 - I_2 = 4B_0 V_{in1} V_{in2}$$

Somit ist die Ausgangsgröße direkt proportional zu dem Produkt der beiden Eingangsgrößen, eine formal korrekte Multiplikation ist erfolgt.

In konkreten Schaltungsausführungen gibt es eine Vielzahl von Möglichkeiten, wie die Summen- und Differenzbildung an den Gates durchgeführt werden kann.

Von eher geringerer praktischer Bedeutung dürfte die Schaltung nach Bild 8 sein, die 3 Symmetrierübertrager verwendet. Diese Schaltung dient auch mehr der Verdeutlichung des Prinzips.

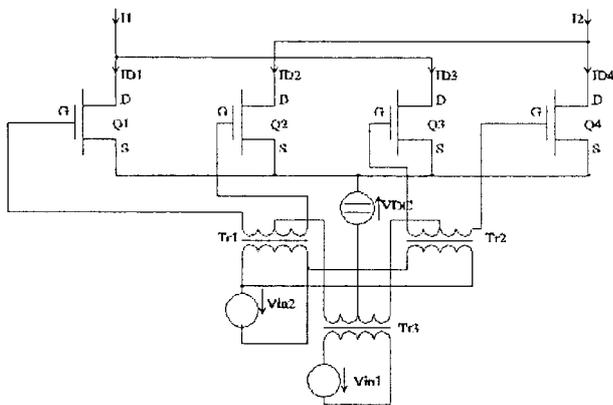


Bild 8: Erste Realisierungsmöglichkeit des Quadramix

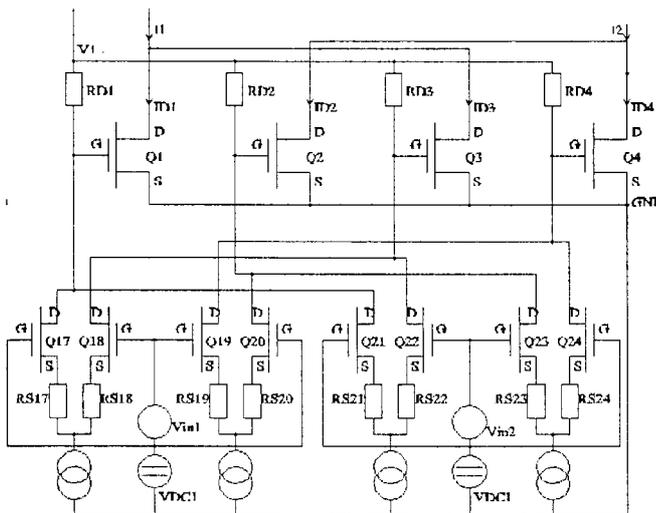


Bild 9: Quadramix mit Summen- und Differenzbildung in Differenzverstärkern

Da Symmetrierübertrager bislang noch nicht erfolgreich auf Silizium integriert wurden, dürfte eine Schaltung nach Bild 9 eher von Bedeutung sein. Die Summen- und Differenzbildung erfolgt hier in 4 Differenzverstärkern.

Die Großsignalfestigkeit und das Rauschen wird im Wesentlichen durch diese 4 Differenzverstärker bestimmt. Diese können wie bei der Gilbert-Zelle durch Emitterwiderstände RS17..RS24 mit allen Vor- und Nachteilen linearisiert werden.

Das in Bild 7 gezeigte Prinzip setzt voraus, dass die Eingangsspannungen V_{in1} und V_{in2} als positive und als negative Signale verfügbar sind. Dies ist nicht zwingend erforderlich, wenn man eine Schaltung nach Bild 10 realisiert.

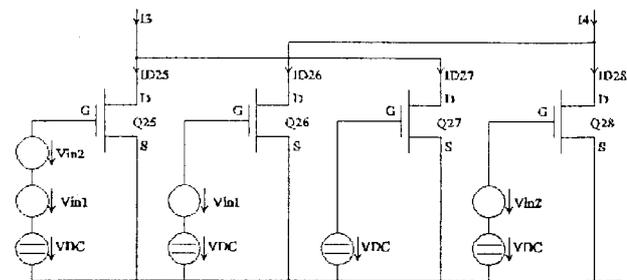


Bild 10: Quadramix in vereinfachter Ausführung

Auch hier kann man die Drain-Ströme in Abhängigkeit der anliegenden Spannungen darstellen:

$$I_{D25} = \frac{B_0}{2} (V_{in1} + V_{in2} + V_{DC} - U_{TH})^2 =$$

$$= \frac{B_0}{2} [(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2$$

$$I_{D26} = \frac{B_0}{2} (V_{in1} + V_{DC} - U_{TH})^2 =$$

$$= \frac{B_0}{2} [V_{in1} + (V_{DC} - U_{TH})]^2$$

$$I_{D27} = \frac{B_0}{2} (V_{DC} - U_{TH})^2 = \frac{B_0}{2} (V_{DC} - U_{TH})^2$$

$$I_{D28} = \frac{B_0}{2} (V_{in2} + V_{DC} - U_{TH})^2 =$$

$$= \frac{B_0}{2} [V_{in2} + (V_{DC} - U_{TH})]^2$$

Bildet man die Summe aus I_{D25} und I_{D27} , dann erhält man I_3 :

$$I_3 = I_{D25} + I_{D27} = \frac{B_0}{2} [(V_{in1} + V_{in2}) + (V_{DC} - U_{TH})]^2 + \frac{B_0}{2} (V_{DC} - U_{TH})^2$$

Gleichermaßen kann man auch einen Term für den Ausgangsstrom I_4 als Summe von I_{D26} und I_{D28} erhalten:

$$I_4 = I_{D26} + I_{D28} = \frac{B_0}{2} [V_{in1} + (V_{DC} - U_{TH})]^2 + \frac{B_0}{2} [V_{in2} + (V_{DC} - U_{TH})]^2$$

Auch hier kann man die Differenz aus I_3 und I_4 bilden und erhält:

$$I_3 - I_4 = \frac{B_0}{2} \left[(V_{in1} + V_{in2})^2 + 2(V_{DC} - U_{TH})^2 \dots \right] - \frac{B_0}{2} \left[V_{in1}^2 + 2(V_{DC} - U_{TH})^2 + 2V_{in1}(V_{DC} - U_{TH}) + \dots \right]$$

Rechnet man an dieser Stelle weiter, so sieht man, dass sich alle Terme bis auf die multiplikativen Mischterme aufheben:

$$I_3 - I_4 = B_0 \cdot V_{in1} \cdot V_{in2}$$

Die Schaltung nach Bild 10 hat also die ein Viertel der Steilheit gegenüber der Schaltung nach Bild 7.

6. Analog-Multiplizierer nach Bult und Wallinga

Gelegentlich wurden auch weitere analoge Multiplizierschaltungen veröffentlicht, die das Potenzial haben, eine Alternative zur Gilbert-Zelle darzustellen. Ein Beispiel aus dem Jahr 1986 ist K. Bult und H. Wallinga: A Four-Quadrant Analog Multiplier. IEEE Journal of Solid State Circuits, Vol. SC-21, No.3, June 1986. Auch diese Schaltung verwendet MOS-Transistoren im quadratischen Kennlinienbereich, also im Pentodenbereich.

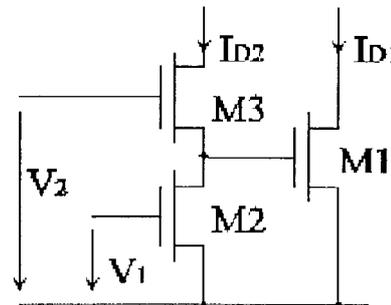


Bild 11: Grundsaltung des Multiplizierers nach Bult und Wallinga

In Bild 11 ist die Grundsaltung gezeigt, die aus 3 Transistoren im Pentodenbereich besteht. Man sieht einen ersten Zweig, in dem die NMOS-Transistoren M2 und M3 in Serie geschaltet sind, sowie einen zweiten Zweig mit dem NMOS-Transistor M1. An den Gates von M2 und M3 liegen die Eingangsspannungen V_1 und V_2 . Der Strom durch M2 und M3 muss identisch sein, also stellt sich die Gate-Source-Spannung von M1 als Variable so ein, dass die obige Bedingung erfüllt ist. Wenn man die Differenz der Drain-Ströme $I_{D1} - I_{D2}$ bildet, so erhält man

$$I_{D1} - I_{D2} = \frac{B_0}{2} (V_2^2 - 2U_{TH}V_2 + 4U_{TH}V_1 - 2 \cdot V_1 \cdot V_2)$$

Der letzte Summand in der Klammer weckt das Interesse des Entwicklers. Schaltet man 2 derartige Stufen zusammen, so erhält man die Schaltung nach Bild 12.

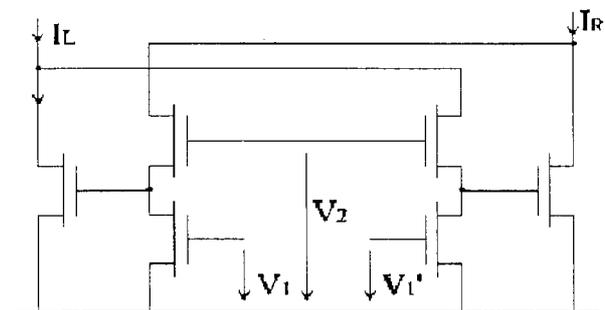


Bild 12: 2-Quadranten-Multiplizierer nach Bult und Wallinga

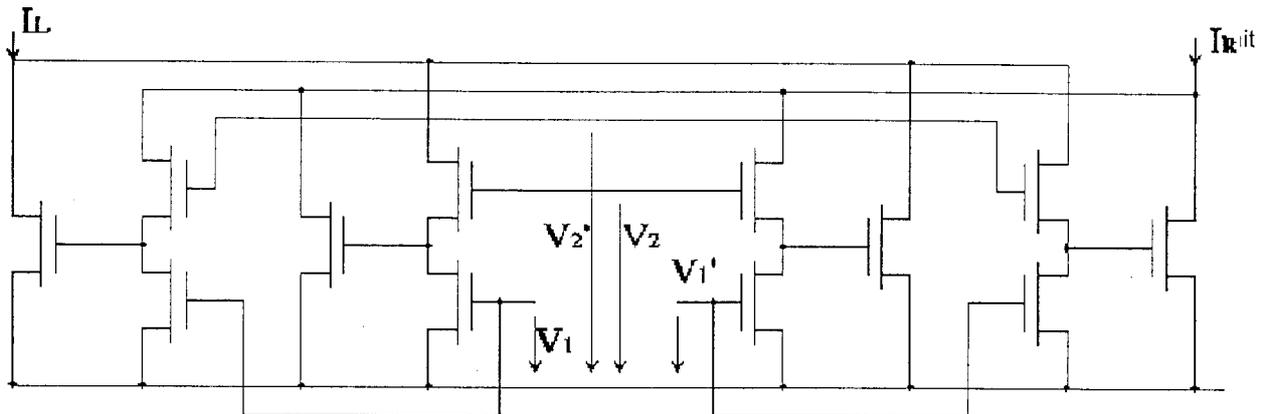


Bild 13: 4-Quadranten-Multiplizierer nach Bult und Wallinga

In dieser Schaltung ist bereits ein 2-Quadranten-Multiplizierer erreicht. Die Differenz der Ausgangsströme liefert das Ergebnis

$$I_L - I_R = B_0 \cdot (V_2 - 2U_T) \cdot (V_1' - V_1)$$

Um aus dieser Schaltung einen 4-Quadranten-Multiplizierer zu entwickeln, muss man diese ein weiteres Mal duplizieren und die Ausgänge ineinander verschachteln. Man erhält die Schaltung nach Bild 13. Diese Schaltung stellt einen idealen Multiplizierer dar, solange die Bedingungen für den quadratischen Kennlinienbereich erfüllt sind. Man erhält

$$I_L - I_R = B_0 \cdot (V_2' - V_2) \cdot (V_1' - V_1)$$

In der oben angegebenen Veröffentlichung wurde die Schaltung mit PMOS-Transistoren realisiert. Dies war notwendig, um den Body-Effekt, also der Schwellspannungsverschiebung für Source-Spannungen größer als 0V, ausschließen zu können. Die Schaltung war nicht für HF-Anwendungen gedacht, weswegen man Gate-Längen von 20µm realisiert hat. Die Ergebnisse sind nichtsdestoweniger interessant.

realisierbar. Dass diese Mischer in der Dynamik einer Gilbert-Zelle sogar noch überlegen sind, zeigt der in dieser Konferenz noch vorgestellte Vortrag von Herrn Ng.

7. Zusammenfassung

Die Gilbert-Zelle stellt heutzutage den nahezu ausschließlich verwendeten Mischer dar. Allerdings ist die Zeit absehbar, in der diese Schaltung wegen der Spannungsanforderung und wegen der geringen Spannungsfestigkeit moderner Technologien nicht mehr realisiert werden kann. Diese Veröffentlichung präsentiert einen Überblick über Alternativen zur Gilbert-Zelle. Diese Schaltungen sind z.T. bisher

Implementierung und Benchmarking einer RISC Prozessor

Architektur in einem XILINX FPGA

Thomas Roth

FH Ulm, Eberhard-Finckh-Strasse 11

Telefon: 0731 / 50 – 28338 (Prof. Führer)

Diese Diplomarbeit soll die Eignung eines RISC Prozessorkerns für die Steuerung der Blickrichtung einer Active Phased Array Antenne ermitteln.

Anhand von Beam Steering Algorithmen soll die Leistungsfähigkeit ermittelt werden. Diese Diplomarbeit soll den Ressourcenbedarf im Hinblick auf parallele Rechenarchitekturen abschätzen.

Das entworfene Design wurde auf einem Xilinx Virtex-II Pro FPGA, untergebracht auf einem Evaluation Board der Firma Memec Insight, implementiert.

1. Motivation und Aufgabenstellung

1.1. Motivation

Die Entwicklung von Bordradaren für Kampfflugzeuge stellt enorme Anforderungen bezüglich der Leistungsfähigkeit, des Gewichts und Volumens, der Leistungsaufnahme aus dem Bordnetz des Flugzeuges, der Zuverlässigkeit und Redundanz der wesentlichen Funktionen.

Um in zukünftigen Bordradaren diesen Anforderungen nachzukommen, werden neue Bordradare als Phased Array Radare aufgebaut sein. Hierbei handelt es sich um Radare mit elektronisch geschwenkten Strahlformen. Eine Phased Array Antenne besteht aus hunderten, sogar tausenden von Strahlerelementen. In den HF-Zuleitungen zu den Strahlerelementen befinden sich elektronisch ansteuerbare Dämpfglieder und Phasenschieber, um Amplitude und Phase der Strahlerelemente individuell einstellen zu können.

1.2. Aufgabenstellung

Die realzeitige Berechnung der Amplituden- und Phasenwerte für die hochminiaturisierten Sende- und Empfangsmodule einer Active Phase Array Antenne stellt demnach hohe Anforderungen an die verwendeten Recheneinheiten.

Die Diplomarbeit soll für die eben genannte Anwendung eine Bewertung der Eignung eines Soft IP Prozessorkerns ermöglichen.

1.2.1 Aufgabe

- Festlegung einer Basisarchitektur unter Verwendung des MicroBlaze Soft IP Prozessorkerns von Xilinx
- Implementierung des Architekturentwurfs auf einem Xilinx Virtex FPGA unter Verwendung der Xilinx und Mentor Graphics Entwicklungsumgebung
- Nachweis der Prozessorbasisfunktion durch Simulation oder Erprobung auf einem Evaluation Board
- Erstellung von Benchmark Programmen unter „C“ anhand ausgewählter Beam Steering Algorithmen zur Ermittlung der Leistungsfähigkeit.
- Ermittlung des Ressourcenbedarfs im Hinblick auf die Realisierbarkeit von parallelen Recheneinheiten.

2. Anforderungen

2.1. Der Algorithmus

Bei der Berechnung der Amplituden- und Phasenwerte für die Strahlerelemente werden sehr viele Eingangsdaten benötigt. Der größte Teil dieser Daten ist in Tabellenform abgelegt. Für die Tabellen muss also ausreichend Speicher zur Verfügung gestellt werden.

Um den Aufwand für die Tabellenerzeugung gering zu halten, wurden nur Daten für fünf Strahlerelemente erstellt. Wenn mehr Elemente berechnet werden sollen, muss die Userapplikation entsprechend oft wiederholt werden.

Um die benötigten Werte aus den Tabellen auslesen zu können, ist eine kleine Anzahl von Eingangsparametern notwendig. Für diese Parameter muss ebenfalls Speicherplatz bereit stehen.

Die Rechnung setzt sich aus einfachen Rechenoperationen zusammen.

2.2. Spezifikationen

- Der Algorithmus muss für alle Strahlerelemente der Antenne berechnet werden. In der Regel hat eine Phased Array Antenne 1000-2000 solcher Elemente. Die Berechnung wird auf mehrere Prozessoren aufgeteilt.
- Die Amplituden- und Phasenwerte müssen für den Sende- und Empfangsfall berechnet werden.
- In der derzeitigen Version des Radars übernehmen eine Anzahl parallel arbeitender DSPs die Berechnung der Amplituden- und Phasenwerte. Die Dauer der Berechnung für ein einzelnes RE beträgt ungefähr 4µs. Die in der Diplomarbeit untersuchte Lösung sollte diese Zeit nicht überschreiten.

3. Entwicklungsumgebung

3.1. Der MicroBlaze Prozessorkern

Der MicroBlaze 32-Bit Soft IP Prozessor Core ist ein RISC Prozessor der Firma Xilinx und ist für die Xilinx Virtex FPGA-Serie optimiert.

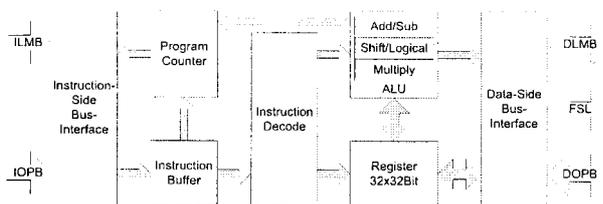


Abbildung 3-1: MicroBlaze Aufbau

- Mit der Arithmetic Logic Unit (ALU) werden die Rechenoperationen durchgeführt. Ab der Xilinx Virtex-II FPGA Serie können Hardware Multiplier verwendet werden. Hierbei handelt es sich um bereits hardwaretechnisch realisierte Komponenten im FPGA. Für Schiebeoperationen kann ein Barrel-Shifter verwendet werden.
- Der MicroBlaze Prozessor besitzt 32 frei verfügbare 32-Bit Register. Hinzu kommen noch zwei spezielle Register, der Program Counter und das Maschinenstatusregister.
- Der MicroBlaze Prozessor ist gemäß der Harvard-Architektur aufgebaut. Es existieren folgende Busse:
 - ILMB: Instruction Local Memory Bus
 - DLMB: Data Local Memory Bus
 - IOPB: Instruction On-Chip Peripheral Bus
 - DOPB: Data On-Chip Peripheral Bus
 Zudem existiert noch das Fast Simplex Link.

Hierbei handelt es sich um eine sehr schnelle FIFO-basierte Schnittstelle.

- Der MicroBlaze Prozessor besitzt eine Single Issue Pipeline, das heißt, nachdem die Pipeline gefüllt ist, wird pro Takt ein Befehl verarbeitet.
- Der MicroBlaze Prozessor ist ein Big-Endian Prozessor.
- Für die Ansteuerung von Peripheriekomponenten existieren für den MicroBlaze Prozessor eine ganze Reihe von IP Cores wie zum Beispiel Speicher-Controller, UART oder Ethernet-Controller.
- Der Prozessor erreicht im Dhystone-Benchmarktest auf einem Virtex-II Pro FPGA von Xilinx mit einer Taktfrequenz von 150MHz bei optimalen Voraussetzungen und einer Prozessor-Standalone-Applikation 125 D-MIPS.

3.2. Evaluation Board

Als Testplattform wird ein Evaluation Board der Firma Memec Insight verwendet.

Auf diesem Board ist folgendes Xilinx Virtex-II Pro FPGA bestückt: XC2VP4-6FG456CES

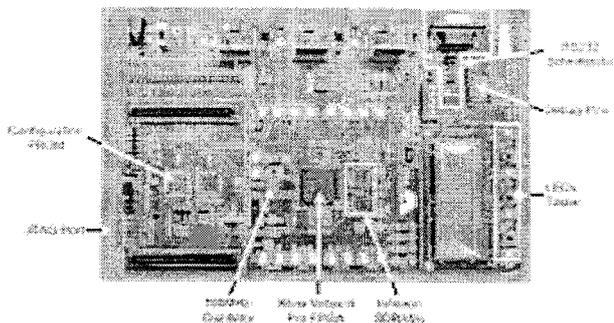


Abbildung 3-2: Evaluation Board

3.3. Software

Für die Konfiguration und den Entwurf des MicroBlaze Prozessors steht das Embedded Development Kit (= EDK) 6.2i von Xilinx zur Verfügung. Weitere benötigte IP Cores können mit den Makrogeneratoren von Xilinx erstellt werden (Core Generator und Architecture Wizard).

Für die Implementierung wird der HDL-Designer 2004 von Mentor Graphics verwendet. Die Simulation erfolgt mit ModelSim von Model Technology.

Für die Synthese wird das Tool Precision von Mentor Graphics verwendet. Das Routing auf dem FPGA und der Download des Designs ins FPGA werden mittels der ISE 6.2i bzw. 6.3i Toolsammlung von Xilinx durchgeführt.

4. Architekturdentwurf und Implementierung

4.1. Architekturdentwurf

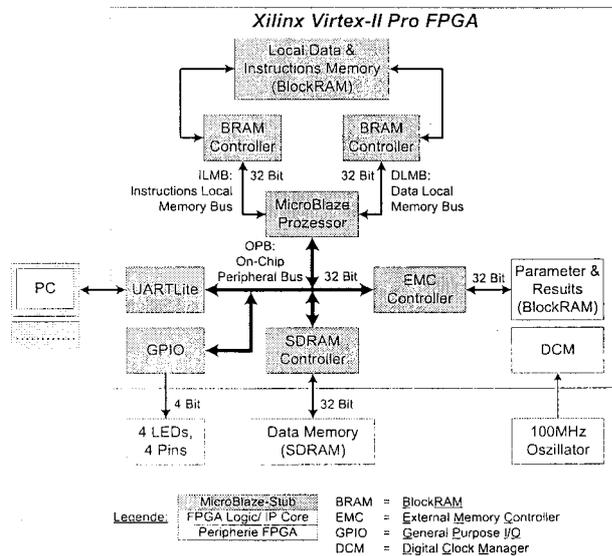


Abbildung 4-1: Architekturdentwurf

Abbildung 4-1 zeigt den implementierten Architekturdentwurf.

Das MicroBlaze Prozessor-Subsystem wird mit MicroBlaze-Stub bezeichnet.

Für das Instructions und Local Data Memory werden acht BRAMs verwendet. Diese Größe entspricht 16KB. Die BRAMs sind am schnellen Instructions bzw. Data Local Memory Bus angeschlossen. Der MicroBlaze Prozessor spricht diesen Speicherbereich über zwei BRAM-Controller an.

Am Peripheriebus (OPB) des MicroBlaze-Prozessors sind folgende IP-Cores angeschlossen:

- SDRAM: Auf dem Evaluation Board befinden sich zwei SDRAMs. In den SDRAMs werden die Tabellen abgelegt. Die Ansteuerung der SDRAMs erfolgt über einen SDRAM-Controller.
- EMC: Die Eingangparameter werden mit den Ergebnissen in einem Single-Port BRAM der Konfiguration 512 x 32 Bit abgespeichert. Die Ergebnisse sollen für eine beliebige Instanz außerhalb des MicroBlaze-Stubs verfügbar sein. Dies ist mit einem BRAM-Controller nicht möglich. Dieses Problem wird durch einen EMC-Controller, einen universellen Speicher-Controller, behoben.
- UARTLite: Über den UARTLite wird eine Verbindung zur seriellen Schnittstelle eines

PCs hergestellt. Die Kommunikation findet mit dem Programm Hyperterminal von Microsoft statt.

Über diesen Core erfolgt der Download der Tabellen ins SDRAM und der Eingangsparameter in das Parameter & Results BRAM.

- GPIO: Der GPIO ist ein universell einsetzbarer IP Core mit variabler Datenbreite. Im implementierten Entwurf wird er ausschließlich für Debug-Zwecke verwendet. Er steuert vier LEDs und vier Pins einer Stiftleiste auf dem Evaluation Board an. Über die Pins und ein Oszilloskop wird die Ablaufdauer des Algorithmus gemessen.

- DCM: Die Taktfrequenz des Prozessors soll vorerst 80MHz betragen und erst später erhöht werden. Auf dem Evaluation Board befindet sich ein 100MHz-Oszillator. Mit dem DCM wird dieser Takt in den 80MHz-Takt konvertiert. Außerdem stellt der DCM eine minimale, gleiche Verzögerungszeit der Taktsignale zu allen Komponenten sicher.

Die Taktverteilung ist in Abbildung 4-1 aus Gründen der Übersicht nicht dargestellt.

Um einen möglichst hohen Datendurchsatz zu erzielen, sind sämtliche Busse des Designs 32 Bit breit.

4.2. Das implementierte Design

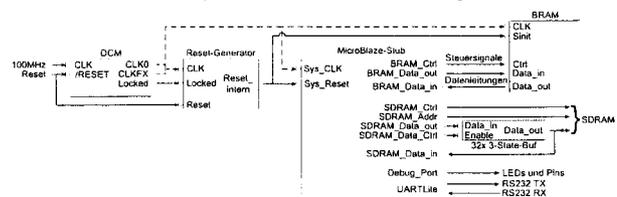


Abbildung 4-2: Design

Der DCM versorgt das gesamte Design mit der gewählten Taktrate. Am CLK0-Ausgang stehen die 100MHz des Eingangs zur Verfügung, am CLKFX-Ausgang die generierten 80MHz. Je nachdem welche Taktrate verwendet werden soll, muss der entsprechende Ausgang angeschlossen werden. Über den Reset-Eingang kann der DCM zurückgesetzt werden. Wenn der DCM eingeschwingen ist, wird das Locked-Signal gesetzt.

Der Reset-Generator stellt einen definierten Start des MicroBlaze-Stubs sicher. So lange das Locked-Signal nicht gesetzt oder der Reset-Taster betätigt ist, wird der Stub im Reset gehalten. Wenn anschließend der

Reset-Taster nicht betätigt und das Locked-Signal gesetzt ist, wird der Reset noch 255 Takte verzögert. Erst dann startet das System.

Das interne Reset-Signal setzt über den Sinit-Eingang die Speicherzellen des BRAMs auf logisch „0“.

Beim Anschluss der Adressleitungen des BRAMs muss beachtet werden, dass der MicroBlaze ein Big Endian Prozessor ist. Diese Problematik wird durch einen VHDL-Konvertierungsblock gelöst, der in Abbildung 4-2 nicht dargestellt ist.

Die Big-Endian Problematik muss ebenfalls bei der Zuweisung der Adressleitungen des SDRAMs in der ucf-Datei beachtet werden.

Beim Datenbus des SDRAMs handelt es sich um einen bidirektionalen Bus. Um ein Gegeneinanderreiben der Ausgänge des MicroBlaze Prozessors und des SDRAMs zu vermeiden, müssen bei den Datenleitungen explizit 3-State-Buffer implementiert werden. Dies geschieht durch den Block 32 x 3-State-Buf.

4.3. Der implementierte Algorithmus

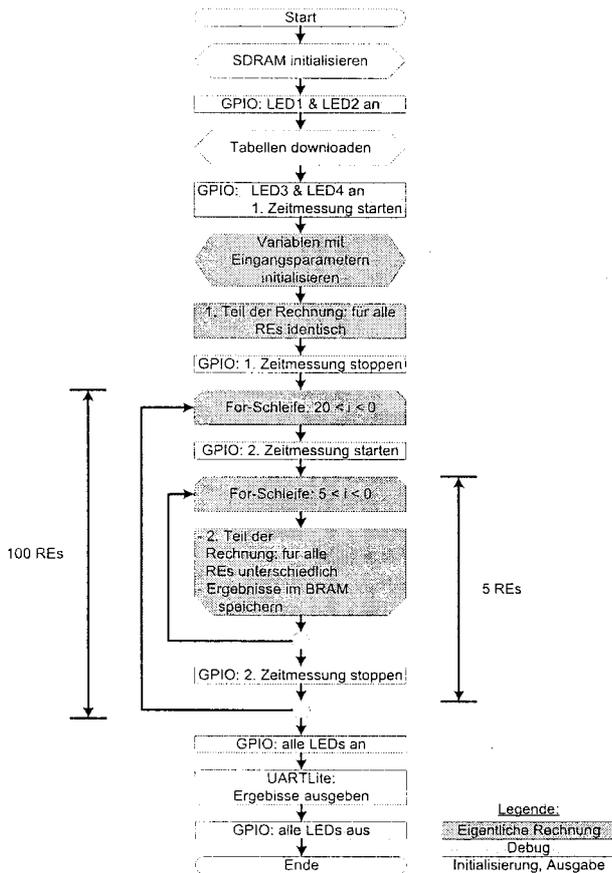


Abbildung 4-3: Ablaufdiagramm Algorithmus

Beim Start des Programms werden alle Speicherzellen des SDRAMs mit logisch „0“ initialisiert. Danach werden über den GPIO-Port LED1 und LED2 angesteuert.

Anschließend müssen die Tabellen über den UARTLite ins SDRAM geladen werden. LED3 und LED4 leuchten.

Über den GPIO-Port werden Pins gesetzt. Mittels dieser Signale wird über ein Oszilloskop die Ablaufdauer des Algorithmus gemessen.

Als erstes müssen die Eingangsparameter aus dem Parameter und Results BRAM gelesen werden. Bei der Berechnung gibt es einen Teil, der unabhängig vom RE und somit konstant für den eingestellten Antennenmodus ist. Dieser Teil wird einmalig berechnet und in einem Zwischenergebnis gespeichert.

Die Dauer der beiden eben beschriebenen Vorgänge wird über den GPIO-Port gemessen (= 1. Zeitmessung).

Die Amplituden- und Phasenwerte werden für 100 Strahlerelemente berechnet. Da aber nur Tabellendaten für fünf Strahlerelemente abgelegt sind, muss die Berechnung für fünf Strahlerelemente 20 Mal wiederholt werden.

Über den GPIO-Port wird die Dauer für die Berechnung der Werte für fünf Strahlerelemente gemessen (= 2. Zeitmessung).

Wenn die Berechnung beendet ist, leuchten alle vier LEDs.

Anschließend werden die Ergebnisse zur Verifikation über den UARTLite ausgegeben.

Das Programm ist nun beendet und es erlöschen alle LEDs. Die Userapplikation kann durch Betätigen des Reset-Tasters auf dem Evaluation Board erneut ausgeführt werden.

5. Integration und Verifikation

5.1. Die Testbench

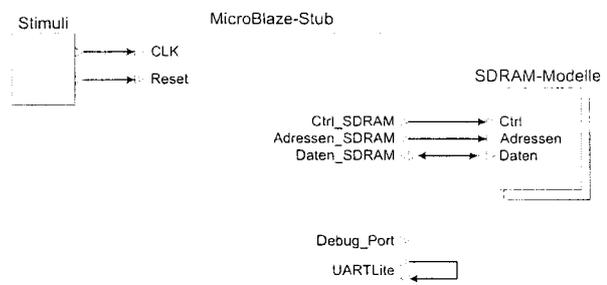


Abbildung 5-1: Testbench

Der Stimuli-Block stellt einen 100MHz-Takt und einen Resetimpuls zur Verfügung.

Für die SDRAMs auf dem Evaluation Board werden entsprechende SDRAM-Simulationsmodelle des Herstellers verwendet.

Um den UARTLite simulieren zu können, wird der Sendeausgang mit dem Empfangsausgang verbunden. Die Daten, die gesendet werden, werden wieder empfangen.

Für die Simulation der restliche IP Cores sind keine weiteren Modifikationen erforderlich.

5.2. Verhaltens- und Timing Simulation

Während der Simulation werden nur kleine Testprogramme verwendet, da umfangreiche Programme sehr zeitintensiv werden.

Die verschiedenen IP Cores können beim Entwurf sehr vielseitig konfiguriert werden. Mit der Simulation soll nur die Basisfunktion der Cores überprüft werden.

Für alle verwendeten IP Cores wurde mit kleinen Testprogrammen die Verhaltenssimulation durchgeführt.

Die Timing Simulation wurde für alle IP Cores außer dem EMC-Controller durchgeführt. Bei der Synthese verändern sich alle internen Signalnamen. Aus der Vielzahl der Signale war es mit vertretbarem Aufwand nicht mehr möglich, die entsprechenden Signale zu bestimmen. Aus diesem Grund wurde auf eine Timing Simulation des EMC-Controllers verzichtet.

5.3. Hardware Implementation

Auf dem Evaluation Board wurden kleine Testprogramme ausgeführt, um Funktionen, die beim implementierten Algorithmus benötigt werden, zu testen.

5.4. Test des Algorithmus

Mittels eines Microsoft Excel-Sheets wurden die Ergebnisse der Rechnung ermittelt. In einer Debug-Version der Softwareapplikation werden sämtliche Tabellen, Zwischenergebnisse und Endergebnisse über das Programm Hyperterminal von Microsoft ausgegeben. Die Ausgaben wurden mit diesem Excel-Sheet verifiziert.

6. Ergebnisse und Zusammenfassung

6.1. Zeitbedarf Algorithmus

Frequenz	Zeitmessung 1	Zeitmessung 2	Gesamtzeit pro SE
80MHz	3,274µs	17,416µs	3,516µs
100MHz	2,619µs	13,942µs	2,815µs

SE = Strahlerelement

Die Zeitpunkte für die Zeitmessung 1 bzw. 2 können Abbildung 4-3 entnommen werden.

Die Dauer für die Berechnung, die für alle Strahlerelemente nur einmal durchgeführt wird (= Zeitmessung 1), teilt sich auf die Gesamtanzahl der Strahlerelemente (= 100) auf.

Um eine Gesamtzeit für die Berechnung von Amplituden- und Phasenwert für ein Strahlerelement zu erhalten, muss das Ergebnis der zweiten Zeitmessung durch die Anzahl der gemessenen Strahlerelemente (= fünf) geteilt werden.

Die Erhöhung der Frequenz um 20% hat die Gesamtzeit für die Berechnung pro Strahlerelement wie erwartet um 20% gesenkt.

6.2. Ressourcenbedarf

6.2.1 Ressourcenbedarf des derzeitigen Designs

Ressource	Gesamtbedarf	Verbrauch
Pinanzahl	72 von 248	29%
BRAMs	9 von 28	32%
Slices	1244 von 3008	41%
Multipller	3 von 28	10%
DCM	1 von 4	25%

Die Daten sind dem Map Report File entnommen.

Der begrenzende Faktor für eine weitere Anwendung sind die Slices und somit auch die zur Verfügung stehenden CLBs. Sie haben den höchsten prozentualen Verbrauch.

Die implementierte Softwareapplikation belegt 6,3KB der 16KB zur Verfügung stehenden BRAMs. Dies entspricht ungefähr 39%. Für weiteren Quellcode steht noch ausreichend Speicherplatz bereit.

6.2.2 Ressourcenbedarf von 5 MicroBlaze Prozessoren

Die nachfolgende Tabelle soll den Ressourcenbedarf einer zukünftigen Anwendung mit fünf MicroBlaze Prozessoren in einem FPGA und die in Frage kommenden Xilinx FPGAs abschätzen.

Einige IP Cores werden in einer zukünftigen Applikation nicht mehr bzw. im kompletten Design nur ein einziges Mal benötigt.

Dafür müssen Ressourcen für weitere Komponenten eingeplant werden. Die Werte in der Tabelle korrelieren deshalb nicht mit den Angaben der Tabelle in Kapitel 6.2.1.

FPGA	Package	Pins	Slices	BRAMs	Multiplier	DCMs
5 MicroBlaze-Applikationen		350	6220	45	15	1
XC2VP4	FG256	140	3.008	29	28	4
	FG456	248				
	FG672	348				
XC2VP7	FG456	248	4.928	44	44	4
	FF672	396				
	FF896	396				
XC2VP20	FG676	404	9.280	88	88	8
	FF896	556				
	FF1152	564				
XC2VP30	FG676	416	13.896	136	136	8
	FF896	556				
	FF1152	644				
XC2VP40	FG676	416	18.392	192	192	8
	FF1152	692				
	FF1148	804				
XC2VP50	FF1152	692	23.616	232	232	8
	FF1148	812				
	FF1517	852				

In der obigen Tabelle sind nur Xilinx FPGAs der Serie Virtex-II Pro aufgeführt. Es existieren noch weitere kleinere sowie größere FPGAs dieser Serie.

Die grau eingefärbten FPGAs eignen sich nicht für die Anwendung. Im Minimum muss für die geforderte Anwendung ein XC2VP20-FPGA verwendet werden. Um ausreichend Ressourcen für weitere Komponenten, wie zum Beispiel eine PCI-Schnittstelle, zur Verfügung zu haben, wird eines der beiden folgenden FPGAs favorisiert: XC2VP30 oder XC2VP40.

Der letzte FPGA-Typ in der Tabelle ist nach dem derzeitigen Stand für die Anwendung schon etwas überdimensioniert.

6.3. Optimierungsmöglichkeiten

Eine erste Optimierungsmöglichkeit besteht im Anschluss des BRAMs für die Eingangsparameter und Ergebnisse. Bisher ist es am langsamen OPB-Bus angeschlossen. Laut Memec Insight kann hier auf jeden Fall noch optimiert werden. Eine alternative Anschlussmöglichkeit, zum Beispiel der Anschluss an

das Fast Simplex Link, sollte noch genauer untersucht werden (siehe Kapitel 3.1).

Beim SDRAM-Speicher für die Tabellen könnte ebenfalls noch optimiert werden. Es könnten die fast doppelt so schnellen DDR SDRAMs eingesetzt werden. Auch hierfür gibt es bereits in der EDK-Software frei verfügbare entsprechende Controller-Cores.

Schlussendlich kann auch die Taktfrequenz noch weiter erhöht werden. Allerdings gab die EDK-Software bei einer höheren Frequenz als 100MHz eine Fehlermeldung aus. Auf eine Nachfrage bei Memec Insight wurde als Ursache angegeben, dass auf dem Evaluation Board ein 100MHz-Oszillator bestückt ist und die EDK-Software die Applikation auf das gewählte Evaluation Board ausrichtet. Die Frequenz könnte in der ucf-Datei soweit erhöht werden, bis beim Place & Route-Vorgang Fehler gemeldet werden. Eine höhere Frequenz als 100MHz wurde bisher allerdings noch nicht getestet.

6.4. Fazit

Die Diplomarbeit hat gezeigt, dass die erstellte Applikation für die Steuerung der Blickrichtung eines Active Phased Array Bordradars eingesetzt werden kann. Die angefertigte Applikation erfüllt die geforderten Geschwindigkeitsvorgaben. Die Berechnung des Amplituden- und Phasenwertes für ein RE sollte nicht länger als 4µs dauern (siehe Kapitel 2.2). Bei einer Taktrate von 100MHz und einer Gesamtanzahl der REs von 100 betrug die Berechnung 2,81µs. Die Vorgabe wird also um rund 30% unterschritten. Bezüglich der Geschwindigkeit besteht sogar noch Optimierungspotential.

Beim derzeitigen Ressourcenbedarf ist es ohne Probleme möglich, eine parallele Rechnerarchitektur, bestehend aus fünf MicroBlaze-Prozessoren, in einem FPGA aufzubauen.

7. Referenzen

- [1] Roth, T: Implementierung und Benchmarking einer RISC Prozessor Architektur in einem FPGA zur Steuerung der Blickrichtung einer Active Phased Array Antenne, Diplomarbeit an der FH Ulm, durchgeführt bei der EADS Deutschland GmbH Ulm, 2004/5

SOPC-Entwicklung einer netzwerkfähigen Laserscannersteuerung

Andreas Funcke
FH-Pforzheim, Tiefenbronnerstr. 65
Telefon: 07231 28-6567 (Prof. Dr.-Ing. Frank Kesel)

Im Rahmen einer Diplomarbeit wurde ein FPGA basierendes SOPC („System On a Programmable Chip“) entworfen. Die Hardware dient zur Steuerung eines Laserscanners, der in diesem Fall für Showlaser verwendet wird. Die Daten für die Ansteuerung der Scanner werden über Ethernet zugeführt. Das SOPC beinhaltet mehrere fertige IPs („Intellectual Property“) als auch eine eigene Entwicklung für den Ausgleich geometrischer Verzerrungen. Ziel der Arbeit war es eine fertige Hardware inkl. FPGA Konfiguration und Firmware für den Soft-Prozessor Nios II der Firma Altera [7] zu entwickeln.

Anlegen eines Stroms im Bereich von max. 90° mechanisch gedreht und lenken somit einen auf den Spiegel treffenden Laserstrahl im Bereich von 180° ab. Dieser Bereich wird auch als Scannwinkel bezeichnet.

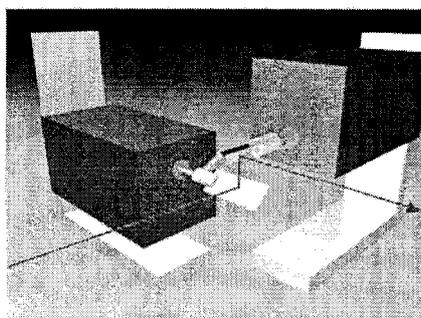


Bild 1.1: Laserscanner

1 Einführung

1.1 Showlasersysteme

Grundsätzlich gibt es zwei verschiedene Arten von Lasershows, zum einen die Beamshow und zum anderen die Grafikshow. Bei der Beamshow wird der eigentliche Laserstrahl zum Effekt. Durch den Einsatz von Nebel wird der Strahl im Raum sichtbar gemacht und die Effekte, bzw. die gescannten Figuren, sind dreidimensional im Raum zu sehen. Dadurch wird dem Publikum das Gefühl gegeben „mittendrin“ zu sein im Lasershowgeschehen. Im Gegensatz dazu steht die Grafikshow. Sie wird nahezu ausschließlich mit Scannern (siehe Kapitel 1.2) realisiert. Die Laserstrahlen werden nicht wie bei der Beamshow in den Raum projiziert sondern auf eine Projektionsoberfläche (z.B. Leinwand). Die Zeichnungen sind aufwendig gestaltet und werden meistens in Form von ganzen Trickfilmen dem Publikum vorgeführt.

Für die Ablenkung des Laserstrahls sowohl in X- als auch in Y-Richtung werden zwei einzelne Galvanometer benötigt, die im Winkel von 90° zueinander angeordnet werden, d.h. die Spiegel müssen im Winkel von 90° zueinander stehen. Ein solches System aus zwei Galvanometern wird als Scanner bezeichnet (siehe Bild 1.1, Quelle: [12]).

Die Spiegel auf der Galvanometerachse bewegen sich so schnell, dass das menschliche Auge nicht mehr einen einzelnen Strahl im Raum bzw. einen einzelnen Punkt auf der Leinwand sieht, sondern Flächen und Figuren. Eine Grafik besteht aus einzelnen Punkten, die nacheinander angefahren werden. Wenn alle Punkte mehr als 50-mal pro Sekunde dargestellt werden, entsteht ein für das menschliche Auge nahezu flimmerfreies Bild.

1.2 Laserscanner

Zu Ablenkung eines Laserstrahls werden so genannte Scanner verwendet. Diese nutzt man bei Showlasersystemen, um animierte Bilder und Raumprojektionen dem Publikum zu zeigen. Ein Scanner besteht aus zwei einzelnen Galvanometern. Die Funktion eines Galvanometers entspricht im Wesentlichen der eines Messinstrumentes. Die auf der Achse befestigten Spiegel werden durch

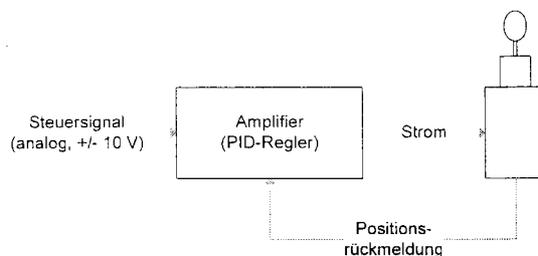


Bild 1.2: Blockschaltbild einer Galvanometeransteuerung (Closed-Loop)

Die Positionierung der Spiegel übernimmt eine Ansterelektronik, die auch als Amp (engl. Amplifier = Verstärker) bezeichnet wird. Die Aufgabe der Elektronik ist es das schwache analoge Steuersignal zu verstärken, um damit die Galvanometer entsprechend der Eingangsspannung auszulenken. Heutige Systeme arbeiten nach dem Closed-Loop Verfahren, d.h. die Position der Spiegel wird mit einem PID Regler eingestellt (siehe Bild 1.2).

1.3 Steuerungen

Alle elektronischen oder elektromechanischen Komponenten einer Showlaseranlage müssen gesteuert werden. Für einen Scanner ist jeweils ein analoges Signal für X und Y notwendig. Die Generierung der Steuersignale unterliegt verschiedenen Systemkonzepten.

Die einfachste Möglichkeit ist die Verwendung eines Stand-Alone Abspielgerätes, das zur reinen Ausgabe von Showdaten dient. Die Daten bezieht das Gerät beispielsweise von einem Festwertspeicher (z.B. CompactFlash-Karte). Dabei werden die einzelnen Szenen (Daten für sämtliche zu steuernde Geräte) nacheinander durchlaufen oder musikgesteuert wiedergegeben. Erweitert werden diese Steuerungen durch Eingangssignale. Diese können von außen aktiviert werden um unterschiedliche Effekte auszulösen.

Die PC Technologie hat selbstverständlich auch in der Showbranche Einzug gehalten. Zusätzliche Hardware (ISA- und PCI-Karten, USB Geräte) in Kombination mit einer PC Software ermöglichen jede Art der Steuerung von Showlasersystemen.

Unter einer Workstation versteht man in diesem Fall eine dedizierte Hardwarelösung zur Steuerung eines Showlasersystems. Das Prinzip ähnelt der PC-Lösung, jedoch werden diese Systeme ausschließlich für Showzwecke verwendet.

2 Systemaufbau

Das System wurde als Stand-Alone-Steuerung ausgelegt. Dabei wurde großen Wert auf eine flexible Erweiterung gelegt. Eine SOPC-Lösung trägt dieser Forderung Rechnung. SOPC ist die englische Abkürzung für „System on a Programmable Chip“ und bezeichnet die Integration eines kompletten Systems (z.B. CPU, DSP, SDRAM-Controller, IO-Komponenten) in ein einziges konfigurierbares PLD. Als Systemträger kann sowohl ein CPLD als auch ein FPGA eingesetzt werden. Aufgrund der geringen Komplexität spielen CPLDs bei SOPC Lösungen allerdings eine untergeordnete Rolle. Der Nutzen der SOPC-Technologie ist sehr vielfältig. Ein solches System besticht durch die sehr große

System-Flexibilität. Da sämtliche Funktionen im FPGA integriert sind, ist es jederzeit möglich, Funktionsänderungen ohne eine Modifikation der Hardware (Layout der Leiterplatte) durchzuführen. Im Vergleich zu einer diskreten Lösung ist der Platzverbrauch deutlich geringer. Dies trägt zur heutigen Miniaturisierung bei. Zudem reduzieren sich die Schnittstellen zu externen Bauelementen. Dadurch ergibt sich eine Verbesserung der EMV-Eigenschaften. Da das gesamte Design technologieunabhängig in Hochsprache (VHDL/Verilog) vorliegt, ist eine Portierung auf ein anderes FPGA jederzeit möglich. Auch eine FPGA-zu-ASIC Konvertierung ist machbar, allerdings ist dies bei den hohen ASIC-Entwicklungskosten nur bei sehr großen Stückzahlen sinnvoll. Mit einem solchen SOPC wird man allen gestellten Systemanforderungen gerecht. Bild 2.1 zeigt die Integration der einzelnen Komponenten in ein SOPC.

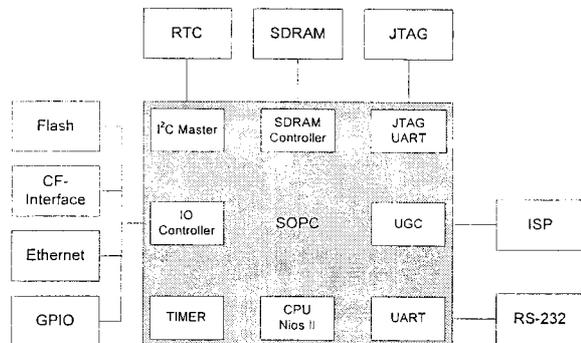


Bild 2.1: Systemaufbau

Das CF-Interface nimmt eine standardisierte CompactFlash Karte auf. Diese speichert Show- und Konfigurationsdaten. Zusammen mit einem dedizierten Ethernet Controller bildet der Ethernet Port die Kommunikationsschnittstelle zur Konfiguration und zur Speicherung von Daten. Für den zukünftigen Anschluss von zusätzlicher Hardware (z.B. Steuerung der Leistung eines Laserkopfes) dienen eine RS-232 Schnittstelle und zusätzliche GPIOs. Flash, CF-Interface, Ethernet und GPIO werden über einen IO-Controller an das System gekoppelt. Die RS-232 Schnittstelle verfügt über einen eigenen UART. Zum Anschluss eines Laserprojektors dient die ISP-Schnittstelle („ILDA [10] Standard Projector“). Die Daten für die Ausgabe gelangen über das Modul „UGC“ („Universal Geometric Correction“) zum Projektor. Für zeitgesteuerte Anwendungen steht die Echtzeituhr (RTC = Real Time Clock) dem System über einen I²C Bus zur Verfügung. Der Flash Speicher nimmt sowohl die FPGA Konfigurationsdaten als auch den Programmcode des Soft-Prozessors auf. Als Hauptspeicher findet das SDRAM Verwendung. Das FPGA ist die zentrale

Recheneinheit. Debuggen des Systems und die Programmierung des Flashes ist über die JTAG Schnittstelle möglich.

2.1 SOPC-Entwicklung

Die Basis des SOPC bildete ein FPGA der Firma Altera inklusive deren Entwicklungswerkzeuge Quartus II 4.2, SOPC Builder 4.2, Nios II 1.1 und ModelSim 5.8 Altera Edition der Firma Mentor Graphics [11]. Der Baustein EP1C12 aus der Cyclone Serie, der später für die eigene Hardware verwendet wurde, bietet mit insgesamt 12.060 LEs („Logic Elements“) ausreichend Kapazität für das gesamte System und verfügt darüber hinaus über genügend Ressourcen für spätere Erweiterungen. Die Software SOPC Builder, die Bestandteil der Quartus II Entwicklungsumgebung ist, ist der Ausgangspunkt für den Entwurf eines SOPC. Dort „baut“ man sich das gewünschte System zusammen. Dem Benutzer stehen dafür verschiedene IPs („Intellectual Property“) zur Verfügung, dazu gehört auch der 32 Bit RISC Soft-Prozessor Nios II. Für die geometrische Korrektur wurde ein eigenes Modul entworfen und dem System als IP zur Verfügung gestellt (siehe Kapitel 3). Den Zusammenhang verdeutlicht Bild 2.2 (Quelle: [7]). Es zeigt den Entwurfsablauf mit der Software SOPC Builder.

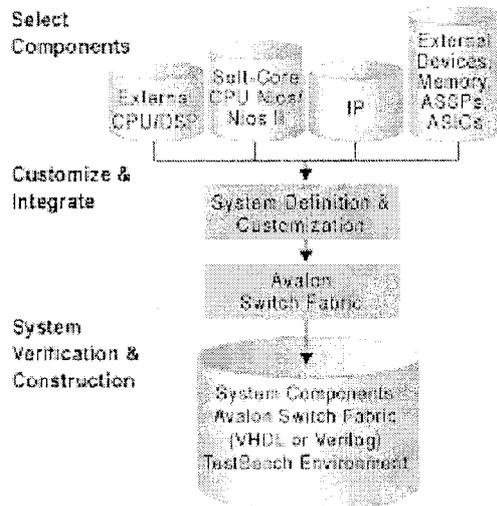


Bild 2.2: SOPC Builder Design Flow

IPs der Firma Altera liegen in Form von PERL („Practical Extraction and Report Language“) Skripten vor. Diese Skripte generieren entweder einen VHDL oder Verilog Code, wobei dieser Code exakt auf das System angepasst wird. Der Code wird zu 100% nach den Bedürfnissen generiert und enthält somit nur die Optionen, die auch tatsächlich benötigt werden. Diese Methode trägt dadurch zur

Ressourcenschonung bei, weil keine unnötigen Optionen integriert werden.

3 Geometrische Korrektur

Ähnlich wie bei einem Video Projektor (engl. Beamer) treten bei der Projektion mit einem Laserscanner geometrische Verzerrungen ([5], [6]) auf. Diese sind abhängig von der Projektionsoberfläche und von der Projektionsrichtung. Die wichtigsten Verzerrungen sind Skalierung, Scherung, Rotation und Trapez. Die Grundlage für die Implementierung des Algorithmus bildete folgende Berechnungsvorschrift:

$$\begin{bmatrix} x' \\ y' \\ z' \end{bmatrix} = \begin{bmatrix} sc_x & 0 & 0 \\ 0 & sc_y & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & sh_x & 0 \\ sh_y & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} \cos \varphi & -\sin \varphi & 0 \\ \sin \varphi & \cos \varphi & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} \cos \alpha & 0 & -\sin \alpha \\ -\sin \beta \cdot \sin \alpha & \cos \beta & -\sin \beta \cdot \cos \alpha \\ \cos \beta \cdot \sin \alpha & \sin \beta & \cos \beta \cdot \cos \alpha \end{bmatrix} \cdot \begin{bmatrix} x \\ y \\ 1 \end{bmatrix}$$

Die vier Matrizen entsprechen jeweils einer Verzerrungsart (Skalierung, Scherung, Rotation und Trapez) und werden durch Matrizenmultiplikation zu einer einzigen Matrix zusammengefasst:

$$\begin{bmatrix} x' \\ y' \\ z' \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12} & A_{13} \\ A_{21} & A_{22} & A_{23} \\ A_{31} & A_{32} & A_{33} \end{bmatrix} \cdot \begin{bmatrix} x \\ y \\ 1 \end{bmatrix}$$

Der zu berechnende Bildpunkt ist in Form eines Vektors dargestellt. Dieser Vektor wird mit der Matrix, dessen Koeffizienten sich aus den verschiedenen Verzerrungen zusammensetzen, multipliziert. Das Ergebnis ist wiederum ein Vektor, dessen Bildpunkt sich im 3-dimensionalen Raum befindet. Die 3-dimensionale Koordinate wird mit folgender Formel in den 2-dimensionalen Raum projiziert:

$$\begin{aligned} x'' &= x' / z' \\ y'' &= y' / z' \end{aligned}$$

Nachdem die Korrektoreigenschaften festgelegt sind, müssen die Koeffizienten A_{11} bis A_{33} nur einmal ermittelt werden. Diese Koeffizienten werden innerhalb der Nios II Firmware berechnet und anschließend dem in Hardware realisierten Algorithmus (siehe Kapitel 3.3) zugeführt.

3.1 Verifikation des Algorithmus

Die ermittelte Gesamtberechnungsvorschrift wurde mit der Software MATLAB (Version 6.5.1 R13) der Firma Mathworks [13] umgesetzt. Für eine anschauliche Darstellung lassen sich mit MATLAB graphische Benutzeroberflächen (GUI = Graphical

User Interface) erstellen. Bild 3.1 zeigt die Verzerrung eines Punktmusters mit verschiedenen Koeffizienten (Scale = Skalierung, Shear = Scherung, Rotation und Keystone = Trapez).

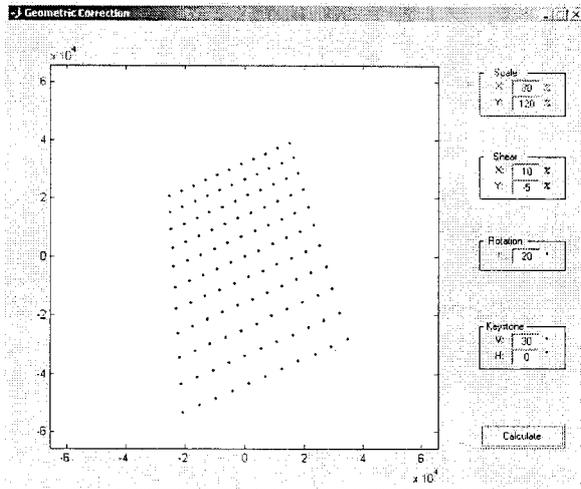


Bild 3.1: MATLAB GUI "Geometric Correction"

Die Berechnung wurde zunächst auf Basis von Gleitkommazahlen durchgeführt, um die korrekte Funktion des Algorithmus zu verifizieren. Anschließend wurden die Erkenntnisse aus dem folgendem Unterkapitel (siehe Kapitel 3.2) auf das MATLAB Modell übertragen.

3.2 Fixpunktarithmetische Betrachtungen

In den ermittelten Gleichungen werden die trigonometrischen Funktionen Sinus und Cosinus verwendet. Das Ergebnis einer Sinus- oder Cosinus-Funktion ist außer bei 0°, 90°, 180° und 270° eine Fließkommazahl. Die Berechnung von Fließkommazahlen in Hardware ist wegen des komplexen Datenformates sehr ressourcenaufwendig und daher für eine kostengünstige FPGA Implementierung wenig geeignet. Aus diesem Grund werden die Algorithmen in Fixpunktarithmetik realisiert.

Die weiteren Betrachtungen zur Ermittlung der Wortbreiten und die Darstellung von Fixpunktzahlen im Zweierkomplement sind aus [2] entnommen. Für die Fixpunktspezifikation wird ein Tripel $\langle s, wl, iwl \rangle$ verwendet ($s = \text{sign}$, $wl = \text{word length}$, $iwl = \text{integer word length}$). Es gilt: $s \in \{1, 0\}$, $wl \in \mathbb{N}$ und $iwl \in \mathbb{Z}$. Mit $s = 0$ werden vorzeichenlose und mit $s = 1$ vorzeichenbehaftete Zahlen gekennzeichnet, wl ist die gesamte Wortbreite und iwl die Wortbreite der Vorkommastellen. Die Wortbreite der Nachkommastellen wird über den Zusammenhang $fwl = wl - iwl$ berechnet ($fwl = \text{fractional word length}$). Bild 3.2

verdeutlicht die Zusammenhänge am Beispiel der Fixpunktspezifikation $\langle 1, 7, 3 \rangle$.

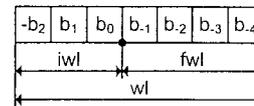


Bild 3.2: Fixpunktspezifikation

Mit der folgenden Gleichung wird die Wertigkeit $Z_{\langle s, wl, iwl \rangle}$ einer Fixpunktzahl, die mit der Fixpunktspezifikation $\langle s, wl, iwl \rangle$ gegeben ist, bestimmt:

$$Z_{\langle s, wl, iwl \rangle} = b_{iwl-1} \cdot (-1)^s \cdot 2^{iwl-1} + \sum_{i=iwl-wl}^{iwl-2} b_i \cdot 2^i$$

Es gilt: $b_i \in \{0, 1\}$ und $i \in [iwl - wl; iwl - 1]$, b_i und i bestimmen die Wertigkeit der einzelnen Bits.

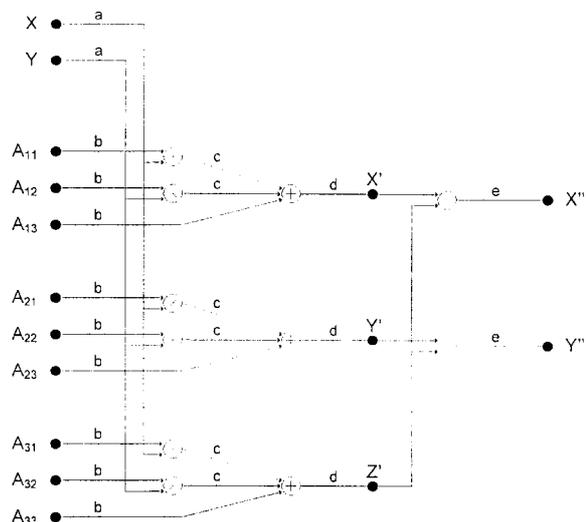


Bild 3.1: Signalflussgraph der geometrischen Korrektur

Aus den vorangegangenen Gleichungen lässt sich der Signalflussgraph in Bild 3.1 bilden. X und Y sind die Eingangssignale der zu projizierenden Darstellung, X'' und Y'' die Ausgangssignale. Die Koeffizienten A_{11} bis A_{33} bestimmen die Verzerrung bzw. die Entzerrung. Die Kleinbuchstaben a bis e kennzeichnen die zu bestimmenden Wortbreiten der Operationen bzw. der Datenpfade. Die Wortbreiten der Koeffizienten A_{11} bis A_{33} wurden gleich gewählt.

In [3] wird eine Methodik aufgezeigt, mit der sich die Fixpunktspezifikationen von Signalflussgraphen bestimmen lassen. Ausgehend von den Fixpunktspezifikationen und Dynamikbereichen bekannter Datenpfade werden die Fixpunktspezifikationen und Dynamikbereiche aller Knoten (Operationen) des Signalflussgraphen berechnet.

SOPC-Entwicklung einer netzwerkfähigen Laserscannersteuerung

Tabelle 3.1: Fixpunktspezifikationen der Datenpfade a bis e des Signalfussgraphen

Datenpfad	Dynamikbereich		Fixpunktspezifikation			
	min _i	max _i	s _i	w _i	iw _i	fw _i
a	-32768	32767	1	16	16	0
b	-256	255	1	28	9	19
c	-8388352	8388608	1	44	25	19
d	-16776960	16777471	1	45	26	19
e	-32768	32767	1	26	26	0

Tabelle 3.1 zeigt die Fixpunktspezifikation der Datenpfade a bis e des Signalfussgraphen. Das Ergebnis der Division ist eine ganzzahlige 26 Bit Zahl, wobei nur die unteren 16 Bit an die DA-Wandler weitergegeben werden.

Anhand der ermittelten Erkenntnisse wurde das MATLAB Modell auf Basis der Fixpunktarithmetik erweitert und verifiziert.

3.3 FPGA Implementierung

Nachdem der zu implementierende Algorithmus mit MATLAB auf Basis der Fixpunktarithmetik verifiziert wurde, erfolgte die Umsetzung in die Hardwarebeschreibungssprache VHDL. Der Entwurfsablauf entsprach der klassischen Entwicklung auf Register-Transfer-Ebene (RTL = Register Transfer Level, siehe auch Bild 3.2).

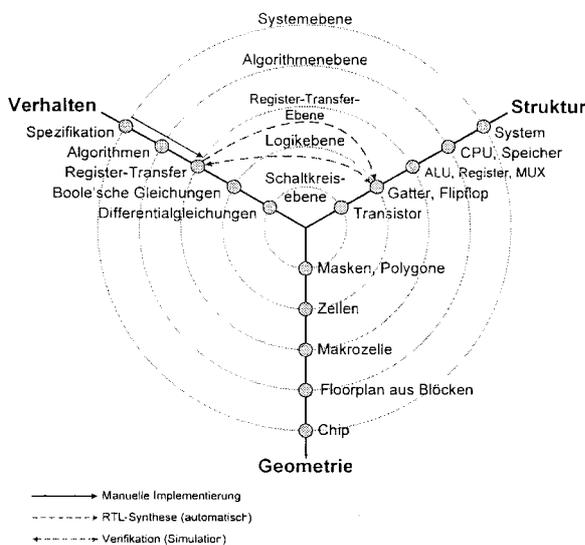


Bild 3.2: Y-Diagramm (RTL-Synthese)

Das Y-Diagramm (siehe Bild 3.2) wurde von Daniel Gajski und Robert Kuhn in [4] vorgestellt. Es wird zum Beschreiben eines Systems aus unterschiedlichen Sichten und Abstraktionsebenen verwendet. Mit Hilfe dieses sichtenorientierten Entwurfsmodells erfassten die Autoren in den 80er Jahren die Werkzeuge in der Chipkonstruktion übersichtlicher. Die Sichtweisen werden durch die drei Achsen

Verhalten, Struktur und Geometrie wiedergegeben. Die Entfernung vom Mittelpunkt zeigt die zunehmende Abstraktion. Übergänge zwischen Punkten des Diagramms entsprechen Arbeitsschritten.

Schaltungseingabe, RTL-Synthese, Place & Route, Analyse des Zeitverhaltens und In-System Verifizierung wurde mit der Software Quartus II 4.2 durchgeführt. Logik-Simulation und Zeitverhaltens-Simulation wurde mit der Software ModelSim 5.8 vorgenommen.

VHDL-RTL

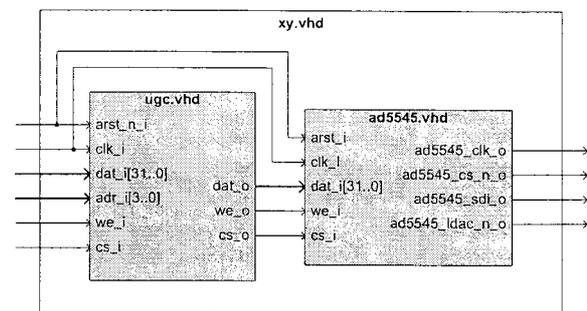


Bild 3.3: xy.vhd Modul

Für die spätere Integration in das Gesamtsystem wurde das übergeordnete Modul „xy.vhd“ entworfen (siehe Bild 3.3), dessen Aufgabe ist es lediglich die Module „ugc.vhd“ und „ad5545.vhd“ zu instanzieren.

In dem Modul „ugc.vhd“ wird der Algorithmus zur geometrischen Korrektur abgearbeitet. Das Modul „ad5545.vhd“ dient zur Wandlung der Punktdaten in ein serielles Format, das direkt an den zweifachen 16 Bit Digital-Analog-Wandler weitergeben wird. Die analogen Signale erreichen die Ansteuerelektronik der Galvanometer über die ISP-Schnittstelle.

Die Anforderung an die Verarbeitungsgeschwindigkeit des Algorithmus fallen gering aus, da die Trägheit der Galvanometer die Grenze vorgibt. Mehr als 100.000 Punkte pro Sekunde (PPS = Points per Second) müssen nicht berechnet werden. Bei einem Systemtakt von 50 MHz bedeutet dies, dass für die Berechnung 500 Taktzyklen verwendet werden können. Das Modul „ugc.vhd“ benötigt 26 Taktzyklen für die Abarbeitung des Algorithmus. 81 Taktzyklen sind für die Umwandlung der Daten in einen seriellen Datenstrom für die DA-Wandler notwendig. Die Vorgabe wurde demnach vollständig erfüllt.

Logiksimulation

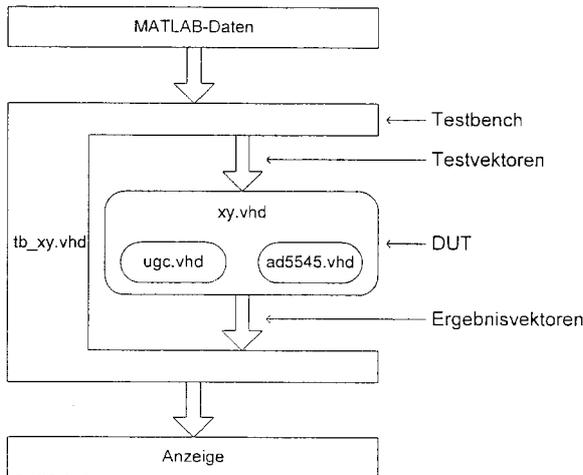


Bild 3.4: UGC Testverfahren

Nach der Erstellung der einzelnen Module wurde die Testbench „tb_xy.vhd“ zur Verifikation mit der Software ModelSim erstellt. Die Testbench führt dem zu testenden Modul (DUT = Device Under Test) Testvektoren zu und vergleicht die Ergebnisvektoren mit den Soll-Werten. Das Resultat des Soll-/Ist-Vergleichs wird in ModelSim zur Anzeige gebracht. Das MATLAB Programm „Geometric Correction“ erzeugt bei der Verifikation des Algorithmus Testdaten und speichert diese in eine Datei ab. Diese Daten werden von der Testbench eingelesen und für den Soll-/Ist-Vergleich verwendet. Das gesamte Testverfahren ist in Bild 3.4 dargestellt.

Synthese-Ergebnisse

Die kleinste Logikeinheit wird bei der Firma Altera als „Logic Element“ oder kurz als LE bezeichnet. Jedes einzelne LE verfügt über eine LUT (LUT = Look-Up-Table) mit vier Eingängen, die als kombinatorische Logik fungiert und jede Funktion mit vier Eingängen und einem Ausgang darstellen kann. Zusätzlich enthält jedes LE ein programmierbares Register. Weitere Details sind in [1] verfügbar. Der Baustein EP1C12 aus der Cyclone Serie, der für die eigene Hardware verwendet wird, bietet mit insgesamt 12.060 LEs (Logic Elements) ausreichend Kapazität für das gesamte System.

Tabelle 3.2: Ressourcenverbrauch

Modul	LE	Modul	LE	Modul	LE
cpu	3933	xy/add545	91	xy/ugc	1117
xy	3999	xy/ugc	3908	xy/ugc/div	2131
Gesamt	7932	Gesamt	3999	xy/ugc/mul	660
				Gesamt	3908

Tabelle 3.2 zeigt den Ressourcenverbrauch der einzelnen Module. Von den 12.060 LEs werden 7.932 (ca. 65%) für das gesamte System bestehend aus Nios II CPU, SDRAM-Controller, UART, I²C-Master usw. plus geometrischer Korrektur verwendet. Dabei belegt das Modul zur geometrischen Korrektur inkl. DA-Wandler Ausgabe mehr als die Hälfte der genutzten LEs, die Dividierer-Instanz benötigt ca. 25%. Die Darstellung macht das Einsparpotential deutlich.

In 3.3 (FPGA Implementierung) wurde deutlich, dass die Abarbeitung des Algorithmus nicht zeitkritisch ist. Daraus folgt die Möglichkeit beispielsweise den Dividierer nicht kombinatorisch anzulegen, sondern einen seriellen Algorithmus zu verwenden, der pro Takt einen Berechnungsschritt durchführt.

4 Software

Sowohl für den Soft-Prozessor Nios II als auch für den PC wurde eine Software entwickelt. Die Software für den Soft-Prozessor wird auch als Firmware bezeichnet.

4.1 Nios II Firmware

Für die Entwicklung der Firmware wurde die grafische Nios II IDE von Altera verwendet. Sämtliche Module wurden mit der Programmiersprache ANSI C entwickelt. Die Betriebssystemsoftware des Nios II-Prozessors ist ohne die Unterstützung eines Betriebssystems realisiert.

Die Firmware erfüllt folgende Aufgaben:

1. Ethernet Netzwerkkommunikation über TCP/IP zum Datenaustausch mit der PC Software
2. Low-Level Routinen für das CompactFlash-Interface
3. FAT 16 Filesystem zum Lesen und Beschreiben von CompactFlash Medien
4. Steuerung des UGC-Moduls
5. Ausgabe der Scannerdaten

4.2 PC-Software

Die PC Software wurde mit der Programmiersprache Delphi 6.0 von Borland [8] entwickelt und ist als reines Testprogramm gedacht. Delphi ist eine Weiterentwicklung von Turbo Pascal und eignet sich sehr gut, schnell graphische Oberflächen zu erstellen. Mit der Software lassen sich die Einstellungen für die geometrische Korrektur mit Hilfe von Schiebereglern (siehe Bild 4.1) vornehmen. Die Daten

werden über ein UDP-Packet an die Hardware gesendet und dort ausgewertet.

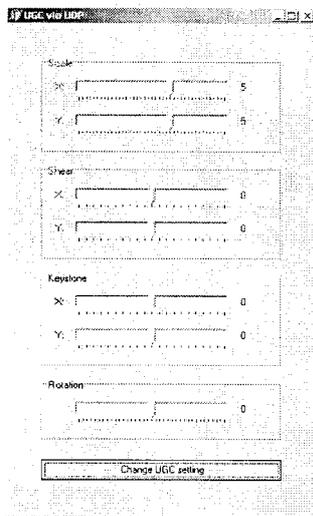


Bild 4.1: Bildschirmfoto der PC Software „UGC via UDP“

5 Hardware

Sowohl Schaltplan als auch Layout der beiden Leiterplatten wurden mit der CAD Software Eagle V4.11R2 der Firma Cadsoft [9] entworfen. Nach der Fertigstellung der Layouts wurden diese als Gerberdaten in entsprechende Dateien ausgegeben und schließlich bei der Firma Euro Circuits im Einzelstück angefertigt. Die Hauptplatine setzt sich aus vier Lagen zusammen, wobei die beiden Innenlagen ausschließlich als Masse und zur Stromversorgung dienen. Die Baugröße entspricht einer Europakarte (160 x 100 mm). Das ISP-Erweiterungsmodul ist als zweilagige PCB entwickelt und gefertigt. Es weist eine Größe von 70 x 100 mm auf. Die Hauptplatine mit aufgesetztem Erweiterungsmodul ist in Bild 5.1 zu sehen. Das gesamte System hat eine Leistungsaufnahme von ca. 4,5 W. Bestückt wurden die Leiterplatten per Hand und Stück für Stück in Betrieb genommen.

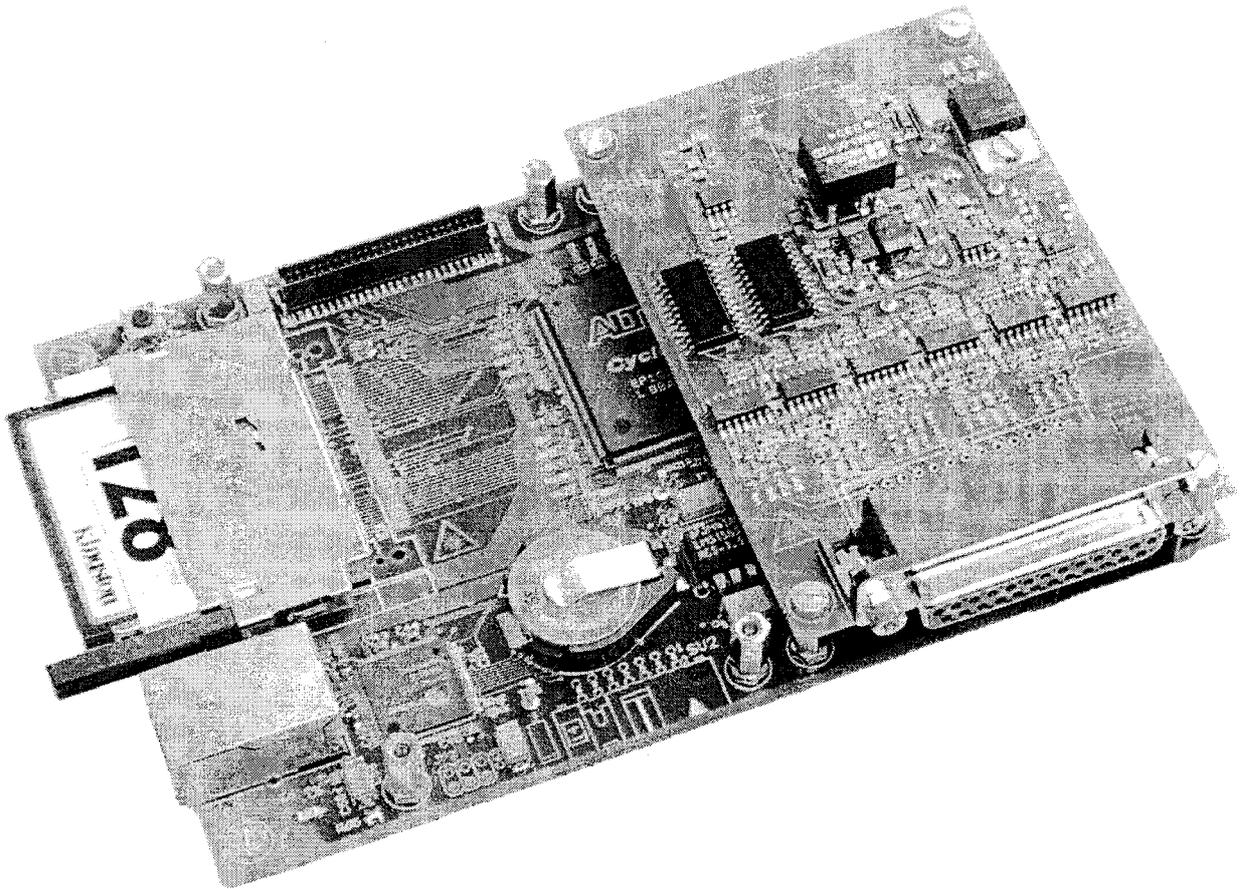


Bild 5.1: Hauptplatine und Erweiterungsmodul



6 Resümee und Ausblick

Die Zielsetzung dieser Diplomarbeit bestand darin, ein funktionsfähiges SOPC für die Steuerung von Laserscannern mit Netzwerkfunktionalität zu entwickeln. Für das Verständnis wurden daher Grundlagen zum Thema Showlasersysteme vermittelt. Die Gedanken über den Systemaufbau waren obligatorisch für das weitere Vorgehen. Die Implementierung der geometrischen Korrektur stellte eine besondere Herausforderung dar, da die dazu notwendigen Kenntnisse komplett selbstständig erarbeitet werden mussten oder nur in der Theorie vorlagen. Die zum Betrieb notwendige Software wurde entworfen und stand für die Inbetriebnahme des Gesamtsystems bestehend aus Hard- und Software zur Verfügung. Bis zum heutigen Zeitpunkt sind zwei Systeme bestückt und funktionstüchtig.

Die vorliegende Arbeit ist die Grundlage für das Produkt „NetLase“ der Firma Müller Elektronik in Spaichingen. Bis zur Markteinführung sind weitere Arbeitsschritte notwendig, die zu einem ausgereiften Produkt führen. Besonders die Erweiterung der Netzwerkfunktionalität steht dabei im Vordergrund. Zudem wird der Algorithmus der geometrischen Korrektur erweitert und optimiert.

Literaturverzeichnis

- [1] Altera Corporation. Cyclone Device Handbook : Volume 1 [online], Version 1.4, Januar 2004, erhältlich im Internet unter http://www.altera.com/literature/hb/cyc/cyc_c5v1.pdf
- [2] Bartholomä, Ruben: *Hard- und Softwarerealisierung von FFT Algorithmen*. Pforzheim: Fachhochschule Pforzheim, 2003
- [3] Coors M., Keding H., Meyr H., Willems M.: FRIDGE: A Fixed-Point Design and Simulation Environment. In: Design Automation and Test in Europe, 1998
- [4] Gajski, Daniel; Kuhn, Robert H.: New VLSI Tools. In: IEEE Computer, Bd. 16 (1983), Nr. 2, S. 14-17
- [5] Rabeler, Uwe; Winzker, Marco.: VLSI Architecture for Electronic Correction of Optical Distortions. In: ITG Fachbericht 167 – Elektronische Medien, Systeme, Anwendungen, Berlin : VDE Verlag, Jahr 2001, S. 281-286
- [6] Wolberg, George: Digital Image Warping. IEEE Computer Society Press, 1990, - 0818689447

Firmenverzeichnis

- [7] Altera Corporation, San Jose, USA
<http://www.altera.com/>
- [8] Borland Software Corp., Scotts Valley, USA
<http://www.borland.com/>
- [9] CadSoft Computer GmbH, Pleiskirchen, Deutschland
<http://www.cadsoft.de/>
- [10] International Laser Display Association (ILDA), Portland, USA
<http://www.laserist.org/>
- [11] Mentor Graphics Corp., Wilsonville, USA
<http://www.mentor.com/>
- [12] Müller Elektronik, Joachim Müller, Spaichingen, Deutschland
<http://www.jmlaser.com/>
- [13] The MathWorks Inc., Natick, USA
<http://www.mathworks.com/>

Vergleichende Untersuchung von Mischerkonzepten

Herman Jalli Ng

FH Karlsruhe

Jallix@gmx.de

Abstract

Analogue multiplication of two signals is one of the most important operations in signal processing. Nowadays the multiplier can be found as a frequency translator in almost every superheterodyne receiver.

A range of new mixing concepts have been inspected. Compared to gilbert cell, alternative mixers show if not better a comparable large signal performance and noise figure. Some optimizations have been presented in this paper. A very low noise figure and a very high third order intercept point have been achieved with a low supply voltage and current consumption.

1. Einleitung

Von großer Bedeutung in der heutigen drahtlosen Kommunikation ist die Mischstufe, die eine analoge Multiplikation zweier Signale im Hochfrequenzbereich durchführt. Das Konzept Gilbert-Zelle stößt aufgrund der geringen Spannungsfestigkeit moderner Halbleiter-Technologien mehr und mehr an Grenzen. Dennoch ist die Gilbert-Zelle nach wie vor der Standard für Mischer.

In einem Empfänger stellt man hohe Anforderungen an die Mischstufe. Da die Mischstufe die Basis eines jeden Superhet-Empfängers ist, sind die Anforderungen an die Mischstufe auch primär die Anforderungen, die an Empfänger gestellt werden. Bislang zeigt die Mischstufe ein schlechtes Intermodulationsverhalten, wenn sie eine kleine Rauschzahl haben muss. Wenn ein hoher Interceptpunkt verlangt wird, dann rauscht die Mischstufe sehr stark.

Durch die de Frijs'sche Formel weiß man, dass es sehr wichtig ist, dass dem Signal in der ersten Stufe so wenig zusätzliches Rauschen wie möglich zugefügt wird, da ein erhöhter Rauschpegel in der ersten Stufe das Signal-Rausch-Verhältnis am

stärksten verschlechtern würde und die Information unter Umständen nicht mehr richtig zu entschlüsseln wäre. Um das Rauschproblem zu minimieren, setzt man vor dem Mischer einen Vorverstärker (LNA), der eine hohe Verstärkung ermöglichen und dabei so wenig wie möglich Rauschen hinzufügen soll. Der Rauschbeitrag des Mixers wird unbedeutend klein, wenn die Verstärkung des LNA genügend hoch ist. Die Rauschzahl des LNA geht dann am stärksten in die Gesamtrauschzahl.

Auf der anderen Seite muss der LNA auch eine sehr gute Linearität besitzen, denn die Intermodulations-Produkte dritter Ordnung fallen auf Nachbarn-Frequenzen und verursachen Interferenzen. Kleine LNA - Verstärkung verbessert zwar die Linearität, aber ein sehr rauscharmer Mischer wird benötigt, um eine akzeptable Rauschzahl zu ermöglichen. Außerdem führt die immer kleinere Versorgungsspannung zur Verschlechterung der Linearität und Verringerung des Dynamikbereiches.

Hätte man einen sehr rauscharmen Mischer mit sehr hoher Großsignalfestigkeit bei sehr geringer Versorgungsspannung, dann könnte man sogar ganz auf den LNA im Empfänger verzichten. Bisher ist dies nicht oder nur mit Abstrichen in der Performance realisierbar.

Man braucht neue Konzepte von Mischstufen, die wenig rauschen, dabei aber einen sehr hohen Interceptpunkt besitzen. Diese Mischer sollen auf den Einsatz von LNA in der ersten Stufe verzichten.

Nachdem zahlreiche neue Mischer von Prof. Sapotta in einem Beitrag dieser Konferenz vorgestellt wurden, eröffnet sich eventuell eine neue Möglichkeit, die Gilbert-Zelle durch einen Mischer mit besserer Dynamik zu ersetzen. Die Verwendung eines LNA mit kleiner Verstärkung und hoher Linearität oder das Verzicht auf den LNA setzt voraus, dass der Mischer wenig rauscht, dabei aber einen sehr hohen Interceptpunkt besitzt. Dadurch bestehen Anforderungen, diese neuen Mischer auf ihre

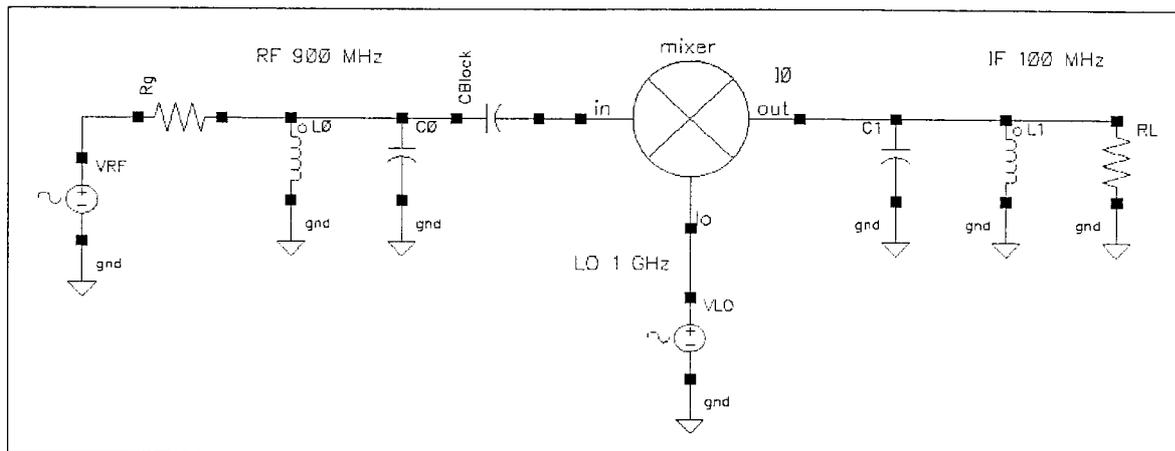


Bild 1: Beschaltung der Simulation

Rauschzahl und Großsignalfestigkeit zu untersuchen. Die Untersuchungen sollen dazu dienen, das optimale Verhalten der neuen Mischer im Bezug auf Rauschen und Großsignalfestigkeit zu finden und es mit dem optimalen Verhalten der Gilbert-Zelle zu vergleichen.

2. Simulation

2.1. Randbedingungen

Um die Ergebnisse miteinander vergleichen zu können, wurden bei allen Simulationen die gleichen Bedingungen verwendet. Die Untersuchung wurde mit dem Simulator SpectreRF von Cadence auf der Basis einer $0,35\mu\text{m}$ – SiGe – HBT – BiCMOS – Technologie durchgeführt. Zugunsten der Gilbert-Zelle wurde eine höhere Versorgungsspannung von 3.3 Volt mit Stromaufnahme von 32 mA verwendet. Das Antennensignal der Frequenz 900 MHz wurde mit dem LO-Signal der Frequenz 1GHz multipliziert und als Zwischenfrequenz wurde der Differenzanteil mit der Frequenz von 100 MHz gewählt.

2.2. Rauschzahl : SSB Vs. DSB

Empfänger müssen sehr oft sehr schwache Signale verarbeiten. Das Rauschen von dem System verschlechtert diese schwachen Signale weiter. Dies kann man verhindern, wenn man das Rauschen von dem System kontrollieren kann.

Überträgt man über ein System ein HF-Signal mit einem bekannten Signal-zu-Rausch-Verhältnis (Signal to Noise Ratio – SNR), so wird man feststellen, dass sich dieses Verhältnis am Ausgang verschlechtert.

Die Verschlechterung ist den Übertragungseigenschaften des Systems zuzuschreiben und somit charakteristisch für das untersuchte System. Ein Maß für die Charakterisierung des Systems auf seine Fähigkeit, schwache Signale zu verarbeiten ist die Rauschzahl.

Auf Bild 1 sieht man, dass das Antennensignal über einen Schwingkreis eingespeist wird. Als Ergebnis der Multiplikation mit dem LO-Signal wird am Ausgang der Differenzanteil über einen weiteren Schwingkreis gewonnen. Am Eingang wird ein Filter aus einem Grund realisiert: Im allgemein interessiert man sich bei den Rauschsimulationen nur für die einseitige Rauschzahl. Sie wird definiert als das Verhältnis des Gesamt rauschens am Ausgang zu dem Anteil des Ausgangs rauschens, das durch das auf die Zwischenfrequenzebene transformierte thermische Rauschen des Generatorwiderstandes verursacht wird. In Wirklichkeit werden zwei Eingangsfrequenzen auf die Zwischenfrequenzebene transformiert. Der Rauschbeitrag aus der Spiegelfrequenz muss unterdrückt werden. Abgesehen von dem Problem mit der Spiegelfrequenz muss man noch eine Sache berücksichtigen. Wenn man ein rechteckiges LO-Signal für den Mischer verwendet, so besitzt dieses auch Oberschwingungen, die ihrerseits einen Mischvorgang einleiten. So kann das thermische Rauschen des Generatorwiderstands aus zahlreichen Frequenzbereichen das Ausgangsrauschen des Mixers erhöhen (Oberwellenmischung). Aus diesem Grund wird ein passives Bandpassfilter mit der Resonanzfrequenz von 900 MHz (die Antennenfrequenz) am Eingang des Mixers realisiert. Es wurde nur die einseitige Rauschzahl in den Simulationen ermittelt.

2.3. Linearität und Großsignalfestigkeit

Ein Mischer muss mehr als nur das Antennensignal auf die Zwischenfrequenz umsetzen, ohne dabei viel Rauschen hinzuzufügen. Der Mischer soll die lineare Operation sowohl bei starkem Signal als auch bei schwachem Signal beibehalten.

In den Simulationen wurde als Maß der Linearität nur der Interceptpunkt 3. Ordnung untersucht. Er gibt die Ein- oder Ausgangsamplitude an, bei der die extrapolierte Amplitude des Intermodulationsproduktes 3. Ordnung genauso groß wird wie die extrapolierte Amplitude des Nutzsignals. Dafür wird ein zweites Eingangssignal mit der Frequenz 925 MHz verwendet. Die Intermodulationsprodukte 3. Ordnung fallen dann auf den Frequenzen 50 MHz und 125 MHz auf der Differenzseite und 1,875 GHz und 1,95 GHz auf der Summenseite. Der Eingangsinterceptpunkt 3. Ordnung wird dann als Summe des Eingangssignals und der Hälfte des Intermodulationsabstandes berechnet.

3. Simulationsergebnisse

3.1. Gilbert-Zelle

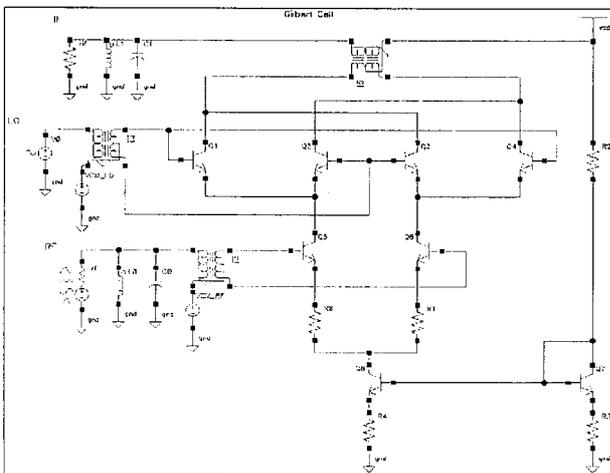


Bild 2: Simulationsbeschaltung der Gilbert-Zelle

Die Standard-Mischstufe, die man in fast nahezu jedem Empfänger findet, ist die Gilbert-Zelle. Sie besteht im Prinzip aus einem Differenzverstärker und einem Quartett aus 4 Schalter-Transistoren, der im Rhythmus der LO-Frequenz den Ausgangsstrom der Differenzstufe invertiert.

Wie bei dem Verstärker ist die Quelle der Verzerrungen die nichtlineare Kennlinie des Transistors. Die Gilbert-Zelle verwendet am Antenneneingang zur Spannung-Strom-Umsetzung eine Differenzstufe mit Tangens-hyperbolicus-Kennlinie, deren linearer Bereich auf etwa $\pm V_T$ (Temperaturspannung) beschränkt ist. Durch Einfügen von Emitterwiderständen kann man zwar den linearen Bereich ausdehnen, diese Widerstände fügen aber zusätzlich thermisches Rauschen hinzu und reduzieren die Mischverstärkung. Dadurch erhöht sich die Rauschzahl.

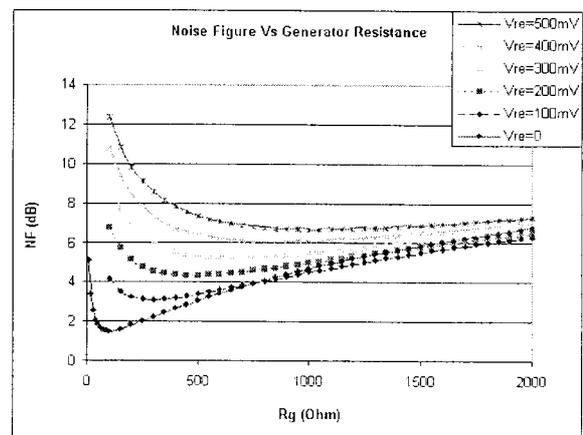


Bild 3: Rauschzahl einer Gilbert-Zelle in Abhängigkeit des Generatorwiderstandes bei unterschiedlichen Spannungsabfällen der Emitterwiderstände

Durch das Hinzufügen der Emitterwiderstände verschiebt sich der optimale Generatorwiderstand für minimale Rauschzahl zu einem größeren Wert. Die minimale Rauschzahl verschlechtert sich dadurch ebenfalls. Verwendet man keine Emitterwiderstände, dann kann man mit einem Generatorwiderstand von 100 Ω eine Rauschzahl von 1,4 dB erzielen. Liegen Widerstände an den Emitttern der Differenzstufe mit dem Spannungsabfall von 100 mV, dann kann mit einem Generatorwiderstand von 300 Ω eine Rauschzahl von 3,1 dB erreicht werden. Der optimale Generatorwiderstand verschiebt sich auf 1k Ω wenn man den Spannungsabfall auf 500 mV erhöht. Die minimale Rauschzahl verschlechtert sich dabei auf 6,7 dB.

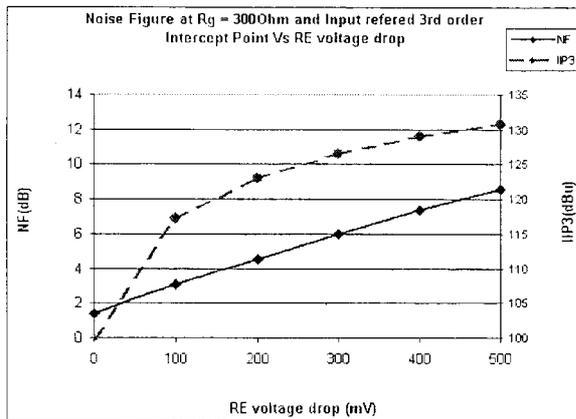


Bild 4: Rauschzahl @ $R_g=300\Omega$ und IIP3 einer Gilbert-Zelle in Abhängigkeit des Spannungsabfalls der Emitterwiderstände

Bei steigendem Spannungsabfall verbessert sich die Großsignalfestigkeit der Gilbert-Zelle. Der IIP3 erhöht sich von 117 dBu bei dem Spannungsabfall von 100 mV auf etwa 131 dBu bei 500 mV. Ohne Emitterwiderstände wäre der IIP3 nur 97 dBu groß.

3.2. Kafemix

Der Kafemix verwendet zur Multiplikation NMOS-Transistoren im Widerstandsbereich. Die korrekte Multiplikation erhält man durch die Differenzbildung der Drainströme von zwei NMOS-Transistoren.

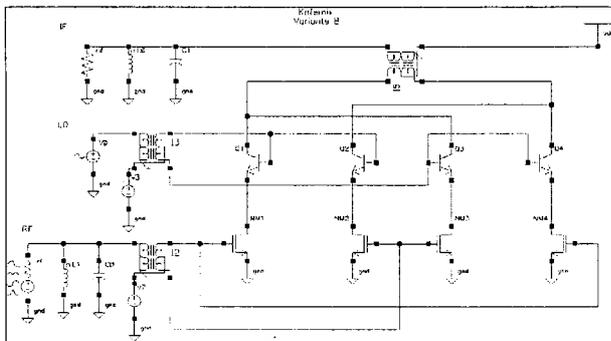


Bild 5: Simulationsbeschaltung des Kafemix

Als Spannungsfolger wurden NPN-Transistoren verwendet, die die identischen Drain-Source-Spannungen für die NMOS-Transistoren bereitstellen.

Abhängig davon, wo man das Antennensignal einspeist, hat man zwei Varianten. Bei der ersten Variante liegt das Antennensignal an den Basen der Emitterfolger, während bei der zweiten Variante das Antennensignal an den Gates der NMOS-Transistoren eingespeist wird. Die zwei Varianten

zeigen ein unterschiedliches Rausch- und Intermodulationsverhalten.

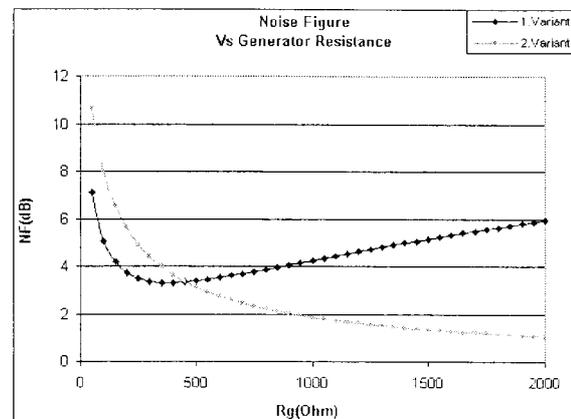


Bild 6: Rauschzahl zwei Varianten von Kafemix in Abhängigkeit des Generatorwiderstandes

Bei der ersten Variante kann man eine minimale Rauschzahl mit kleinem Generatorwiderstand erreichen. Mit einem Generatorwiderstand von 300 Ω erreicht man eine Rauschzahl von 3,35 dB. Im Gegensatz dazu kann bei der zweiten eine sehr kleine Rauschzahl erreicht werden, wenn man einen größeren Generatorwiderstand verwendet. Mit einem Generatorwiderstand von 1 k Ω kann eine Rauschzahl von 1,9 dB erzielt werden.

Die korrekte Multiplikation des Kafemix-Prinzips führt zu einer sehr hohen Großsignalfestigkeit. Allgemein liegen die IIP3-Werte oberhalb von den Werten, die man mit einer Gilbert-Zelle erreichen kann.

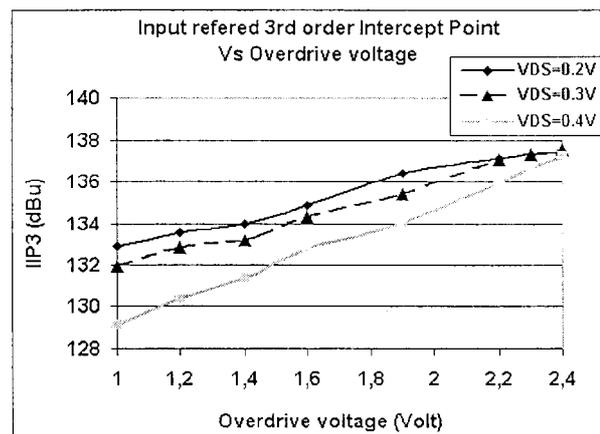


Bild 7: IIP3 eines Kafemix in Abhängigkeit der effektiven Gate-Source-Spannung bei unterschiedlichen Drain-Source-Spannungen

Mit Kafemix hat man außerdem die Möglichkeit, die Linearität zu verbessern, indem man die Schaltung so dimensioniert, dass die NMOS-Transistoren tiefer in dem Widerstandsbereich arbeiten. Das heißt, eine Verbesserung der Großsignalfestigkeit kann durch die Erhöhung der Gate-Source-Spannung und Verringerung der Drain-Source-Spannung erreicht werden.

Die Parametrisierung des Kafemix erfolgt außerdem über den eingestellte Strom. Der IIP3 verbessert sich bei fallender Stromaufnahme.

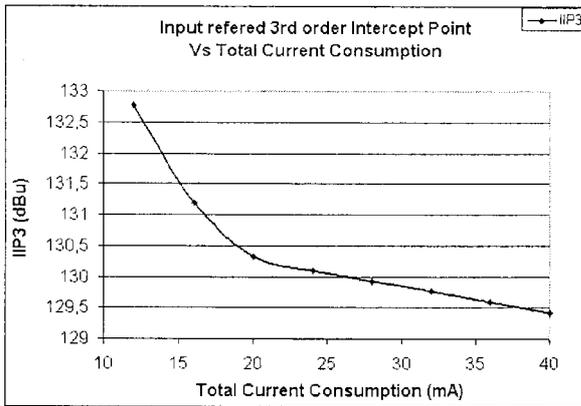


Bild 8: IIP3 eines Kafemix in Abhängigkeit der Gesamtstromaufnahme

3.3. Hefemix

Als Verbesserung von Kafemix hat man bei dem Hefemix zwei der 4 NMOS-Transistoren gespart. Das Antennensignal wird unten an den Gates der NMOS-Transistoren eingespeist.

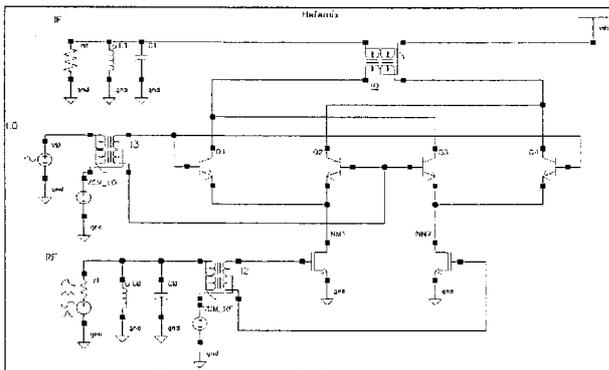


Bild 9: Simulationsbeschaltung des Hefemix

Wie bei der zweiten Variante des Kafemix, ist die Rauschzahl bei hohem Generatorwiderstand minimal. Man erreicht eine Rauschzahl von 0,9 dB mit einem Generatorwiderstand von 1kΩ.

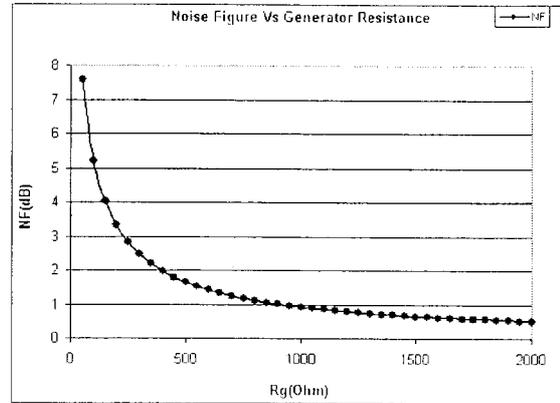


Bild 10: Rauschzahl eines Hefemix in Abhängigkeit des Generatorwiderstandes

Eine Parametrisierung der Hefemix-Schaltung kann wie beim Kafemix über den eingestellten Strom und die Gleichtaktspannungen erfolgen.

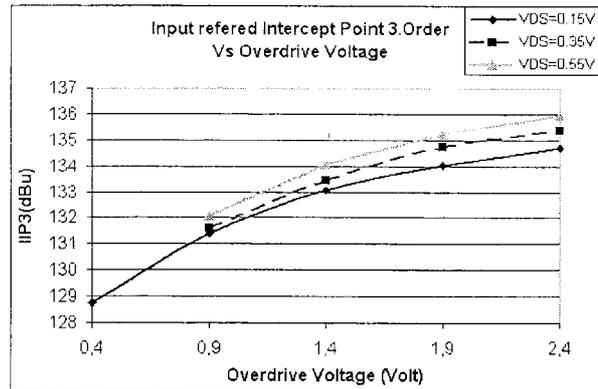


Bild 11: IIP3 eines Hefemix in Abhängigkeit der effektiven Gate-Source-Spannung bei unterschiedlichen Drain-Source-Spannungen

Da das Antennensignal beim Hefemix an den Gates der NMOS-Transistoren eingespeist wird, hat man die Möglichkeit, wie bei der zweiten Variante des Kafemix, die Linearität zu verbessern, in dem man die effektive Gate-Source-Spannung (Overdrive voltage) erhöht.

Wie beim Kafemix verschlechtert sich der IIP3 bei steigender Stromaufnahme.

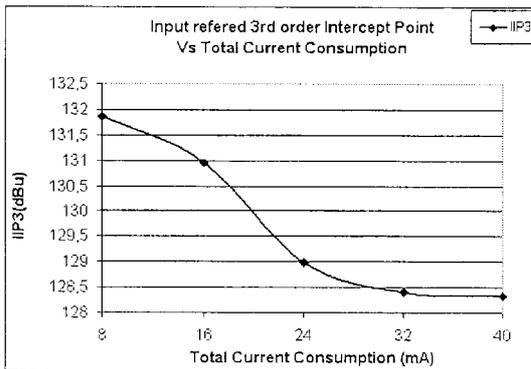


Bild 12: IIP3 eines Hefemix in Abhängigkeit der Gesamtstromaufnahme

3.4. Schaltmischer

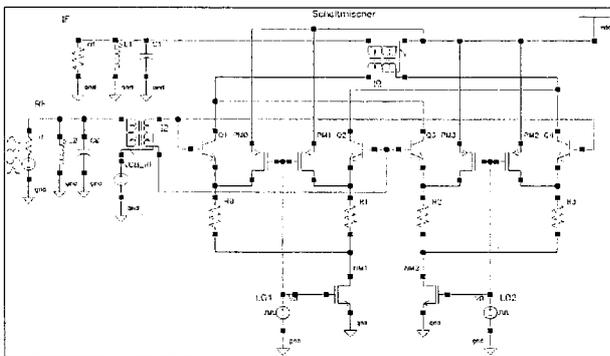


Bild 13: Simulationsbeschaltung des Schaltmischers

Die Differenzstufen des Schaltmischers sind durch die Emitterwiderstände in weiten Bereichen linearisierbar. Zusätzlich wurden PMOS-Transistoren verwendet, um das Emitterpotenzial der Differenzstufen gezielt zu entladen. Bei steigendem Spannungsabfall der Emitterwiderstände erhöht sich der IIP3.

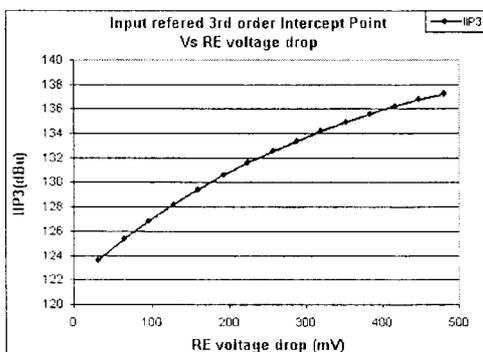


Bild 14: IIP3 eines Schaltmischers in Abhängigkeit des Spannungsabfalls der Emitterwiderstände

Das Rauschverhalten von rauschoptimiertem und großsignaloptimiertem Schaltmischer sieht man auf Bild 15. Durch das Hinzufügen der Emitterwiderstände verschiebt sich der optimale Generatorwiderstand für minimale Rauschzahl. Der Wert erhöht sich bei Rauschoptimierung von 250 Ω mit der minimalen Rauschzahl von 2,18 dB auf 1,1 k Ω mit der minimalen Rauschzahl von 3,36 dB.

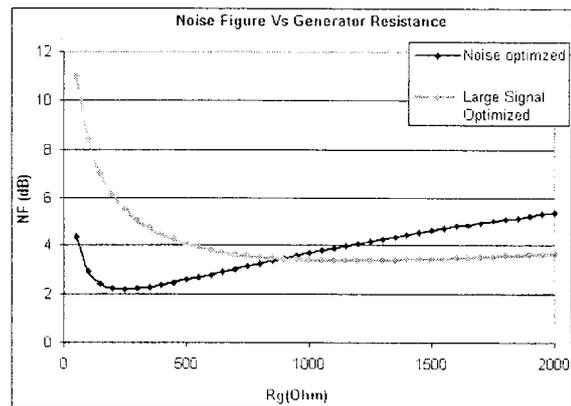


Bild 15: Rauschzahl von rauschoptimiertem und großsignaloptimiertem Schaltmischer in Abhängigkeit des Generatorwiderstandes

3.5. Quadramix

Die nichtlineare Kennlinie der Transistoren kann man dazu nutzen, zwei analoge Signale miteinander zu multiplizieren. Der quadratische Term der NMOS-Transistoren in Pentodenbereich ist bekanntlich im Einsatz als Verstärker unerwünscht, aber im Einsatz als Multiplizierer sehr nützlich. Denn das Quadrat bedeutet nicht anders als die Multiplikation mit sich selbst, also mit der Eingangsgröße. In einem anderen Beitrag dieser Konferenz wurde gezeigt, wie die gewünschte Multiplikation zweier Wechselsignale durch Bildung der Addition und Subtraktion der beiden Signale in der Vorstufe ermöglicht werden kann.

Die Verzerrung, die man bei den Verstärker-Schaltungen mit FET-Transistoren erhält, entsteht bekanntlich aus dem quadratischen Term. Da der Quadramix diesen quadratischen Term zur Multiplikation verwendet, würde man erwarten, dass diese nicht zur Verzerrung führt. Hohe IIP3 kann man also mit diesem Mischprinzip erreichen.

Da der Quadramix zur Multiplikation die NMOS-Transistoren in einer Common-Source-Schaltung verwendet, zeigt dieser Multiplizierer ein ähnliches Verhalten bezüglich der Großsignalfestigkeit wie die Common-Source-Schaltung. Bekanntlich kann man die Linearität der Common-Source-Schaltung verbessern, indem man die effektive Gate-Source-Spannung erhöht.

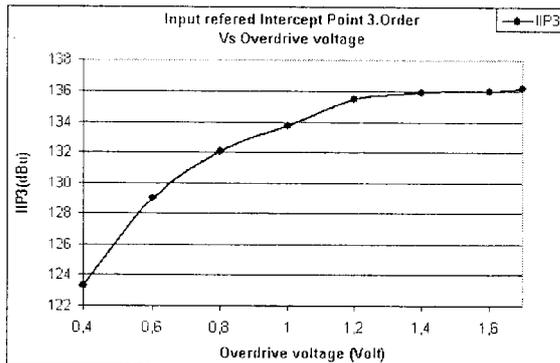


Bild 16: IIP3 eines idealen Quadramix in Abhängigkeit der effektiven Gate-Source-Spannung

Neben der ausgezeichneten Großsignalfestigkeit zeigt der Quadramix auch ein sehr gutes Rauschverhalten. Eine minimale Rauschzahl kann man erwarten, wenn die Schaltung so dimensioniert ist, dass sie eine hohe Mischverstärkung aufweist. Da die Mischverstärkung nun von dem Transkonduktanzfaktor der NMOS-Transistoren abhängt, kann man durch Vergrößerung des W/L-Verhältnisses eine Verbesserung der Rauschzahl erzielen. Bei einer konstanten Stromaufnahme muss man allerdings die Gate-Source-Spannung kleiner machen, was bekanntlich die Großsignalfestigkeit verschlechtert.

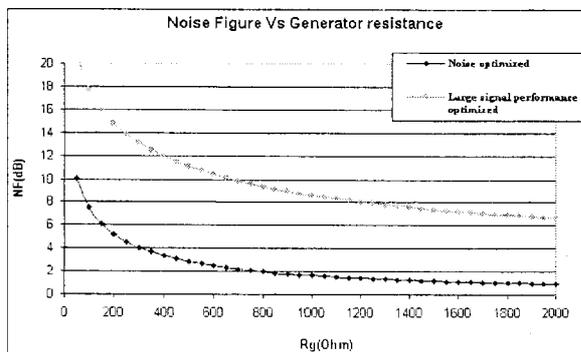


Bild 17: Rauschzahl eines idealen Quadramix in Abhängigkeit des Generatorwiderstandes .

Wenn die Stufe vor dem Multiplizierer für die Bildung der Addition und Subtraktion der zu multiplizierende Signale als Differenzstufen realisiert ist, kann man durch Hinzufügen von Emitterwiderstände die Großsignalfestigkeit ebenfalls beeinflussen.

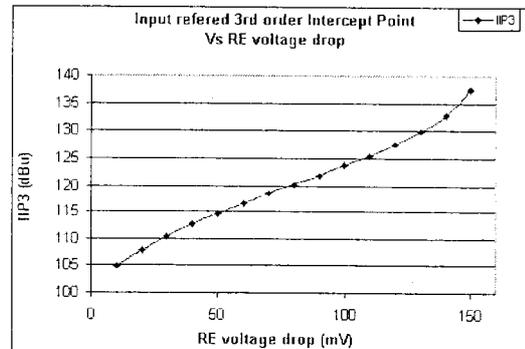


Bild 18: IIP3 eines Quadramix mit Differenzstufen als Vorstufe in Abhängigkeit des Spannungsabfalls der Emitterwiderstände

Hier wurden Differenzstufen mit PNP-Transistoren verwendet, um am Ausgang der Differenzstufen eine niedrige Gleichtaktspannung zu ermöglichen. Wenn die Gleichtaktspannung genügend klein ist, kann das W/L-Verhältnis der NMOS-Transistoren größer gemacht werden und man erzielt damit eine hohe Mischverstärkung. Zusätzlich wurde eine Kaskode realisiert um das Problem mit der Kanallängemodulation zu minimieren.

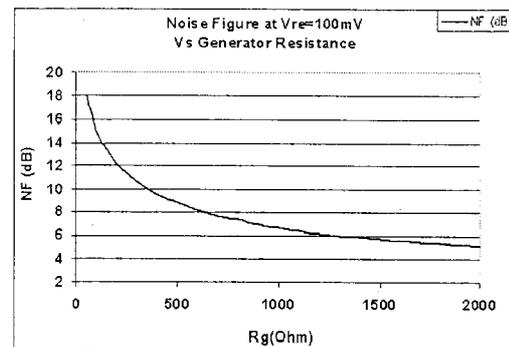


Bild 19: Rauschzahl eines Quadramix mit Differenzstufen als Vorstufe @Vre=100mV in Abhängigkeit des Generatorwiderstandes

Die Rauschzahl verschlechtert sich durch das zusätzliche thermische Rauschen der Emitterwiderstände und der Lastwiderstände der Differenzstufen. Mit einem Generatorwiderstand von 1kOhm erreicht man eine Rauschzahl von 6,6 dB.

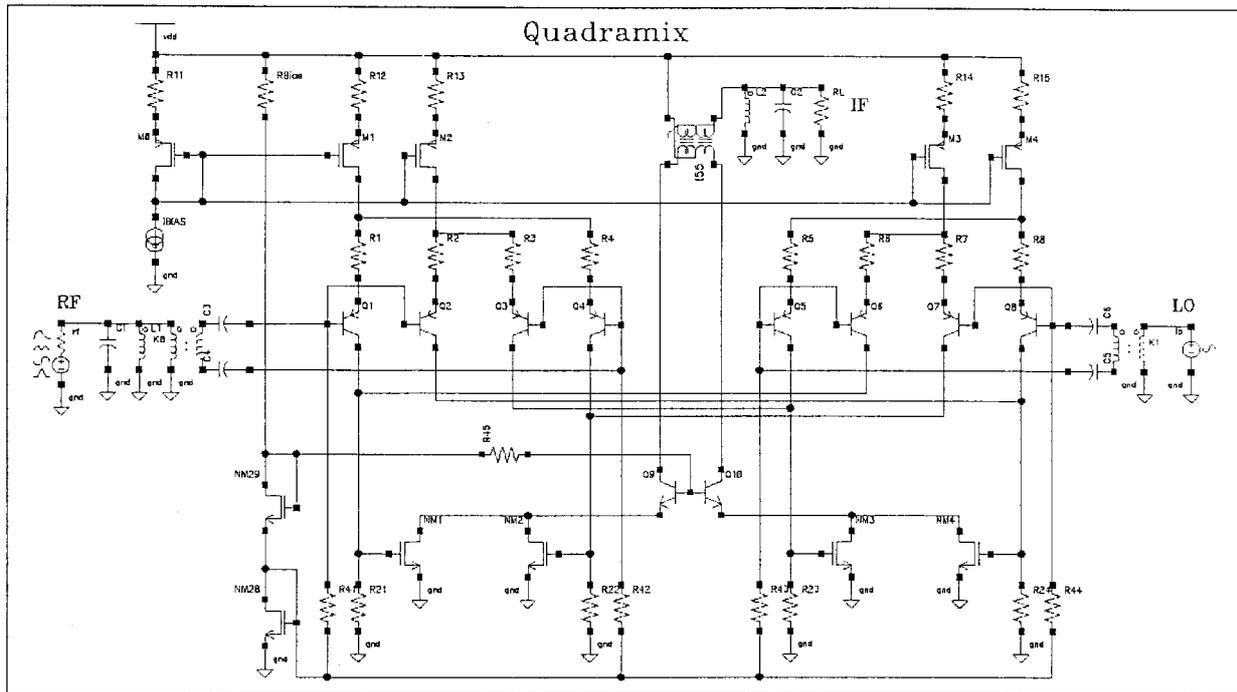


Bild 20: Quadramix mit Differenzstufen und Kaskode

4. Zusammenfassung

	rauschoptimiert			großsignaloptimiert		
	R _g (Ohm)	NF(dB)	IIP3(dBm)	R _g (Ohm)	NF(dB)	IIP3(dBm)
Gilbert-Zelle	300	3,1	-3,7	1000	6,7	4,8
Kafemix (RF Oben)	300	3,35	7,1	100	5,05	11,9
Kafemix (RF Unten)	1000	1,85	3,4	100	7,97	13,7
Hefemix	1000	0,91	2,4	100	5,7	12,4
Schaltmischer	1000	3,4	6,3	100	8,38	16,3
Quadramix	1000	1,63	2,98	500	11,12	12,9

Bild 21: Zusammenfassung der Simulationsergebnisse

Bei einer Rauschoptimierung besitzt die Gilbert-Zelle eine minimale Rauschzahl mit kleinem Generatorwiderstand. Allerdings rauscht sie sehr stark wenn ein hoher IIP3 verlangt wird.

Die Dynamik eines Kafemix-Mischers kann 10 dB oberhalb der Gilbert-Zelle liegen. Die Rauschzahl liegt weitgehend unterhalb der Werte einer Gilbert-Zelle.

Optimales Verhalten kann man beim Kafemix erreichen, wenn das Antennensignal an den Gates der NMOS-Transistoren eingespeist wird. Das LO-Signal liegt an den Basen der Emitterfolger.

Während bei der ersten Variante in der Rauschoptimierung eine minimale Rauschzahl von 3,35 dB erreichbar ist, kann man bei der zweiten Variante eine Rauschzahl von 1,85 dB erzielen. Der IIP3 von den beiden Varianten ist vergleichbar.

Der Hefemix als Verbesserung von Kafemix zeigt noch mal ein günstigeres Rauschverhalten. Eine Rauschzahl von 0,91 dB wurde bei einer Rauschoptimierung erreicht. Mit diesem Mischer und dem Kafemix soll es möglich sein, einen rauscharmen Empfänger ohne LNA zu realisieren.

Der Schaltmischer hat den höchsten IIP3 im Vergleich zu den anderen. Der IIP3 erreicht einen Wert von 16,3

dBm. Allerdings verschlechtert sich die Rauschzahl auf 8,38 dB.

Der Quadramix zeigte bei den ersten Untersuchungen noch keine vergleichbaren Ergebnisse. So wurde eine Rauschzahl von 1,63 dB bei der idealen rauschoptimierten Schaltung erzielt, der IIP3 liegt wegen zu kleiner Gate-Source-Spannung bei 2,98 dBm. Bei dem idealen großsignaloptimierten Quadramix kann man zwar den IIP3 auf 12,9 dBm erhöhen, die Rauschzahl verschlechtert sich aber auf 11,1 dB. In der ersten Ausführungsform mit 4 Differenzstufen verschlechtert sich die Rauschzahl noch weiter.

Interessant wird der Quadramix, wenn man die Vorstufe für die Bildung der Addition und Subtraktion im LNA aus Differenzstufen realisiert. Weitere Untersuchungen sollen zeigen, dass auch dieser Mischer zumindest ein vergleichbares Verhalten im Bezug auf Großsignalfestigkeit und Rauschen besitzt.

Entwicklung einer rechnergestützten Stigmatoransteuerung für die Rasterionenmikroskopie

Daniel Dennis, Prof. Dr. Harald Töpfer, Fachhochschule Esslingen,
Dipl.-Ing. Werner Strohmaier, Universität Tübingen, Inst. für angewandte Physik

In einer Diplomarbeit am Institut für angewandte Forschung (IAF) der Fachhochschule Esslingen, Standort Göppingen wurde in Kooperation mit der Universität Tübingen eine Stigmator-Steuerung entwickelt, getestet und in Betrieb genommen.

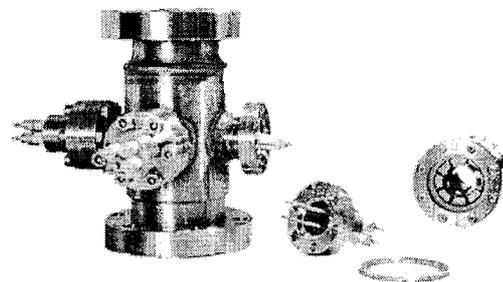


Abbildung 1: Stigmator

1. Einleitung

Eine FIB (*focussed ion beam*) ähnelt einem Rasterelektronenmikroskop, nur wird anstelle des Elektronenstrahls ein Ionenstrahl verwendet. Der Ionenstrahl ist ein Mikro-Skalpell mit dem Schnitte in Mikrostrukturen ausgeführt werden können. Mit einer FIB können aber nicht nur Schnitte ausgeführt, sondern auch schmale Leiterbahnen aus Gold abgeschieden werden. Deshalb werden FIB-Systeme vor allem zur nachträglichen Modifikation von Chips und zur Präparation von Proben eingesetzt.

Die FH Esslingen, Standort Göppingen besitzt eine FIB, die an ein Rasterelektronenmikroskop der Firma Jeol angebaut ist. Dieser FIB-Zusatz wurde am Institut für angewandte Physik der Uni Tübingen (Prof. Plies) entwickelt.

Zur optimalen Ausformung des Ionenstrahls von FIB-Systemen wird ein sogenannter Stigmator in den Strahlengang integriert. Der Stigmator hat die Aufgabe, die Form des Ionenstrahles zu korrigieren und gegebenenfalls zu zentrieren. Mit Hilfe von Feldplatten, an denen eine hohe Spannung angelegt wird, kann dieser Strahl beeinflusst werden. Bei dem hier verwendeten Stigmator geschieht dies über 8 Platten. Jede Platte bekommt eine einstellbare Spannung zwischen + 600V und - 600 V.

Im Rahmen der Diplomarbeit wurden 2 Exemplare der Stigmatorsteuerung angefertigt, eine für die FH in Göppingen und eine für die Uni Tübingen. Beim Göppinger Exemplar lässt sich die Plattenspannung auf die schon erwähnten +/-600 V einstellen. Bei der Tübinger Anlage liegt die Masse dagegen auf -5 kV, jede Plattenspannung ist also von -4,4 kV bis -5,6 kV einstellbar. D. h. die gesamte Ansteuerelektronik und insbesondere die Signalübermittlung zum PC muss hochspannungsfest aufgebaut werden.

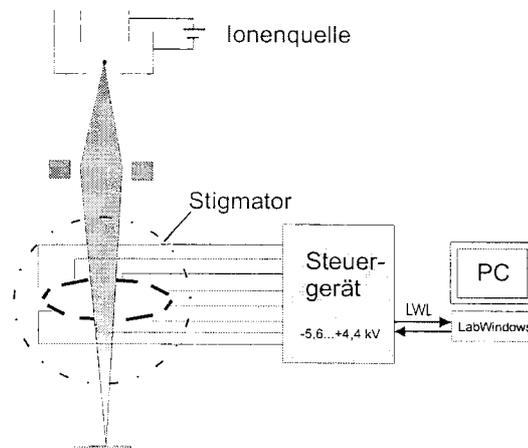


Abbildung 2: FIB

2. Hardware

Die Ansteuerung des Stigmatators erfolgt über eine LabWindows-Software, mit welcher die acht Plattenspannungen eingestellt und deren Funktion überprüft werden können. Das angeschlossene Ionenmikroskop kann auf einem Potential von -5 kV liegen. Es ist somit notwendig, die Steuerung komplett galvanisch (<10 kV) zu trennen. Die galvanische Trennung wird mit zwei Kunststoff-Lichtwellenleitern realisiert. Die Umsetzung der RS232-Lichtwellenleiter in beide Richtungen übernimmt ein externer Konverter von Streichholzschachtelgröße. Dieser Konverter wurde ebenfalls am IAF entwickelt.

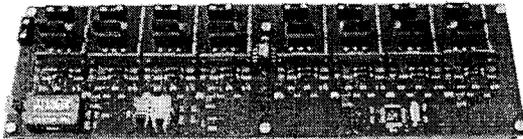


Abbildung 3: Steuerungsplatine

Die Steuerschaltungen für alle 8 Kanäle sind auf einer gemeinsamen Steuerungsplatine untergebracht. Diese Platine enthält einen ATmega-Mikrokontroller sowie die Anschlüsse der beiden Lichtwellenleiter, die für die Kommunikation mit dem PC notwendig sind.

Die Ausgangsstufen (Abbildung 5) der 8 Kanäle erhalten ihre Soll-Spannung von einem hochgenauen 16 Bit D/A-Wandler. Die 8 D/A-Wandler sind über einen SPI-Bus an den Mikrokontroller angeschlossen. Für die Ausgangsstufen wird ein 1,5 kV MOSFET in Sourceschaltung mit einem Drainwiderstand von 1,5 MΩ verwendet. Die Gatespannung des MOSFET wird mit einem analogen Regelkreis erzeugt, der aus Operationsverstärker, Optokoppler und HV-Transistor besteht. Er erhält seinen Istwert über einen Spannungsteiler, bestehend aus

einem ~100 kΩ- und einem 25 MΩ-Widerstand. Für den 25 MΩ Widerstand wurde ein Bauelement aus der Baureihe HVR 30 der Firma SRT Resistor Technology gewählt, da dieser mit 0.25 % Toleranz sehr genau ist.

Mit einem Optokoppler wird das analoge Ansteuersignal des Hochvolt-MOSFETs auf das Potential von -600 V übertragen.

Die durch einen Spannungsteiler erhaltene Ist-Spannung jedes Kanals wird mit dem 10 Bit A/D-Wandler des Mikrokontrollers gemessen und als digitale Information zurück zum PC übertragen. Damit können am PC jederzeit die an den Platten anstehenden Ist-Spannungen kontrolliert werden.

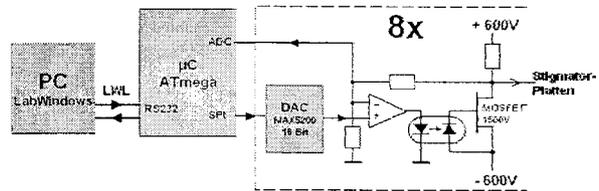


Abbildung 4: Prinzipschaltung eines Kanals

3. Spannungsversorgung

Beim Tübinger Exemplar befindet sich die Masse der Steuerung auf einem Potential von -5 kV. Um einen sicheren Schutz vor Berührung zu erhalten, wird die Steuerung in ein geschlossenes Gehäuse aus Trovidur-Kunststoff eingebaut. Abbildung 6 zeigt das Prinzipschaltbild der Spannungsversorgung. Für eine sichere galvanische Trennung zwischen der Masse der Steuerung und der Netzspannung wird diese über einen Trenntrafo der Firma Betschard AG vom Typ HTV50/ 10558 der Steuerung zugeführt

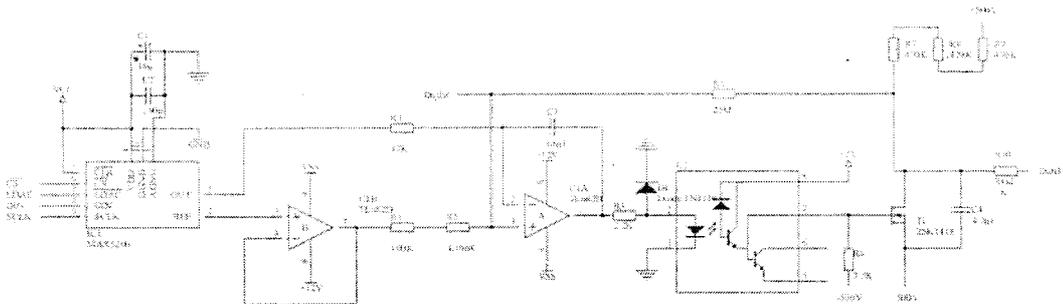


Abbildung 5: Ausgangsstufe eines Kanals

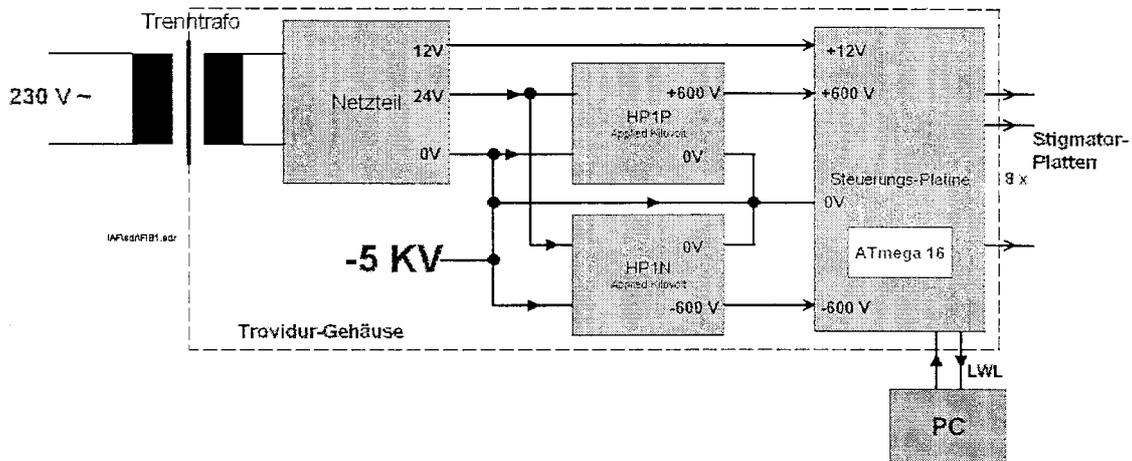


Abbildung 6: Gesamtschaltung

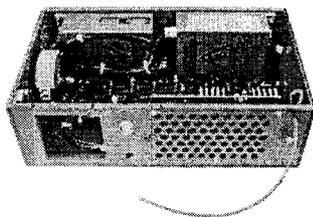


Abbildung 7: Steuerung in Trovidur-Gehäuse

Innerhalb des Trovidur-Gehäuses wird von einem Netzteil eine Spannung von 12 V für die Steuerungsplatine und 24 V für die Hochspannungsmodule bereitgestellt. Die Hochspannung von +/- 600 V wird der Steuerungsplatine neben der 12 V Versorgungsspannung zugeführt. Die Steuerplatine erhält über eine LWL-Strecke galvanisch getrennt die Steuerbefehle für die einzelnen Plattenspannungen vom PC. Innerhalb der Steuerung sind alle Massen miteinander und über eine BNC-Hochspannungsbuchse mit dem Massepotential (-5 kV) der FIB verbunden.

4. Software

Die Steuersoftware wurde PC-seitig mit LabWindows erstellt. Mit LabWindows können auf einfache Weise grafische Benutzeroberflächen (GUI) erzeugt werden. Vorgefertigte Symbole für Schalter, Balken, Knöpfe und vieles mehr werden auf einem GUI platziert. Hinter jedem Symbol kann eine Funktion, die so genannte Callback-Funktion, hinterlegt

werden. Bei einem bestimmten Ereignis wird diese Callback-Funktion aktiviert. Ein solches Ereignis kann z.B. eine Schalterbetätigung oder auch ein Timer-gesteuertes Ereignisse sein. Jede Callback-Funktion besteht aus einem Code, der bei dem Ereignis ausgeführt wird. Dieser Code wird in der Programmiersprache C oder C++ geschrieben.

Bei dem Grafik User Interface kurz GUI genannt, handelt es sich um das Bedienteil der Anlage. Auf diesem können die Soll-Spannungen für den Stigmator (U1, U2) und den Ablenker (Ux, Uy) eingestellt werden. Aus diesen eingestellten Soll-Spannungen werden die einzelnen Soll-Plattenspannungen (SollP0...SollP7) errechnet und angezeigt. Anschließend werden diese zur Kontrolle von der Steuerung gemessen und als Ist-Plattenspannungen (IstP0...IstP7) auf dem GUI angezeigt.

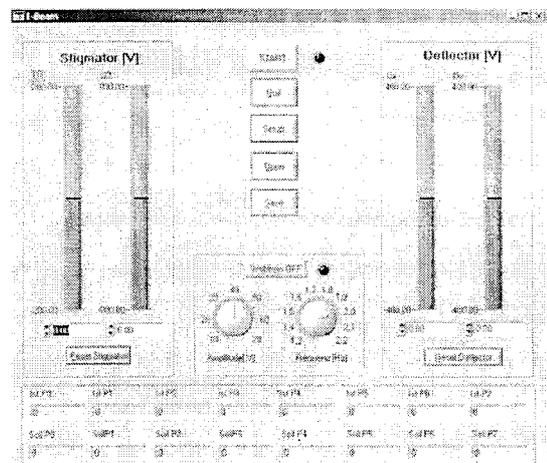


Abbildung 8: Das GUI

Unterhalb der Schieberegler für Stigmator und Ablenker befindet sich jeweils ein Taster, mit dem sich die jeweiligen Schieberegler auf ihre Grundposition (0 V) zurückstellen lassen.

Die Hauptaufgabe eines Stigmatators ist es, den diffusen Strahl zu zentrieren. Um den Stigmator besser und leichter justieren zu können, ist es hilfreich, die Stigmatorspannungen U1 und U2 wobblen zu können. Im Wobblebetrieb wird den Plattenspannungen eine Sinusschwingung mit einstellbarer Frequenz und Amplitudenhöhe überlagert.

Durch ein weiteres Kontrollfeld lässt sich die Wobblefunktion steuern. Diese kann damit ein- und ausgeschaltet werden. Über die beiden Drehknöpfe lässt sich die Amplitude und Frequenz der Wobblespannung vorgeben.

Das sinusförmige Wobblesignal mit einer Frequenz von ca. 2 Hz wird vom Mikrokontroller auf der Steuerplatine erzeugt. Der PC gibt über ein Steuerwort die Anweisung, mit welcher Amplitude und Frequenz die Plattenspannungen gewobbelt werden soll.

Des Weiteren befinden sich auf dem GUI noch Taster zum Speichern der aktuellen oder zum Öffnen zuvor abgespeicherter Einstellungen.

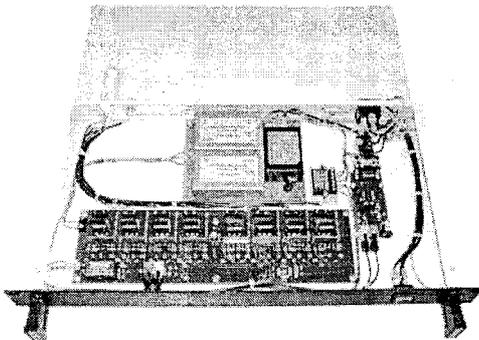


Abbildung 9: Steuergerät mit 0V Massepotential

Mit der Taste START/ STOP wird die Anlage gestartet oder gestoppt.

Wird die Anlage gestartet, werden Timer-gesteuert im Sekundentakt die Soll-Plattenspannungen errechnet, übertragen und die gemessenen Ist-Plattenspannungen auf dem PC angezeigt. Da die Plattenspannungen entweder aus einem 10 Bit (Ist) oder 16 Bit (Soll) Wert bestehen, müssen diese vor dem Übertragen über die RS232-Schnittstelle in 8 Bit lange Werte zerlegt werden. Für die weitere Verarbeitung werden diese 8 Bit Werte wieder in ihre Ausgangsform zusammengesetzt.

5. Zusammenfassung

Um die Leistungsfähigkeit von FIB-Systemen zu verbessern, wird ein so genannter Stigmator in den Strahlengang integriert. Ein Stigmator hat die Aufgabe, den Stigmatismus des Ionenstrahles zu korrigieren und diesen gegebenenfalls zu zentrieren. Mit den hierfür vorgestellten Steuerungen werden die Feldplatten entweder mit -4,4 kV...+5,6 kV oder +/-600 V von einer Windowsoberfläche aus über LWL angesteuert.

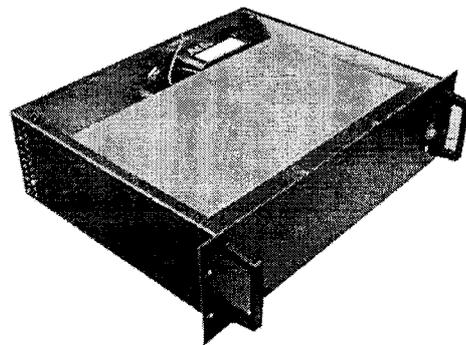


Abbildung 10: Steuergerät mit -5 kV Massepotential

Verification and Optimization of Floating-Point Unit in VHDL by IEEE Standard

Jayapal Karthick

(University of Applied Science , Darmstadt,
Germany)

Karthick.jayapal@gmail.com

Prof. Dr. Bernhard Hoppe

(University of Applied Science , Darmstadt,
Germany)

hoppe@fh-darmstadt.de

Abstract

Engineers developing complex embedded System-on-Chip (SoC) designs are increasingly finding that traditional verification techniques are inadequate for delivering bug-free first-pass silicon. The design community is turning to pre-silicon prototypes built from FPGA devices as a technique for meeting such challenges. In this paper, we propose Verification and Optimization of floating-point unit in VHDL by IEEE standard. Verification is performed by generating automatic test-cases using VHDL Test-bench, here all arithmetic operations are verified. The functional accuracy of the architecture for this unit is verified by simulating a RTL code written in VHDL. Prototyping is attempted on a wide variety of FPGAs prior to ASIC implementation and the performance of the architecture is analyzed.

1 Introduction

The traditional verification techniques used in the development of the increasingly complex System-on-Chip (SoC) designs are not capable of covering the whole gamut of hardware design challenges. Complicated interactions among proprietary hardware, integrated third-party IP, low-level firmware, communication protocols, operating systems, and application software are usually not discovered by traditional simulator/testbench approaches. Further, designers who wait until test silicon is available before developing and integrating application software often find their market window closed when the product arrives. Many designers are therefore turning to pre-silicon prototypes built from field programmable devices as a technique for overcoming these problems.

Constructing a Pre-Silicon Prototype of an SoC design using FPGAs presents many challenges, including partitioning the monolithic design across the FPGA devices, working within the pin constraints of the FPGAs, mapping SoC constructs like gated clocks into structures more appropriate for FPGAs, and debugging with the prototype when bugs are uncovered in the design. Waiting until the final RTL is complete before beginning these tasks makes the total job considerably more difficult. A better approach is to follow a block-based prototyping methodology wherein design blocks are mapped to FPGAs and integrated with the rest of the design as the blocks become available.

Fixed point number notation is convenient for representing small-valued integers and scaled fractional numbers. The same algorithms could be applied to real (floating-point) numbers with a provision for scaling, that is, keeping track of the implied radix point. In fixed-point preprocessors, the programmer must maintain the correct position of the radix point at all times, and this can be very complicated. While it is possible to handle scaling problems with programming, the resulting programs tend to be inefficient due to the additional steps required to maintain the scaling factors. This also imposes an unnecessary burden on the programmer and results in a process that is prone to errors.

Floating-point processors handle the scaling factor automatically. The additional hardware is relatively complex and adds to the cost of the computer, but the operation of the machine is more efficient. Consider the range of values represented by a 16-bit fixed-point number. When interpreted as an integer, the value is range is

$$+2^{15} - 1 = +32,767$$

With the high-order bit representing the sign

$$\begin{array}{ccc} 2^{15} = 32,768 & & 2^0 \\ \downarrow & & \downarrow \\ 0 & 111 & 1111 & 1111 & 1111 & 1111 \end{array}$$

The maximum negative value is

$$-2^{15} = -32,768$$

With the high-order bit representing the sign

$$2^{15} = 32,768$$

$$1000000000000000$$

Neither of these limits is sufficient for scientific calculations, which might involve such numbers as $34,200,000,000 \times 0.0000000762$

The above multiplication is much easier to read and understand if it is written in scientific notation, such as

$$(342 \times 10^8) \times (7.62 \times 10^{-8})$$

Floating-point notation is nothing more than scientific notation. Even 32-bit machines have values restricted to $+2^{31} - 1$ and -2^{31} , which approximates $\pm 10^{11}$.

The remainder of this paper is structured as follows. In Section 2, an overview of hardware implementations for Floating-Point algorithms is provided, followed by a detailed analysis of the 32-Bit Floating-Point Unit in Section 3. Representation of Floating-Point Unit in Arithmetic unit in Section 4 Finally, Section 5 gives the details of the work done by elucidating the Test-Bench design approach for Floating-Point unit.

2 Floating-Point Primitives on Hardware

Implementation of cryptography algorithms can be on two platforms, either software or hardware. While software implementations can be on general purpose processors (say, Intel x86) or in a constrained environment (say, an embedded microcontroller or DSP), hardware implementations can be classical or reconfigurable. Classical implementations tend to be full custom designs on Application Specific Integrated Circuits (ASICs), while reconfigurable implementations are on FPGAs.

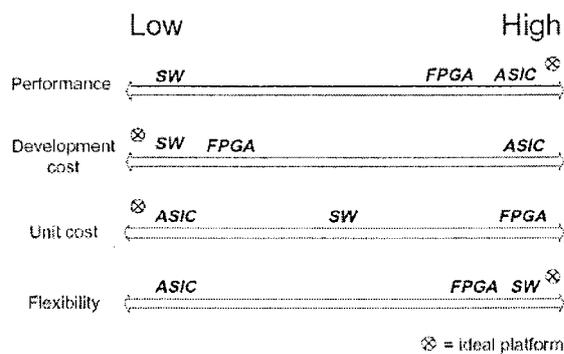


Fig. 01
Comparison of Platform Characteristics for Implementation of Cryptographic Primitives

A comparison of the characteristics of various implementation platforms (Fig. 01) brings out the fact that performance wise, ASICs are ideal, followed closely by FPGAs. Software implementations are the worst in terms of performance. However, development cost for software is very low, while it is slightly higher for FPGAs. ASICs are very costly in these terms. In terms of flexibility also, software platforms outperforms ASICs, with FPGAs coming somewhere close to software since they are reconfigurable. Thus, it is evident that the FPGA implementations tend to combine the advantages of both hardware and software.

There exists some applications for which the software implementations are too slow. Further, there are also applications where physical security is of paramount importance. Hardware implementations are intrinsically more physically secure, since key access and algorithm modification is considerably harder. In particular, Floating-Point algorithms implemented on reconfigurable platforms offer a host of advantages. These include algorithm agility, algorithm uploadability, architecture

efficiency, resource efficiency, algorithm modifications, increased throughput (relative to software) and cost efficiency (relative to ASICs).

The approach to designing hardware for Floating-Point algorithms (be it in ASICs or on FPGAs) either as a dedicated unit or as a coprocessor is to design the architecture datapath followed by coding it in a Hardware Description Language. A logic synthesis tool can then be utilized to target it onto either FPGAs or ASIC platforms.

3 Floating-Point Unit

To obtain a dynamic range of representable real numbers without having to scale the operands, we use floating-point numbers instead of fixed-point ones. The representation of floating-point numbers is similar to the commonly used scientific notation and consists of two parts, the significand (or mantissa) M and the exponent (or characteristic) E . The floating-point number F represented by the pair (M, E) has the value

$$F = M \cdot r^E$$

Where r is the base of the exponent. This base is common to all floating-point numbers in given system. It is therefore not included in the representation of a floating-point number, but is rather implied.

Thus, the n bits that represent a floating-point number are participated into two parts, one holding the significand M and the other the exponent E . The range of representable floating-point numbers is larger than that of fixed-point representation, but the precision is smaller. The total number of different values (representable in n bits) is still 2^n , and since the range between the smallest and the largest representable values increases, the distance between any two consecutive values must increase as well. Floating-point numbers are thus sparser than fixed-point numbers, resulting in a lower precision. Any real number whose value lies between two consecutive floating-point numbers is mapped onto one of these two numbers. Therefore, a larger distance between the two consecutive numbers results in a lower precision of representation.

The significand M and the exponent E of a floating-point number F are both signed quantities. The exponent is usually a signed integer. In addition, different schemes for representing negative values can be employed for each of the two parts of the floating-point. Until 1980 there was no standard for floating-point numbers and almost every computer system had its own representation method. This made the transportation of scientific programs and data between two different machines very difficult. At that time IEEE standard 754[3] was formulated; it is used in most floating-point arithmetic units designed in recent years.

Although only very few computer systems still use their own floating-point format rather than the IEEE standard format, it is important to understand some of the prior formats. These prior formats greatly influenced the decisions made by the IEEE floating-point standard

committee and studying them allows a better understanding of the IEEE standard format. These formats differ in the partitioning of the n bits between the significand and exponent fields, in the representation method used for each of the two parts, and in the value of the base r. In what follows we will consider only a few prior formats; the others can be analysed in similar manner.

We start with the significand field and examine the common case where the significand is signed-magnitude fraction. The floating-point format in such a case consists of sign bit S, e bits of an exponent E, and m bits of an unsigned fraction M, satisfying $m + e + 1 = n$, as shown below:

S	Exponent	E	Unsigned Significand	M
---	----------	---	----------------------	---

The value of such a floating-point number (S, E, M) is given by

$$F = (-1)^S \cdot M \cdot r^E$$

Since $(-1)^0 = 1$ and $(-1)^1 = -1$. The maximal value of the fractional significand, denoted by Mmax, equals $M_{max} = 1 - \text{ulp}$, where ulp is the weight of the least-significant bit of the fractional significand.

Next we discuss the selection of a value for the implied base r of the exponent. For practical purposes, the base r is restricted to an integer power of the radix $r = 2$. In other words, $r = 2^k$ where $k = 1, 2, \dots$. The reason for this is that it provides a simple method of decreasing the significand and increasing the exponent (and vice versa) at the same time, so that the value of the floating-point number remains unchanged. Whenever an arithmetic operation results in a significand larger than the maximum allowed value of $M_{max} = 1 - \text{ulp}$, we have to simultaneously increase the exponent so that the value of the floating-point number stays the same. The smallest increase in E, being an integer, is by 1. Therefore, we should use the following relation when the need to reduce the significand arises:

$$M \cdot r^E = (M/r) \cdot r^{E+1}$$

The special value that can be represented in the IEEE format and which are summarized in the following table

	$f = 0$	$f \neq 0$
$E = 0$	0	Denormalized
$E = 255$	$\pm\infty$	NaN*

*NonNumber

4 Representation of Floating-Point Arithmetic Unit

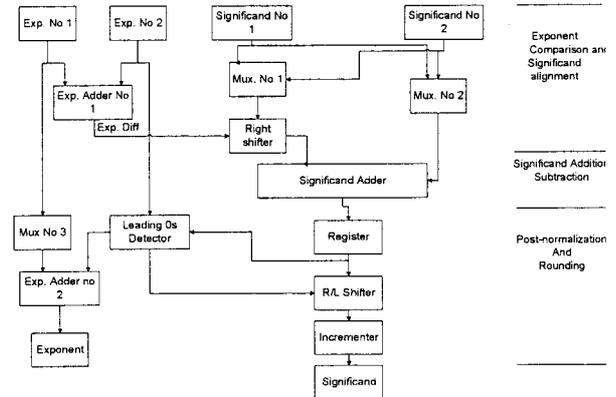


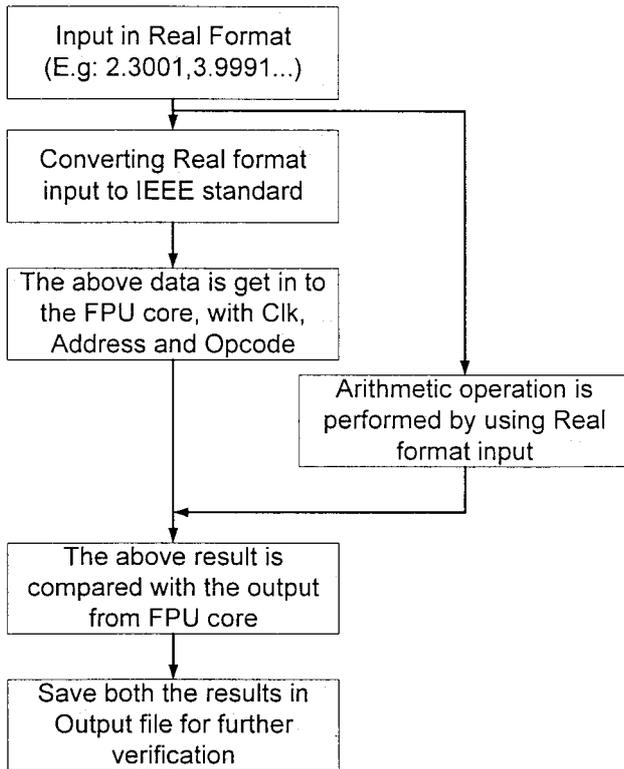
Fig 02
Floating-Point Adder/Subtractor

A simplified block diagram of the circuitry required to perform the addition or subtraction of floating-point numbers is depicted in fig 02. The block diagram shows the two separate data paths, with the left one for the exponents and the right one for significands. Exp. Adder No 1 computes the difference between the exponents of the two operands. The resulting exponent difference determines the amount of shift right positions that the significand of the smaller operand must go through in order to be aligned with the other significand. Mux no 1 is a multiplexer also known as data-selector, which routes one of its single output. The selection of the input significand to be routed to the right shifter is determined by the sign of the exponent difference. This sign also controls Mux no 2, which selects the significand of the larger operand and routes it to the significand adder. In the next step the addition or subtraction of the now aligned significands is performed and the result stored in a register. Then, a special circuit, Leading 0's detector, examines the leading bits of the resulting significand and determines the type of shift operation needed for the postnormalization step and corresponding adjustment of the exponent. This adjustment is performed using Exp Adder no 2 who's second input is the exponent of the larger operand. This, in turn, is selected by Mux no 3 which is again controlled by the sign of the exponent difference. Finally, the incrementer executes the rounding, if necessary according to the IEEE standard [3].

5 Test Bench Flow

In Verification VHDL coding is used to test the actual FPU Core. First the real numbers are generated and converted in to IEEE standard format, this converted real numbers are fed in to FPU core along with opcode, address and Clock. In parallel actual Arithmetic operation takes place with input in real format. Both the outputs are

verified and stored in output text-file for further verification.



A test bench module for verifying the functionality of the datapath was written, and the entire setup was simulated using Model Technology's ModelSim 5.7G HDL simulator [5].

Table 01
Xilinx FPGA Synthesis Summary

IOs	72
Number of gates	25680
No of Function Generators	25792
No of Block Multipliers	4
No of latches	235
CLB Slices	12896
Block Multipliers	4

Table 02
ASIC, Synopsys (Design-Compiler) Synthesis Summary

Library Used	C35_CORELIB
No of Ports	73
No of Nets	39006
No of Cells	36254
No of Reference	342
Total cell Area	4184835.250000
Total Area	5571473.000000

The HDL code can be targeted onto either an ASIC or a FPGA. Initially, the pre silicon prototype was attempted on a Xilinx FPGAs. While Mentor's Leonardo Spectrum was used for the Xilinx FPGAs and Synopsys Design Compiler [6], if for ASIC. A summary of the results obtained are given in Table 01 (Xilinx) and Table 02 (Synopsys-Design Compiler).

5 Conclusions

The importance of Verification in developing present day complex SoCs was investigated. The implementation has shown that the present flat FPU RTL design is not so efficient for hardware synthesis. Therefore future studies and comparison to DesignWare, Synopsys Designware library will use to cross check the Actual FPU's performance and accuracy. Finally, the proposed architecture was coded at the RTL level and simulated successfully in Model-Sim. Prior to ASIC implementation, pre silicon prototypes were tried out on a Xilinx FPGAs and also synthesized in Synopsys Design Compiler for ASIC designing. An optimum implementation was found to be obtained on a Spartan 3 Xilinx FPGA.

References

- [1] Joseph J. F. Cavanagh, "Digital Computer Arithmetic, design and Implementation". McGraw-Hill Publications, 1984.
- [2] Israel Koren, "Computer arithmetic algorithms". 2nd Edition, A K Peters Ltd, Massachusetts.
- [3] IEEE Standard for Binary Floating-Point Arithmetic, ANSI/IEEE Std. 754-1985, Aug. 1985.
- [4] Jonathan Ying Fai Tong, David Nagle, and Rob A. Rutenbar, "Reducing Power by Optimizing the Necessary Precision/Range of Floating-Point Arithmetic", IEEE Trans, VLSI Systems, vol. 8, June. 2000.
- [5] ModelSim Users SE User's Manual (Version 5.7g): Model Technologies, Oct 2003
- [6] Synopsys User's Manual (Version 2003.06): Synopsys, Inc, June 2003.
- [7] Michael J.Flynn, and Stuart F.Obermann, "Advanced Computer Arithmetic Design," John wiley & Sons, 2001.
- [8] Behrooz Parhami, "Computer Arithmetic Algorithms and Hardware Design," Oxford University Press, New York, 2000.
- [9] Giovanni De Micheli, "Synthesis And Optimization of Digital Circuits," Mc-Graw Hill, Inc, 1994.

FHO Standard Cell Library for Digital Designs

Dipl.eng. Mihail Cunesco, ASIC Design Center
Fachhochschule-Offenburg, Badstrasse 24, D-77652 Offenburg
Tel. 0781/205-274

1.1 Introduction

System on Chip (SoC) in deep submicron technologies contains several millions transistors and has to work at lower supply voltages to avoid high power consumption. Consequently, digital libraries have to be designed to work at very low supply voltages and to be very robust while considering wire delays, signal input slopes, noise and crosstalk effects. At the electrical level, digital standard cells have been designed in a robust branch-based logic style, such as hazard-free D-Flip-Flops. At the RTL level, while considering a design flow using a logic synthesizer, a new approach has been proposed that is based on a limited set of standard cells. It results that the logic synthesizer is more efficient as it has a limited set of cells well chosen and adapted to the considered logic synthesizer. With significantly less cells than conventional libraries, the results show speed, area and power consumption improvements for synthesized logic blocks.

Standard cell based design has become a mainstream design style for VLSI's. Standard cell libraries are getting bigger, containing more than 500 cells in expecting better performance of the resulting VLSI's. Generating, verifying and maintaining these big libraries, however, need a lot of time and manpower and errors may be crept into the cell designs and/or cell characterization processes. Moreover, technologies are getting diverse and changing rapidly and a cell library must be generated from scratch more frequently, the most of the more interconnection levels, self-aligned contacts, and other technology innovations, new cell design is required. Changing the parameters of the parameterized cell templates cannot generate these new cells. In this sense, the burden of the big cell libraries becomes an obstacle to realize short time-to-market of VLSI's.

The drawback in adopting the small libraries may be area increase, delay increase, power increase and synthesis time increase. Using multiple cell libraries, a widely used synthesis tool (Synopsis Design Compiler), a large set of benchmark circuits and a real industrial design, the paper shows the increase in these indices can be small and the synthesis time is even decreased to about a half. The area and power increase are not very important, because synthesized blocks by standard cells are only a part of the VLSI and memories, I/O's clock systems and handcrafted data paths occupy major portion of the area and power in most VLSI designs. The delay is important because the critical path in a synthesized block may determine the clock frequency of the total chip even though it is not major area-wise. The delay with the compact library, however, increases only about 2% even the number of the cells in a library is decreased to 20.

Since it is possible to make use of new technologies earlier with the compact libraries, it may achieve better overall performance at a fixed time point, although small increase in delay is observed if the same technology is used. The compact libraries will be beneficial to semiconductor suppliers as well as design houses that create their own set of standard cells from time to time to be independent from foundries, which is the case in the FH-Offenburg and academic institutes in general.

1.2 Motivation

Why should we build our own digital cell library?

Educational point of view:

-To get a detailed view about the design flow procedure from its first start point with every detail in a manner of Know-How.

Productive point of view:

- Generating, verifying and maintaining these big libraries, however, need lot of time and manpower and errors may be crept into the cell designs and/or cell characterization processes, and so we decided to choose only 22 cells.
- Moreover, technologies are getting diverse and changing rapidly and a cell library must be provided from the normal provider with high costs, which can be saved in terms of time and money if we can develop our own cell library.

1.3 Tasks

1. Creating transistor schematics for 22 cells using IC Design Architect.
2. Create layout for all the 22 cells using IC Station.
3. Fixing dimensions for the 22 cells for them to fit, according to the Design Rules, that is adjusting the widths of the transistors of these schematics from the widths drawn in the IC Layout.
4. Checking these schematics versus layout, to ensure the consistency with each other.
5. Extracting the parasitic from the layouts and feeding it back into the schematics, in order to have an exact simulation for the actual circuit we have.
6. Creating an IC Cell library and adding the cells into it.
7. Simulation of the circuits and feeding the results into the Synopsys library files.

1.4 EDA Tools

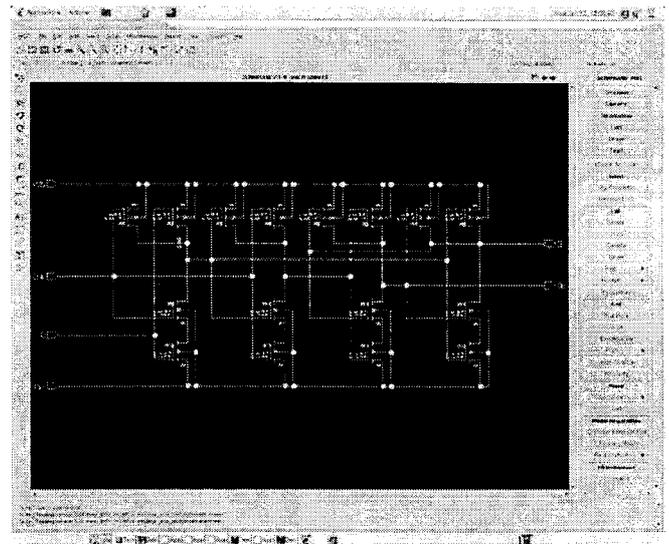
- Mentor Graphics:
IC Design Architect
IC_Station
- Synopsys :
Design Analyse

2.0 Creational Process

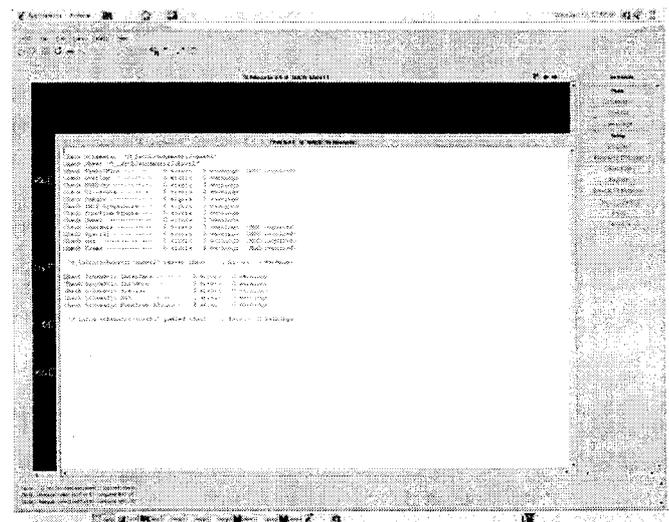
Here is, in a few illustrated steps, the entire technologic process necessary to create a cell library with Mentor Graphics products.

2.1 Transistor schematic

The transistor schematic is build using Design Architect and the appropriate library for CMOS. Also here should be defined the size of the transistor using the property of device, than defined input, output ports and name these ports.



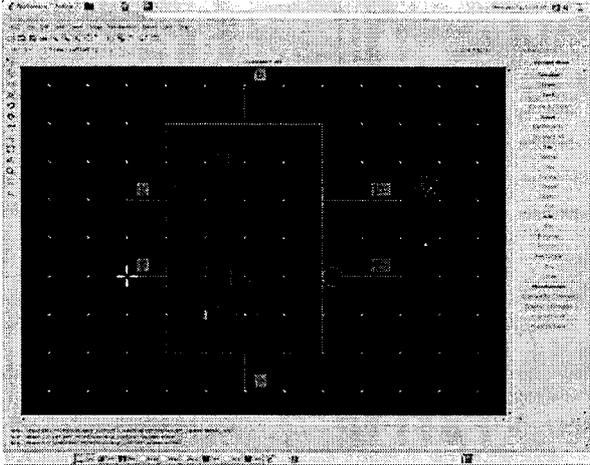
2.2 Check transistor schematic



At this step all problems in transistor schematic are to be fixed.

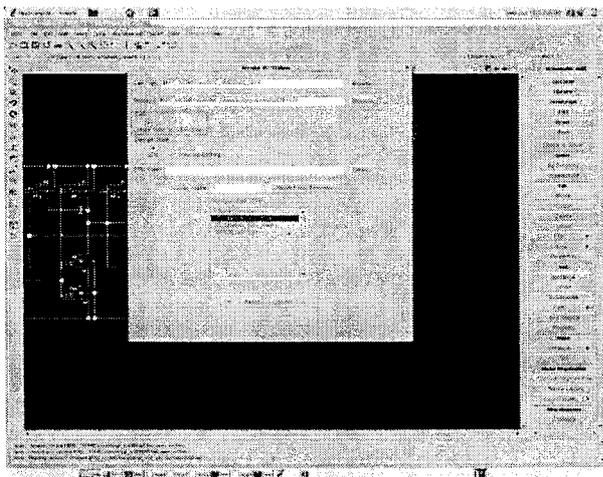
Using an adequate process and rules files the second tool IC_Station is invoked.

2.3 Generate the Symbol

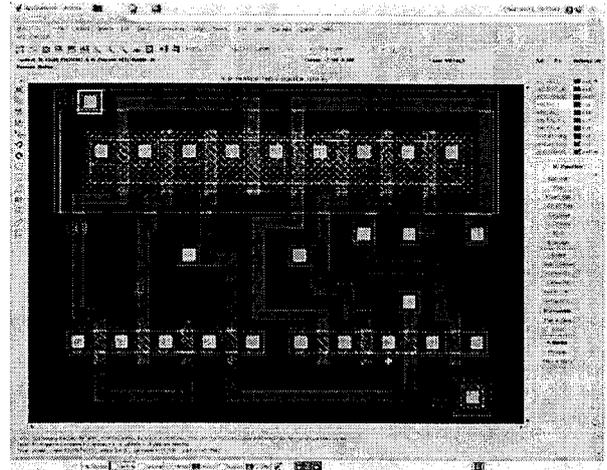


After transistor schematic follows the pin list and a symbol. We will use these symbols in further logic designs.

2.4 Invoke IC_Station

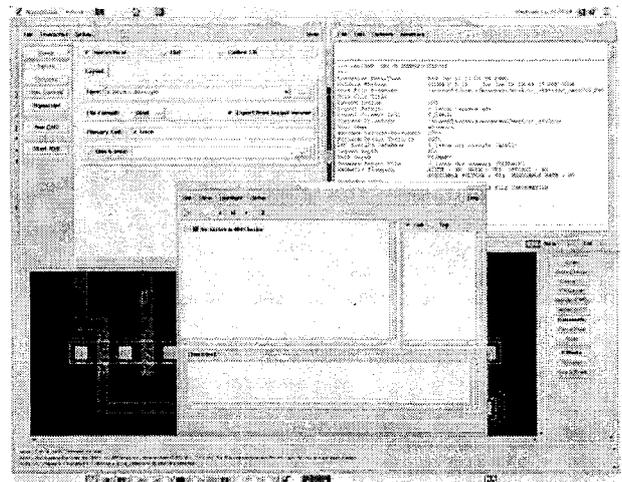


2.5 Layout creation



From the beginning we should load the rules file for IC_Station in order to be able to eliminate all overflows. Than with drag and drop from the window with logic we will put the instances and ports in the layout window. Our goal here is to combine the transistors in such a manner that the result should be a long area with gate and superposition of gates and drains, if it is possible (see image above). Also we have to put via for the ports in adequate positions to facilitate a further autorouting.

2.6 Layout verification



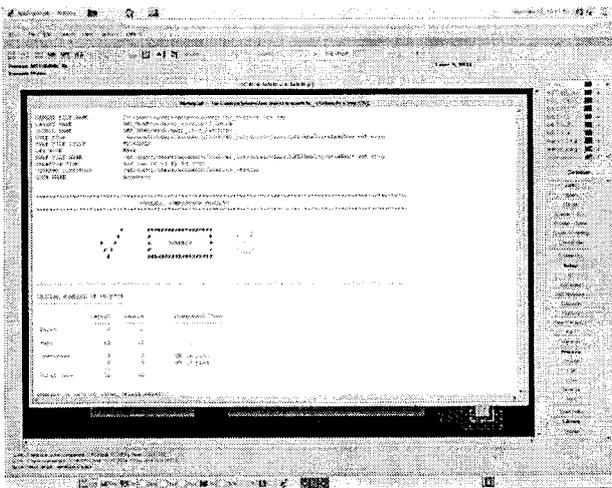
For this purpose we can use our own tool for DRC in IC_Station or the tool provided by Calibre (see image above)

For both tools we should specify the rules file, and where this one is located.

After verifications at the time you receive the green light your layout is ready.

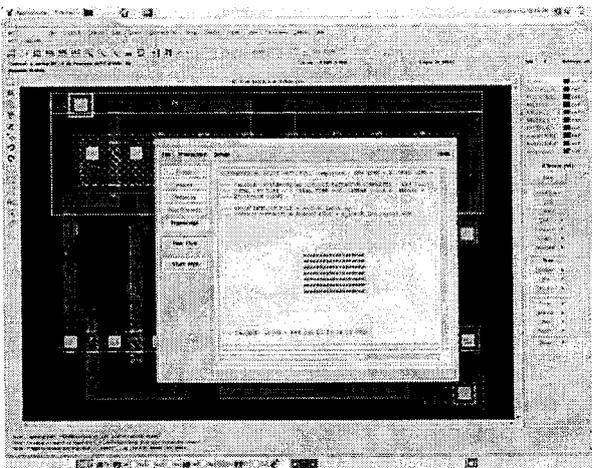
Attention with the four borders because of the future connections between cells.

2.7 Layout vs. Schematic



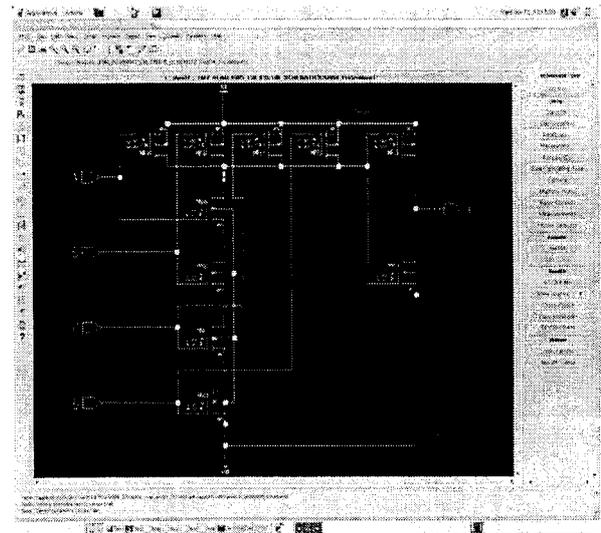
This step will verify the match between the layout and transistor schematic. We've got some problems with transistor subtype and our verification is done with this option disable. Also the file location with rules for LVS should be provided.

2.8 Parasitic extraction



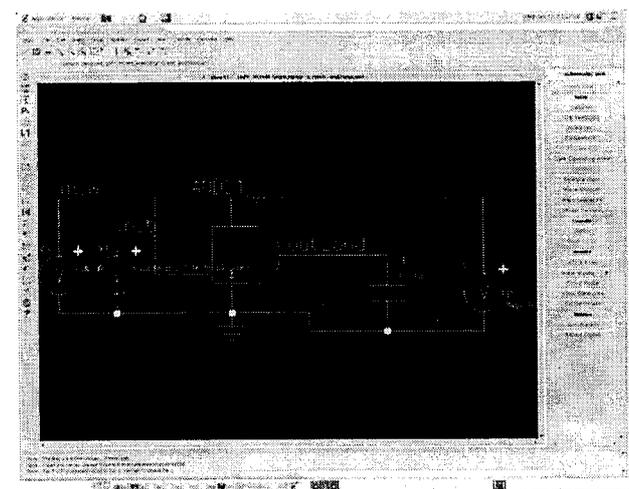
Now because we start to work with physical elements the layout has some parasitic capacitance and resistors. In order to make the extraction for these parasitics we used in our case the old version for IC_Station. Another possibility is to use the Calibre extraction option..

2.9 Backannotation



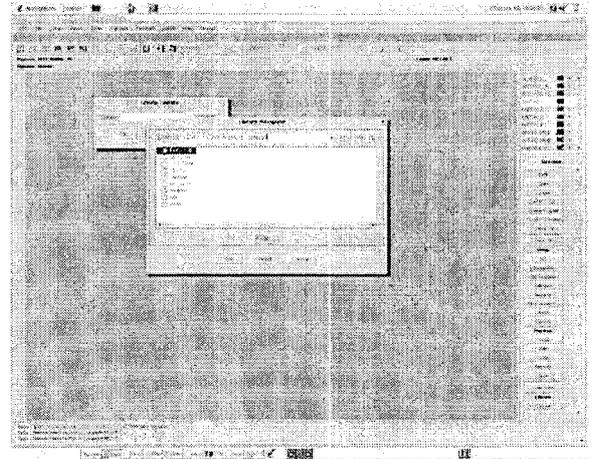
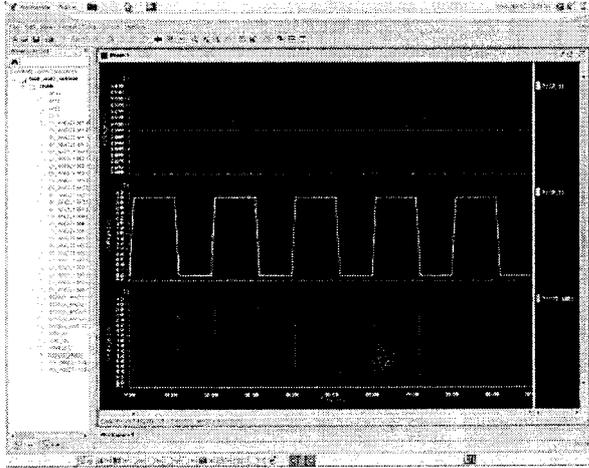
The tool for parasitic extraction will generate a BA file and will back annotate automatically the transistor schematic.

2.10 Cell testing

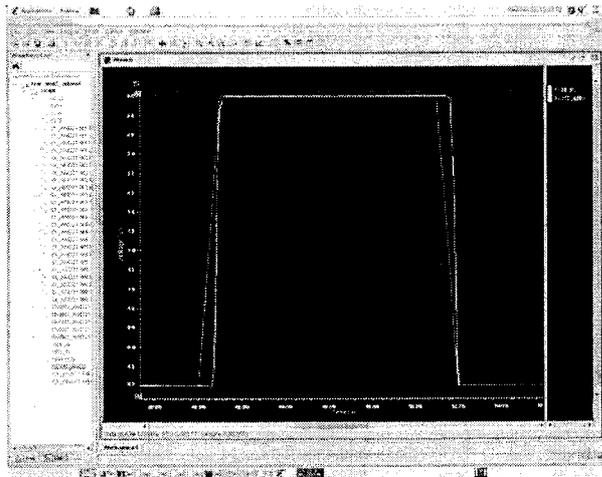


Now, with the BA in transistor schematic the behaviour and the real characteristics for the cells can be simulated. For this purpose are necessary a few sources (DC and PULSE) and a capacitance for the output load.

Behavior verification



Time delay inside the cell



2.11 The Library

The final step will be to put together all cells into a library, using the option which is offered by IC_Station.

File -> Library

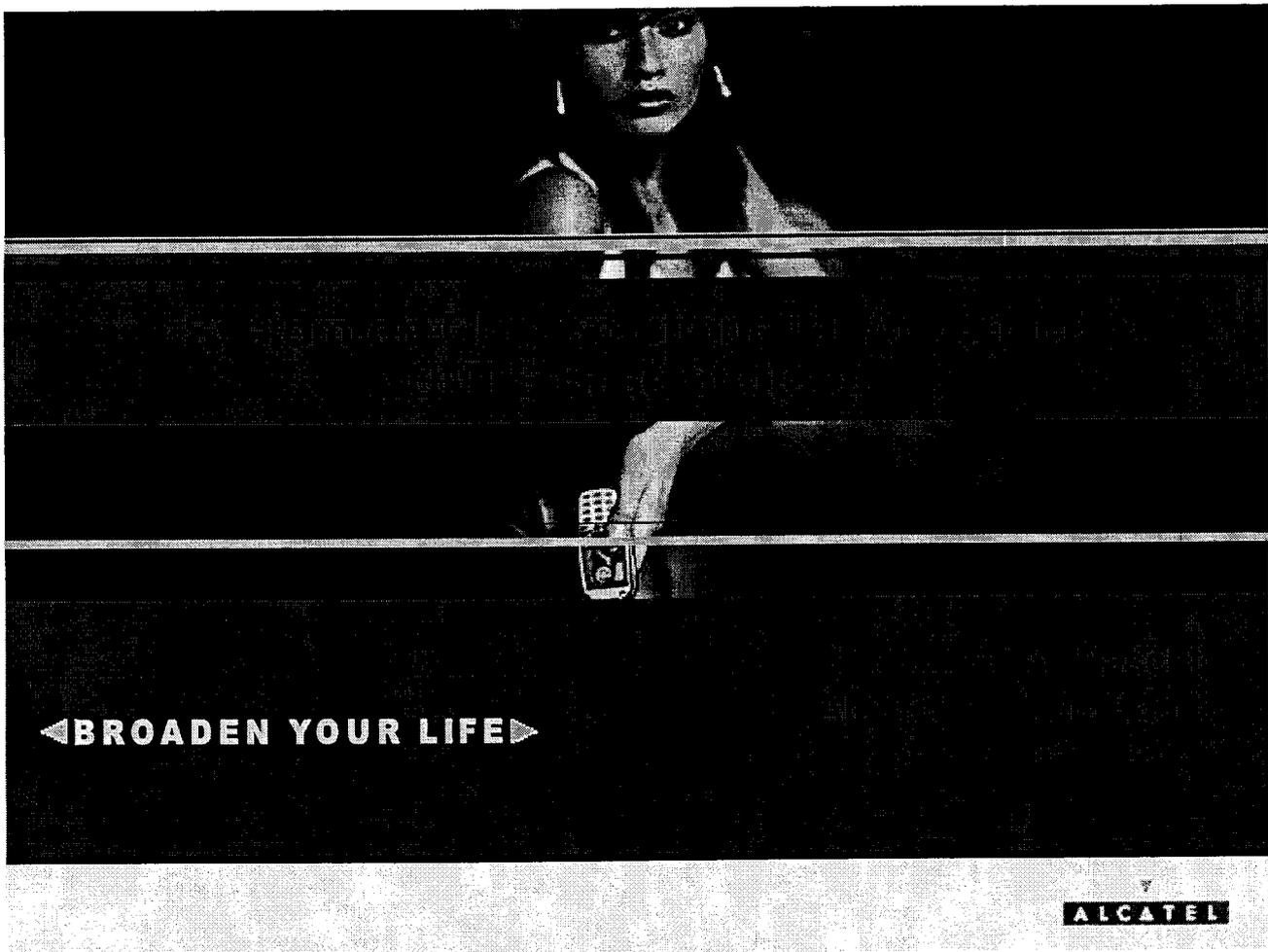
- Create
- Add To
- Save Library

3. Conclusion

The entire process is not a very complicated one and for sure is a just a first step in building a competitive digital cell library. Further development and research should bring this library inside the characteristics range of industrial one. But now, a small unit like a school laboratory can deal with entire process in IC design.

References

1. The Electronic Design Automation Handbook – Prof. Dr. Eng. Dirk Jansen
2. www.mentor.com
3. www.sun.com
4. IC Design Manager Tutorial

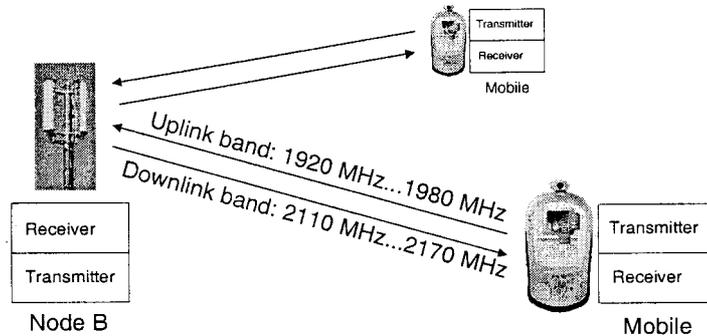


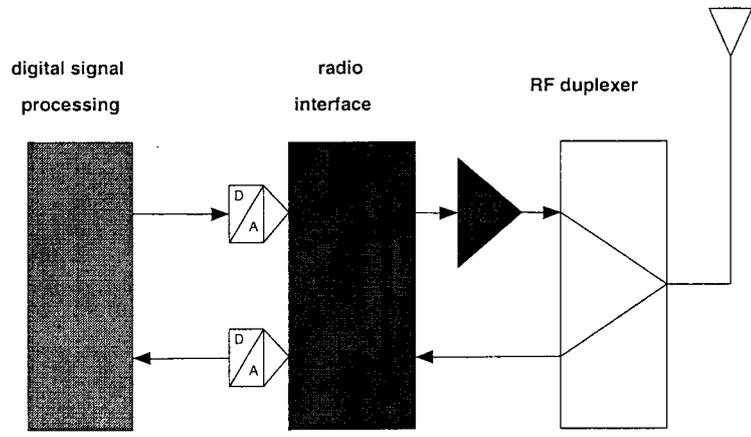
◀ BROADEN YOUR LIFE ▶

ALCATEL

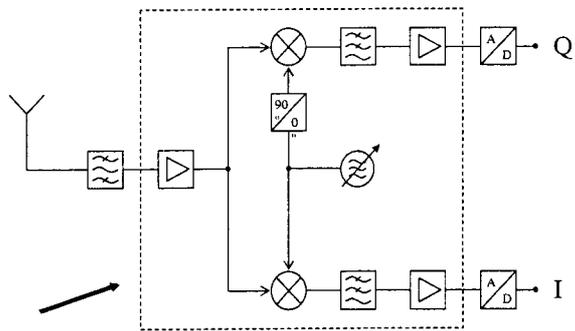
- Introduction and Motivation
- System Overview
- Receiver Architecture
- Receiver Error Compensation
- Transmitter Architecture
- Transmitter Prototype
- Measurement Results

Standard: UMTS (Universal Mobile Telecommunications System)
 Air Interface: W-CDMA (Wideband-Code Division Multiple Access)
 3.84 MHz/channel, 5 MHz channel spacing
 Modulation: QPSK (Quadrature Phase Shift Keying) ==> IQ-signal



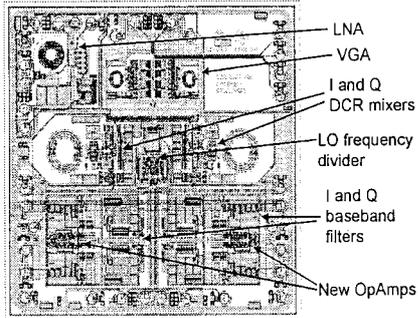


Block diagram of the direct down conversion receiver architecture

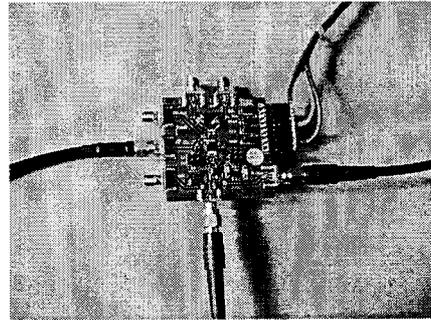


Integrated parts on the receiver ASIC (currently except LO)

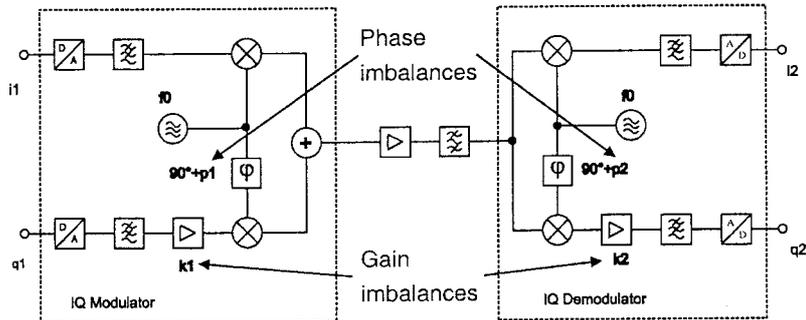
Receiver Layout



Evaluation Board

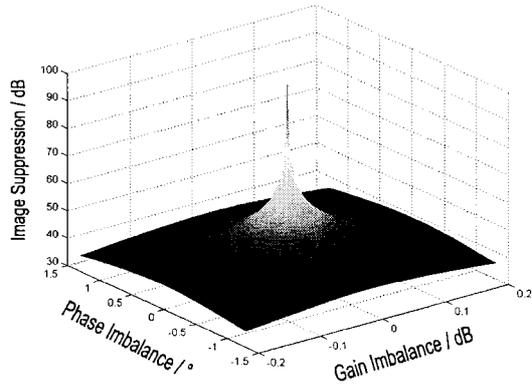


Imbalance model



Only IQ-demodulator ==>
$$a_{\text{image}} = 10 \log \frac{1 + 2k_2 \cos(p_2) + k_2^2}{1 - 2k_2 \cos(p_2) + k_2^2}$$

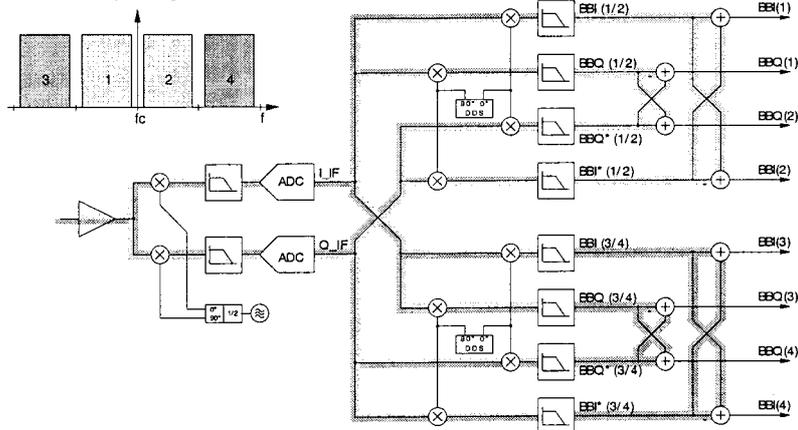
Image suppression vs. gain & phase imbalance



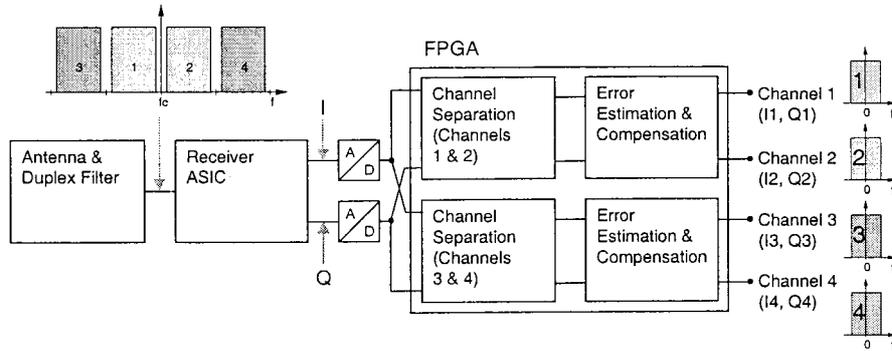
At least 60 dB
image suppression required:
gain imbalance < 0.01 dB
phase imbalance < 0.1°

**Not feasible with analogue
ASIC only!**

RF Input Signal

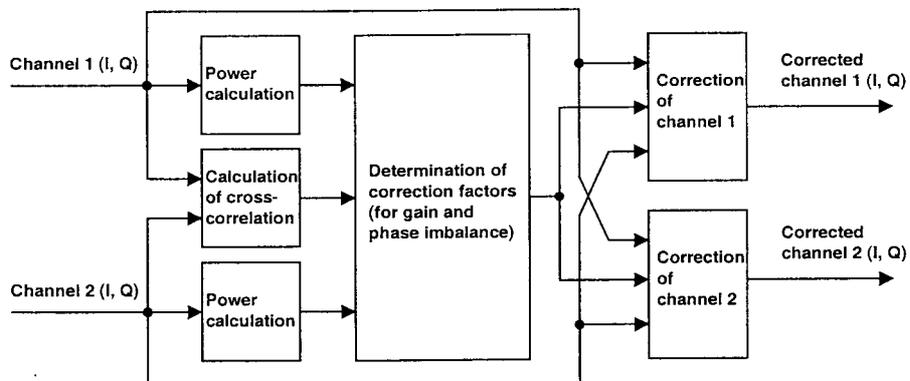


Overview of the receiver structure

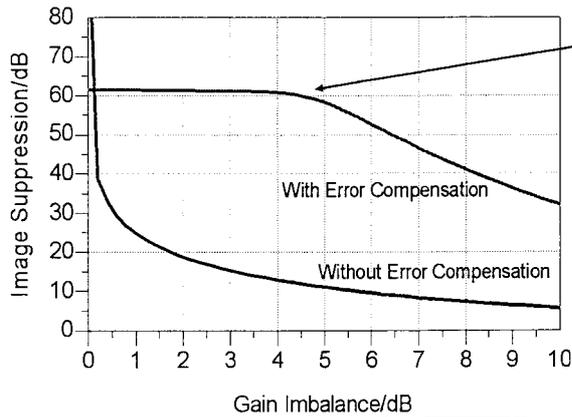


Digital domain: post-processing of two channels equidistant to DC.

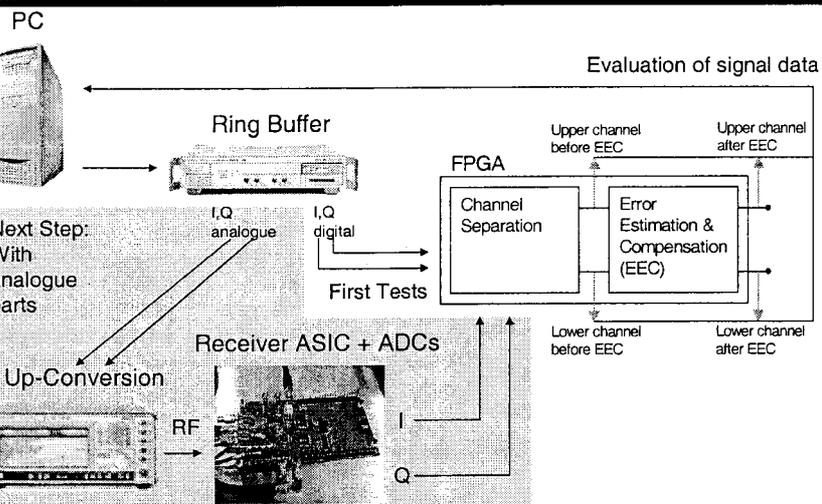
Error compensation of two channels equidistant to DC

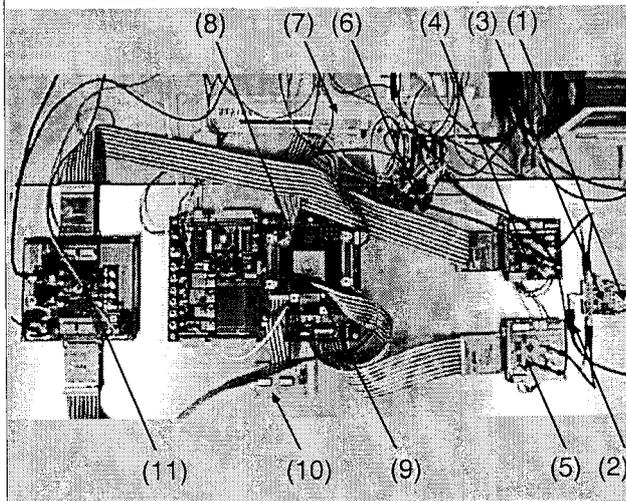


Example from Agilent ADS (Advanced Design System):
Image suppression vs. gain imbalance (with noise)



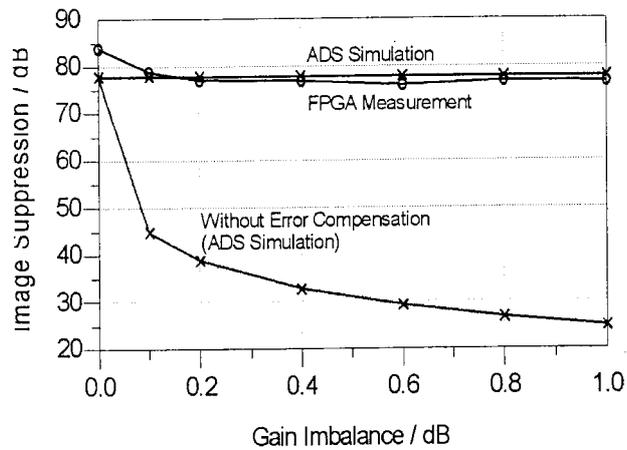
Imbalance range can be much larger while keeping 60 dB image suppression or more.



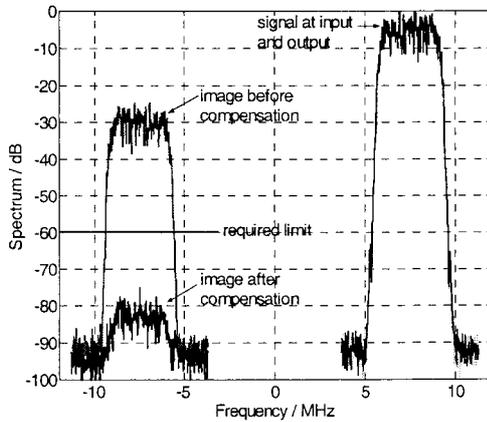


- (1) RF input
- (2) LO input
- (3) Analog ASIC
- (4) A/D converter I-path
- (5) A/D converter Q-path
- (6) Power supply
- (7) Clock generation
- (8) FPGA with
 - Channel separation
 - Error estimation & compensation
- (9) Digital output to PC
- (10) Control input
- (11) Analog output to spec. analyser

Comparison between measurement and simulation for the image suppression



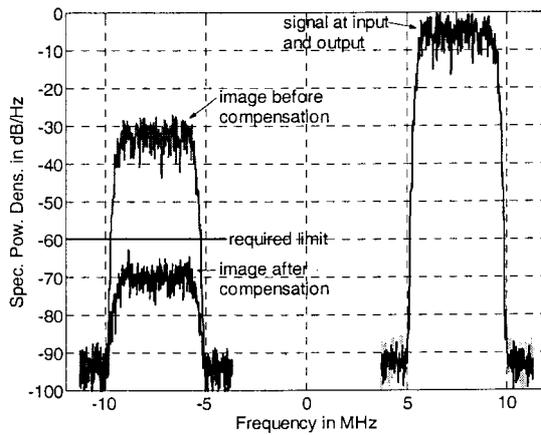
Digital signal fed directly to FPGA



Input Signal: W-CDMA
 Gain Imbalance: 1 dB
 Input Image Suppression: 24.8 dB
 Output Image Suppression: 75.1 dB
 ==> Improvement: 50.3 dB

Measurement Type:
 Without Analogue RX ASIC

Digital signal fed directly to FPGA



5° phase imbalance set between I and Q.

Image suppression improved by > 35 dB.

Measurement including the analogue chain

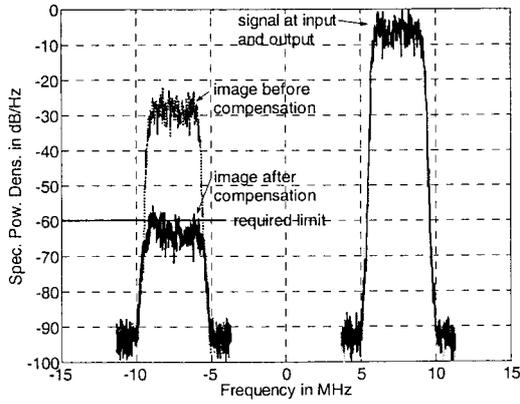
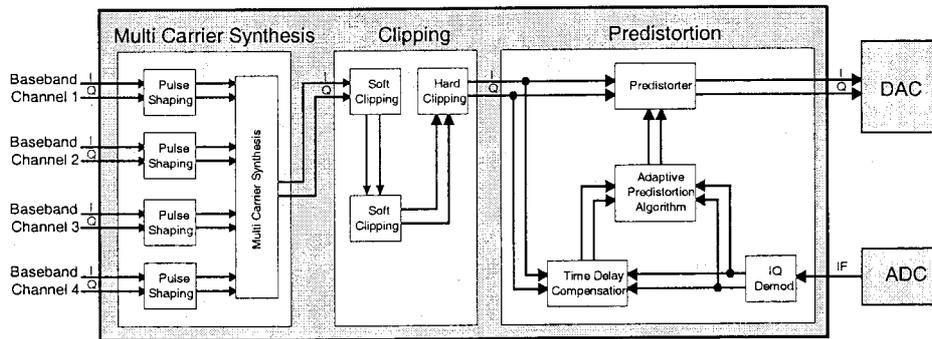


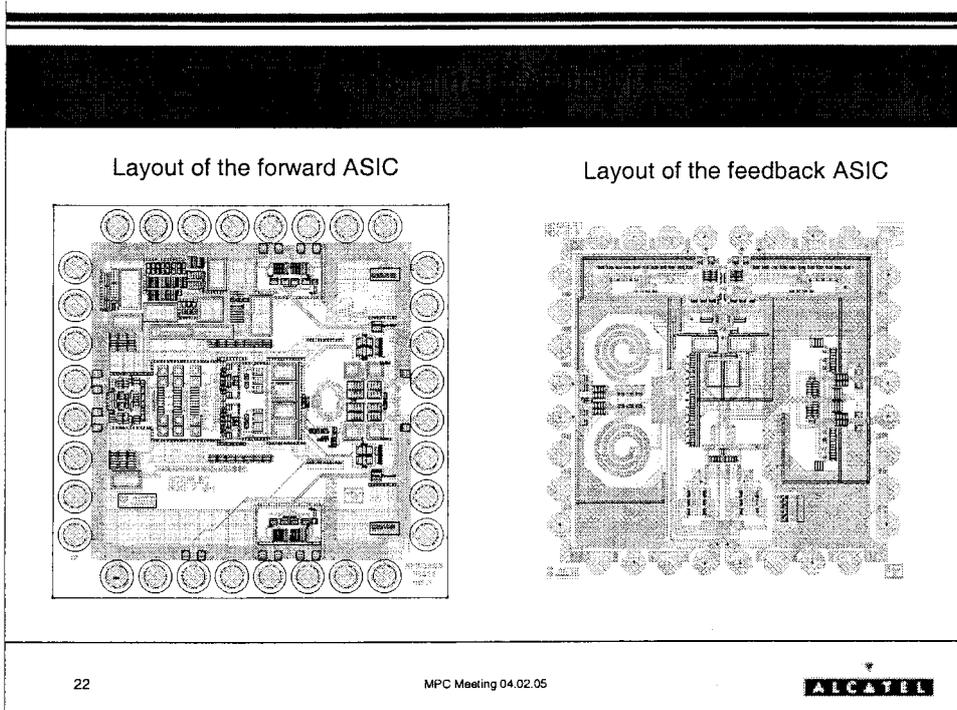
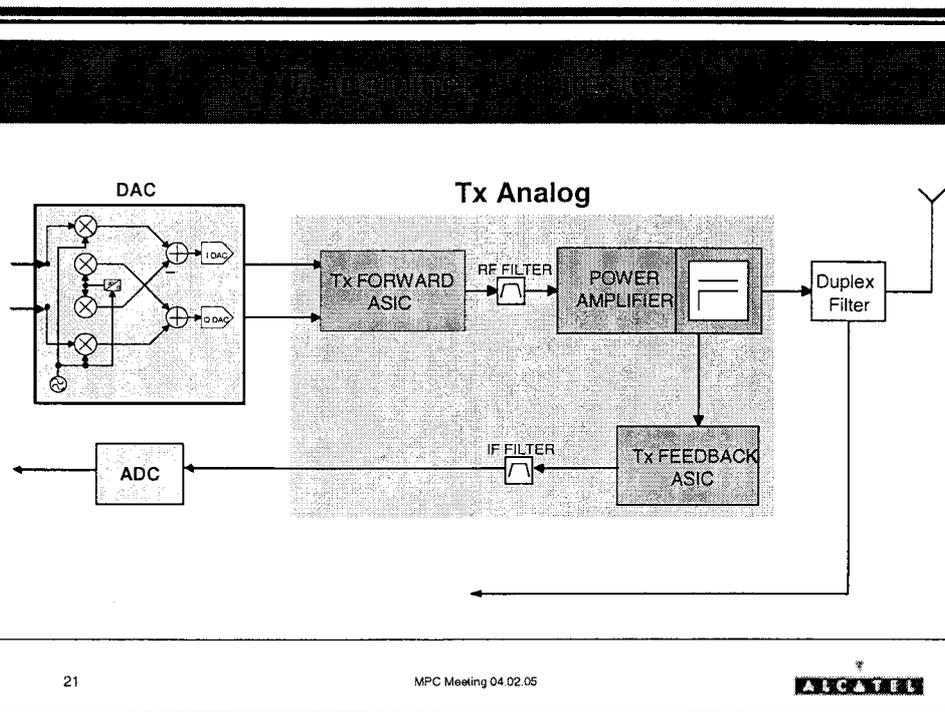
Image signal due to gain and phase imbalances of the ASIC and the set-up.

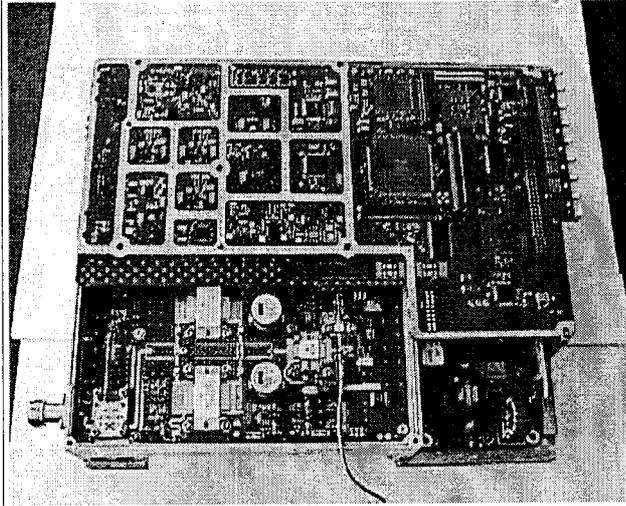
Image suppression improved by > 34 dB.

Goal (60 dB image suppr.) almost reached!

FPGA



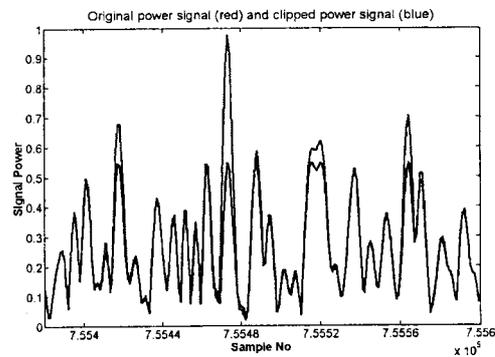


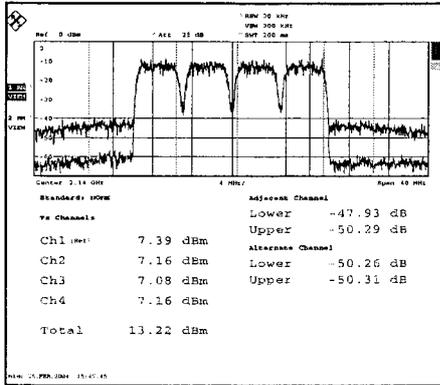


- top: mainboard
- bottom, left: power amplifier
- bottom, right: power supply

Signal Peak / Average - Reduction

Number of W-CDMA Channels	4
PAR before Clipping	11.0 dB
ACLR @ 5 MHz before Clipping	81.2 dB
ACLR @ 10 MHz before Clipping	81.5 dB
PAR after Clipping	6.0 dB
ACLR @ 5 MHz after Clipping	76.7 dB
ACLR @ 10 MHz after Clipping	76.6 dB





Main Amplifier: Motorola MRF5S21130

Amplifier Output Power 36 W

Module Output Power* 28 W

Module Efficiency 16 %

ACLR Adjacent Channel 47.9 dBc / 50.3 dBc

ACLR Alternate Channel 50.3 dBc / 50.3 dBc

* after Feedback-Coupler and Isolator



www.alcatel.com



Lotto V5

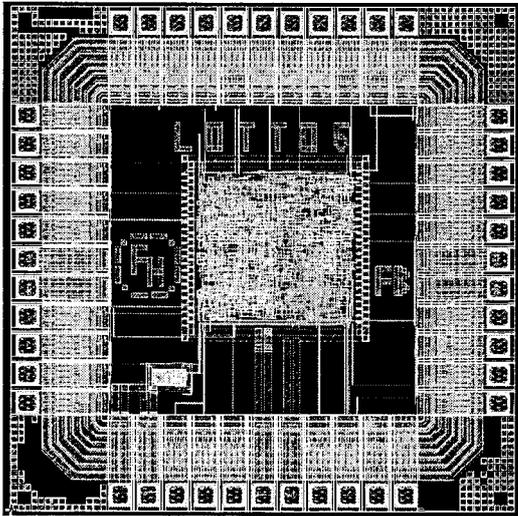


Abbildung 1: Layout auf IC-Station

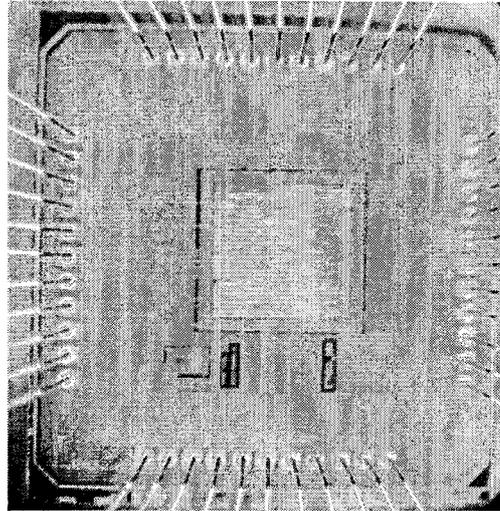
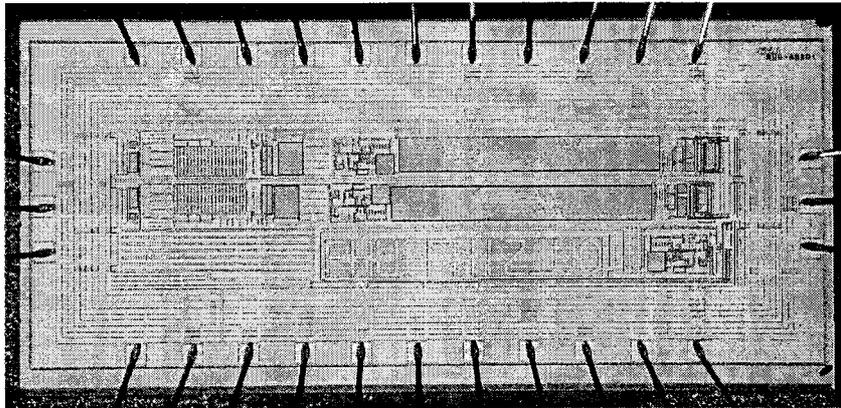


Abbildung 2: Fertiger Chip

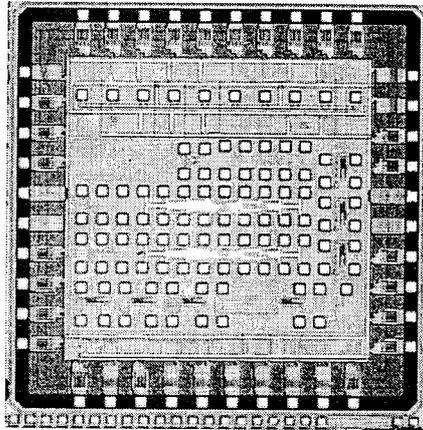
- Entwurf: Fachhochschule Offenburg
Bearbeiter: Frank Baier
Betreuer: Prof. Dr.-Ing. Dirk Jansen
- Layouterstellung: Fachhochschule Offenburg (Standardzellenentwurf),
Prof. Dan Wang, Oszillator (VCO mit konstanter Frequenz)
- Technologie: AMIS 0.35 μm CMOS A
- Chipfertigung: Europractice, MPW Run (mini@sic)
- Herstelldatum: Juli 2004
- Kostenträger: MPC-Mittel FH-Verbund Baden-Württemberg
- Chipdaten: Chipgröße: 1762 x 1762 μm
Gehäuse: JLCC 44
Komplexität: ca. 10000 Transistoren
- Funktion: Lottozahlengenerator „6 aus 49“: Die Zahlen werden nacheinander mittels Tastendruck gezogen und durch LEDs, die als Matrix angeordnet wurden, angezeigt. Die Ziehung erfolgt mit einer Ausrollfunktion. Dabei wird ein kurzer Ton erzeugt. Wurden alle Zahlen, inklusive der Zusatzzahl gezogen, wird die Melodie „Der Entertainer“ gespielt. Die Standby - Funktion wurde beibehalten.
- Testergebnisse: Die Logik wurde mit FPGA – Advantage von Mentor Graphics umgesetzt. Dabei wurde der Kurzschluss in der Vorgängerversion LOTTO V4 erfolgreich beseitigt. Durch die Umsetzung ist eine weitgehende Technologieunabhängigkeit erreicht worden. Der Chip wurde in Betrieb genommen und funktioniert fehlerfrei.

Testchip für die Infrarotsignal-Spektroskopie



Entwurf:	Fachhochschule Ulm	
	Bearbeiter: Jon-Aguirre Ruiz	
	Betreuer: Prof. Dipl.-Phys. Gerhard Forster	
Layouterstellung:	Fachhochschule Ulm (Mixed Signal-Entwurf)	
	Analog-Teil: Full Custom Design	
	Digital-Teil: Standardzellen	
Technologie:	C35B3C1 0,35 μm CMOS 2 Poly / 3 Metal Fa. AMS	
Chipfertigung:	Fa. AMS, Österreich, über Europractice	
Herstelldatum:	III. Quartal 2004	
Kostenträger:	MPC-Gruppe Baden-Württemberg	
Chipdaten:	Chipfläche: 3,52 x 1,45 mm ²	
	Gehäuse: CLCC 44	
	Funktionsblöcke: Analogteil: Rauscharmer Verstärker	
		Rail-to-Rail-Buffer
		SC-Integrator, Multiplexer
	Digitalteil: Taktgenerator	
Funktion:	Mit dem Testchip sollten kritische Komponenten eines ASICs, das später einmal 16 (ggf. 32) Kanäle zur Verstärkung, Filterung und AD-Umsetzung von Signalen enthalten soll, getestet werden. Diese Signale – sie entsprechen der Intensität von Infrarotlicht bei unterschiedlichen Wellenlängen – sollen um 70 dB verstärkt und gefiltert zyklisch seriell über einen Multiplexer an einen ADU ausgegeben werden. Externe Bauelemente zur Offsetkompensation und Filterung sind nicht zugelassen.	
	Der vorliegende Chip enthält einen kompletten Kanal, bestehend aus rauscharem Verstärker, Antialias-Filter und Integrator mit Testzugängen und Multiplexer, sowie einen zweiten Komplettkanal zur Untersuchung des Übersprechens. Der IC konnte bereits erfolgreich getestet werden.	

FUTEST0401



Entwurf:	Fachhochschule Furtwangen Bearbeiter: Andreas Friesen, Dr. Volker Lange, Achim Bumüller Betreuer: Prof. Dr. G. Higelin
Layouterstellung:	Fachhochschule Furtwangen (analoge und digitale Schaltungen) Analog-Teil: Full Custom Digital-Teil: Standardzellen und Full Custom
Technologie:	AMIS 0.5µm CMOS C05M-A
Chipfertigung:	Europractice, Run 944
Herstelldatum:	Januar 2004
Kostenträger:	MPC-Gruppe Baden-Württemberg
Chipdaten:	Chipgröße: 4000 x 4000 µm Gehäuse: DIL 40
Funktion:	Der IC wurde für unser Characterisierungslabor entwickelt. Er besteht aus 36 verschiedenen analogen und digitalen Schaltungen. Die Ports der einzelnen Schaltungen sind zum Teil an die Pads des ICs oder an eigens entworfene Testpads angeschlossen. Bei den Schaltungen handelt es sich im einzelnen um: Bandgap-Schaltungen, Operationsverstärker, VCOs, Ringoszillatoren, Fotodioden, verschiedene aktive Pixels und jeweils eine NMOS- und PMOS- Transistorflöte.
Testergebnisse:	Erste Testergebnisse zeigen, dass die Ringoszillatoren, die Fotodioden, die verschiedenen aktiven Pixel und die Transistorflöten die Spezifikationen erfüllen.

