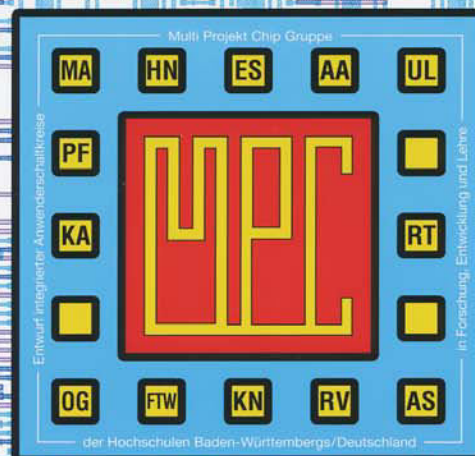


MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Juli 2007

Ulm



MULTIPROJEKTCHIP GRUPPE

BADEN-WÜRTTEMBERG

MPC-Workshop Juli 2007

Ulm

Cooperating Organization
Solid-State Circuits Society Chapter
IEEE Germany Section



ISSN 1862-7102

Herausgeber: Hochschule Ulm

**Alle bisherigen MPC-Workshopbände finden Sie im Internet unter:
<http://www.belwue.de>**

© 2007 Hochschule Ulm

Das Werk und seine Teile sind urheberrechtlich geschützt. Jede Verwertung in anderen als den gesetzlich zugelassenen Fällen bedarf deshalb der vorherigen schriftlichen Einwilligung des Herausgebers Prof. G. Forster, Hochschule Ulm, Prittwitzstraße 10, 89075 Ulm.

Adressen der

MULTIPROJEKT-CHIP-GRUPPE (MPC-Gruppe)

BADEN - WÜRTTEMBERG

<http://www.mpc.belwue.de>

Hochschule Aalen

Prof. Dr. Bartel, Postfach 1728, 73428 Aalen
Tel.: 07361/576-107, E-Mail: manfred.bartel@htw-aalen.de

Hochschule Albstadt-Sigmaringen

Prof. Dr. Rieger, Johannesstr. 3, 72458 Albstadt-Ebingen
Tel.: 07431/579-124, E-Mail: rieger@hs-albsig.de

Hochschule Esslingen

Prof. Dr. Lindermeir, Flandernstr. 101, 73732 Esslingen
Tel.: 0711/397-4230, E-Mail: walter.lindermeir@hs-esslingen.de

Hochschule Furtwangen

Prof. Dr. Rülling, Postfach 28, 78113 Furtwangen
Tel.: 07723/920-503, E-Mail: rue@hs-furtwangen.de

Hochschule Heilbronn

Prof. Dr. Schröder, Max-Planck-Str. 39, 74081 Heilbronn
Tel.: 07131/504-639, E-Mail: jschroeder@hs-heilbronn.de

Hochschule Karlsruhe

Prof. Dr. Koblitz, Postfach 2440, 76012 Karlsruhe
Tel.: 0721/925-2238, E-Mail: rudolf.koblitz@hs-karlsruhe.de

Hochschule Konstanz

Prof. Dr. Voland, Brauneggerstraße 55, 78462 Konstanz
Tel.: 07531/206-644, E-Mail: voland@htwg-konstanz.de

Hochschule Mannheim

Prof. Dr. Paul, Speyerer Str. 4, 68136 Mannheim
Tel.: 0621/292-6351, E-Mail: g.paul@hs-mannheim.de

Hochschule Offenburg

Prof. Dr. Jansen, Badstr. 24, 77652 Offenburg
Tel.: 0781/205-267, E-Mail: d.jansen@fh-offenburg.de

Hochschule Pforzheim

Prof. Dr. Kesel, Tiefenbronner Str. 65, 75175 Pforzheim
Tel.: 07321/28-6567, E-Mail: frank.kesel@fh-pforzheim.de

Hochschule Ravensburg-Weingarten

Prof. Dr. Ludescher, Postfach 1261, 88241 Weingarten
Tel.: 0751/501-9685, E-Mail: ludescher@hs-weingarten.de

Hochschule Reutlingen

Prof. Dr. Kreutzer, Altburgstraße 150, 72762 Reutlingen
Tel.: 07121/271-7059/-7060, E-Mail: hans.kreutzer@reutlingen-university.de

Hochschule Ulm

Prof. Forster, Postfach 3860, 89028 Ulm
Tel.: 0731/50-28180, E-Mail: forster@hs-ulm.de

Inhaltsverzeichnis

	Seite
1. Chipentwurf für einen 10-Bit-A/D-Umsetzer F. Mrugalla, G. Forster, HS Ulm A. Erni, AIM GmbH Ulm	5
2. Mixed-Signal-ASIC zur präzisen Parallelerfassung von Photodioden-Strömen zum Einsatz in der molekular-medizinischen Analytik und Diagnostik J. Thielmann, IMS Chips Stuttgart P. Lu, INES Stuttgart	13
3. Ein DSP-System zur Echtzeitsimulation der Fahrzeugakustik J. Freudenberger, J. Apell, HS Konstanz	19
4. Aktuelle Technologien für HF- und High-Speed-Leiterplatten A. Wiemers, ILFA GmbH Hannover	23
5. Beyond Hand-Coded VHDL: An Overview on Today's 'C-Synthesis' Tools and their Application in an FPGA/ASIC Design Flow F. Mayer, Fraunhofer IIS Erlangen	35
6. A new platform of an electronic pill with bidirectional communication system for miniaturized and low power biomedical applications N. Fawaz, D. Jansen, HS Offenburg	45
7. Electromagnetic-Mechanical Simulations of Geometrical Features for Developing Design Limits of MEMS Sensors for System on Chip (SoC) Applications S. K. Oruganti, Amravati Uni, India T. Schumann, HS Darmstadt	51
8. The specification and design of a ZigBee-capable node U. Bühr, O. S. Gin, J. Hahn-Dambacher, M. Bartel, HS Aalen	59
9. Microelectronic Technologies for Future Wideband Communication Systems W. Templ, Alcatel-Lucent	65
10. Bericht von der DATE 2007 in Nizza H. Töpfer, HS Göppingen	89

Chipentwurf für einen 10-Bit-A/D-Umsetzer

Florian Mrugalla*, Arnold Erni[†], Gerhard Forster*

*Hochschule Ulm, Prittwitzstraße 10, 89075 Ulm

[†]AIM GmbH, Söflinger Straße 100, 89077 Ulm

florianmrugalla@gmx.de, forster@hs-ulm.de

Ein IP-Core für einen 10-Bit-A/D-Umsetzer nach dem Prinzip der Sukzessiven Approximation wird vorgestellt. Er basiert auf einer 0,35 μm CMOS-Technologie. Über den zeitlich versetzten Parallelbetrieb von 10 Wandlerkanälen wird der Anwendungsbereich für Videosignale erschlossen. Der IP-Core enthält weitere 6 Kanäle für die Selbstkalibration sowie eine Referenzspannungsquelle. Messungen an einem einzelnen Kanal, der bereits als Testchip realisiert wurde, lassen Abtastraten von über 20 MSa/s erwarten.

1 Einleitung

A/D-Umsetzer sind in nahezu allen elektronischen Systemen zur Aufnahme von Signalen aus der Umwelt und deren digitale Verarbeitung unverzichtbar. Entsprechend groß ist die Vielfalt der am Markt verfügbaren Bausteine. Zunehmend wird aber versucht, komplette Systeme auf einem SoC (System-on-Chip) zu integrieren. Hierzu werden A/D-Umsetzer als IP-Cores benötigt, damit sie beim späteren Chipentwurf als Standardzelle aufgerufen werden können. Für Anwendungen im Videobereich werden Abtastraten von mindestens 10 MSa/s und eine Auflösung von mindestens 10 Bit benötigt. Bei dieser Anforderung scheidet das Zählverfahren wegen der Abtastrate und das Parallelverfahren aufgrund der Auflösung aus [1-5]. Das Wandlerprinzip nach dem Wägeverfahren ermöglicht zwar durchaus Auflösungen von 10 Bit, stößt aber ebenfalls mit Abtastraten von einigen MSa/s an die Grenze. Mit Hilfe des Parallelbetriebs von mehreren Wandlerkanälen lässt sich diese Grenze allerdings erhöhen.

Nach einer Gegenüberstellung von unterschiedlichen Verfahren wurde ein Testchip für einen einzelnen Wandlerkanal nach dem Wägeverfahren realisiert und vermessen. Hierzu wurde die erforderliche Testhardware und -software erstellt. Auf der Basis der Messergebnisse wurde ein vollständiger IP als Layout in einer 0,35 μm CMOS-Technologie von AMS realisiert.

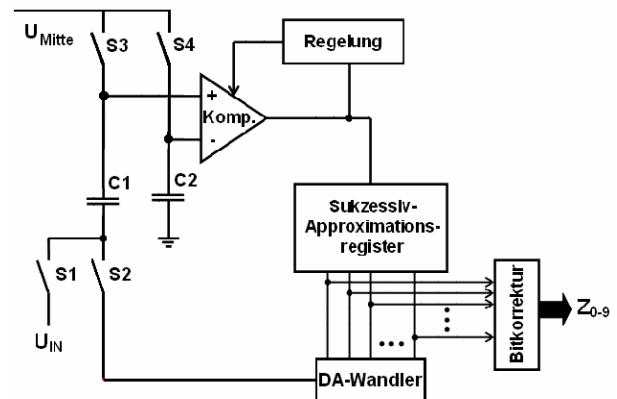


Abb. 1 Prinzipschaltbild des SAR-Verfahrens

2 Schaltungsentwurf

Die A/D-Umsetzung beruht auf dem Sukzessiv-Approximations-Verfahren. Spezifisch ist die symmetrische Sample- and Hold-Schaltung in Kombination mit dem DA-Wandler. Das prinzipielle Verfahren ist in Abb. 1 dargestellt. Im ersten Schritt schließen die Schalter S_1 , S_3 und S_4 . Die Kapazität C_2 wird dabei auf eine Mittenspannung U_{Mitte} aufgeladen, während C_1 auf eine Differenzspannung aus U_{Mitte} und U_{In} aufgeladen wird. Im folgenden Schritt wird der Schalter S_2 geschlossen und alle verbleibenden Schalter werden geöffnet. Die Potentiale an C_1 und C_2 werden mittels eines Komparators verglichen. Das Vergleichsergebnis dient als Eingangssignal für ein SAR-Register, das seinerseits den D/A-Wandler steuert. Der D/A-Wandler schaltet entsprechend binär gestufte Spannungen an C_1 , um so das Potential des positiven Komparator-Eingangs zu verändern. Sukzessive werden so von einer Widerstandsleiter erzeugte Referenzspannungen an C_1 geschaltet und Bit für Bit abgeprüft. Nach Prüfung aller Bits wird das Ergebnis ausgegeben. Die detaillierte Schaltung und die zugehörigen Simulationsergebnisse wurden bereits in [6] vorgestellt.

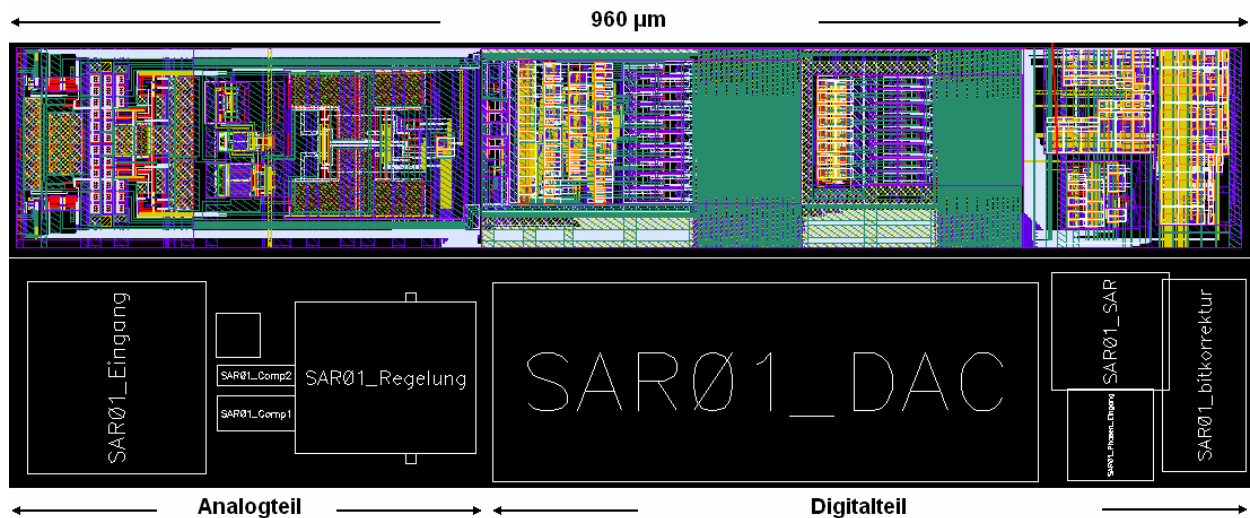


Abb. 2 Ein Wandler-Kanal (oben: Layout; unten: Blockdarstellung)

3 Testchip

Um das Schaltungsprinzip verifizieren zu können, wurden die wichtigsten Teile in einem Testchip realisiert. Abb. 2 zeigt das Layout eines vollständigen Wandlerkanals und darunter den entsprechenden hierarchischen Aufbau. Im linken Drittel befindet sich der Analogteil des Wandlers mit Sample-and Hold-Schaltung, Verstärker, Komparator und Kalibrierung. Die verbleibenden zwei Drittel beinhalten den Digitalteil und den Digital-Analog-Wandler (DAC). Über dem DAC verlaufen die Referenzspannungsleitungen der Widerstandsleiter, die möglichst wenig Störeinkopplungen erfahren sollten. Deshalb wurde die Fläche unter den Referenzleitungen nicht genutzt. Das Wandlerkonzept sieht eine Parallelisierung der SAR-Kanäle vor. Um eine einfache Zusammenschaltung dieser Kanäle zu ermöglichen, wurden diese lang und schmal ausgelegt. Insgesamt resultiert die Anordnung der Elemente aus dem Signalfluss von links nach rechts bis zum digitalen Ausgang. Durch eine quer über den Kanal verlaufende Leitungsführung wird die Parallelisierung unterstützt, so dass Referenz- und Versorgungsspannungen nur an den Kanten der Wandlerkanalanordnung angeschlossen werden müssen. In Abb. 3 ist das Layout des fertigen Testchips dargestellt. Da der Testchip nur der Überprüfung der Schaltungsfunktionalität dienen sollte, wurde er mit eingeschränkter Funktionalität ausgestattet. Somit sollte nur ein Wandlerkanal, eine Widerstandsleiter und die Taktgenerierung auf dem Chip integriert werden. Zur messtechnischen Untersuchung der einzelnen Elemente sollten Messleitungen aus dem Chip geführt werden.

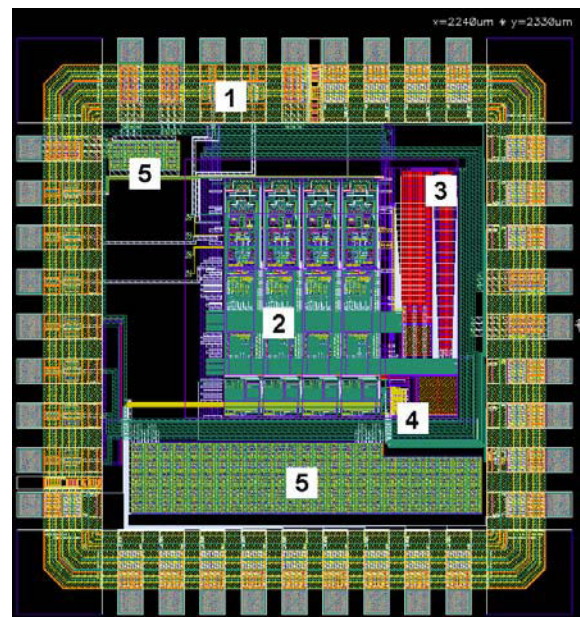


Abb. 3 Testchip-Layout (1: Pading mit Anschluss-pads; 2: Wandlerkanal; 3: Widerstandsleiter; 4: Takt-generierung; 5: Abblockkondensatoren)

Für die hohe Anzahl an Mess-, Versorgungs- und Signalleitungen wurden 36 Anschluss-pads benötigt. Wie in Abb. 3 ersichtlich, bestimmten diese Anschluss-pads die Gesamtfläche des Testchips. Damit stand genügend Fläche zur Verfügung, um drei weitere Wandlerkanäle zum Test der Ablaufsteuerung und des Übersprechens zu integrieren. Weitere Teile der noch vorhandenen Fläche wurden mit Abblockkondensatoren zur Stabilisierung der internen Versorgung belegt.

Chipentwurf für einen 10-Bit-A/D-Umsetzer

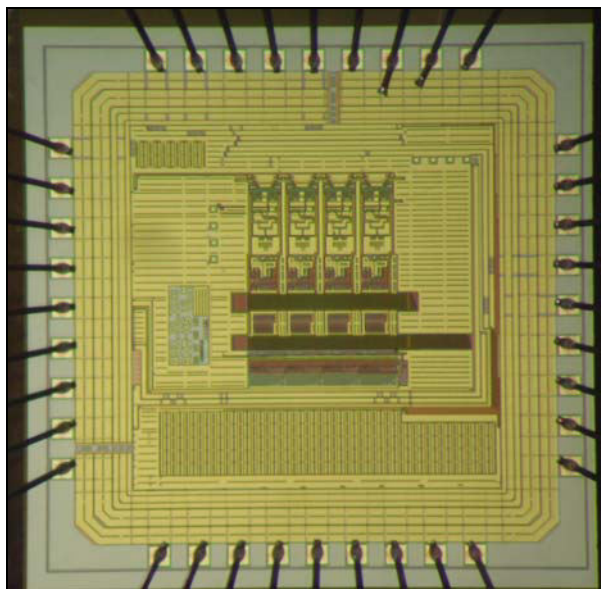


Abb. 4 Gefertigter Testchip

Die Fertigung des Testchips erfolgte über EURORACTICE in einer 0,35 μm CMOS-Technologie von AMS. Die Technologie stellt 4 Metall- und 2 Polyebenen zur Verfügung. Abb. 4 zeigt das Chipfoto mit den vier Wandlerkanälen. Den Design-Regeln entsprechend wurde die gesamte Chipoberfläche nach einem bestimmten Raster mit einer Metallabdeckung (Filler) versehen. Die Chipfläche beträgt 5,2 mm^2 .

4 Messungen am Testchip

4.1 Das Messsystem

Zur messtechnischen Untersuchung des Testchips wurde ein Messplatz eingerichtet. Abb. 5 zeigt den prinzipiellen Aufbau solch eines Messsystems. Ein Signalgenerator erzeugt ein spektral reines Sinussignal. Dieses wird auf ein DUT-Board (Device-under-Test-Board) gegeben, auf dem sich der zu testende ADU befindet. Sein digitales Ausgangssignal wird an ein Data-Capture-Board gesendet. Es dient der Zwischenspeicherung der Daten und der Übertragung mittels USB-Schnittstelle an einen PC. Auf dem PC befindet sich eine Software zur Auswertung und grafischen Darstellung der Messergebnisse. Testsysteme dieser Art werden auch von führenden Halbleiterherstellern zur Unterstützung der Systementwicklung angeboten. Um den Testchip möglichst schnell untersuchen zu können, wurde ein Messsystem der Firma National Semiconductor beschafft [7].

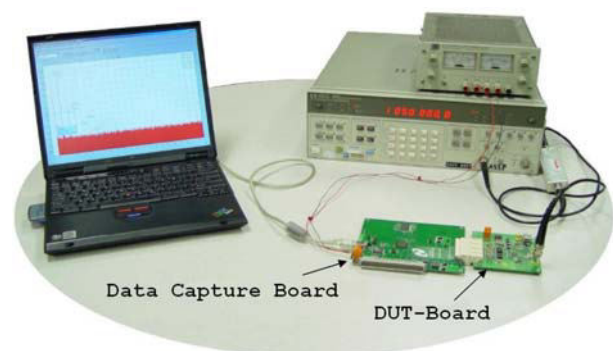


Abb. 5 Prinzipaufbau des Messsystems

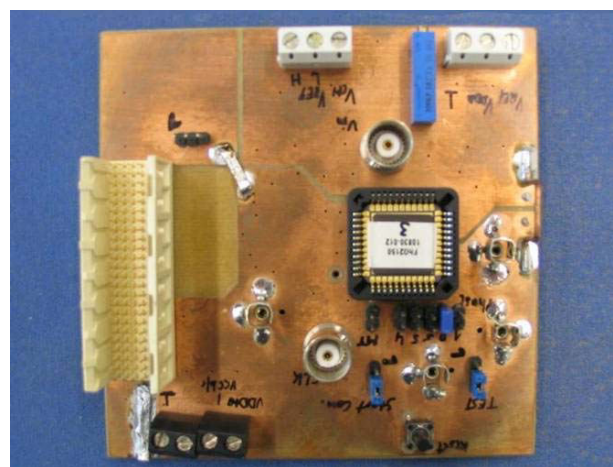


Abb. 6 Testchip auf DUT-Board

Es beinhaltet die Testsoftware, das Datenerfassungs-Board sowie ein DUT-Board, bestückt mit dem ADC 10080 von National Semiconductor, einem ADU mit einer Spezifikation, die vergleichbar zum eigenen Testchip ist.

Zur Untersuchung des Testchips wurde ein eigenes DUT-Board, kompatibel zum Datenerfassungs-Board entwickelt. Abb. 6 zeigt das zweilagige DUT-Board mit Testchip und pinkompatiblen Anschlussstecker. Das DUT-Board wird über einen externen Takt versorgt. Es bietet eine Reihe von Zusatz-Messpunkten und die Möglichkeit, die einzelnen Wandlerkanäle des Testchips getrennt zu vermessen. Für die Inbetriebnahme des Testchips hat sich diese Vorgehensweise sehr bewährt, da das DUT-Board von National Semiconductor mit dem ADC 10080 stets als „Golden Device“ genutzt werden konnte.

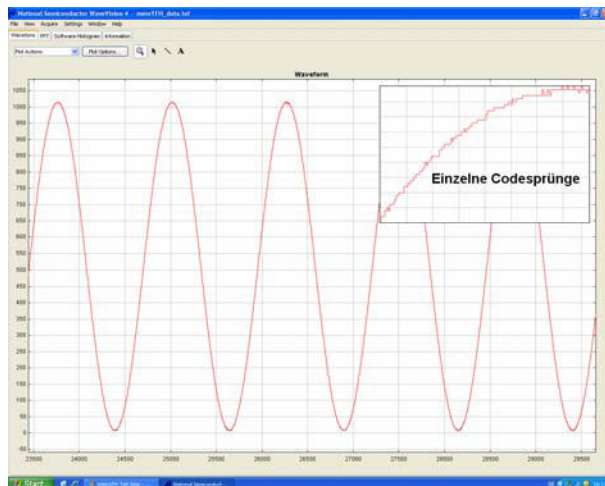


Abb. 7 Messung am Testchip (Transient)

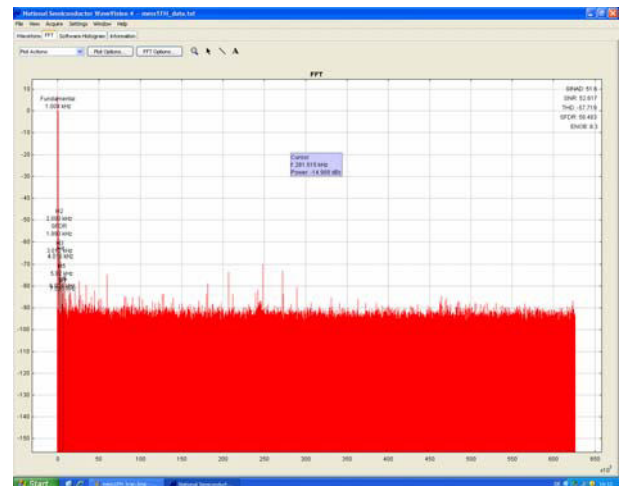


Abb. 8 Messung am Testchip (Spektral)

4.2 Rauschen und Verzerrungen

Für Rausch- und Verzerrungsmessungen an ADUs werden in der Praxis Sinus-Eingangssignale verwendet, da sich diese besonders spektral rein erzeugen lassen und damit keine störenden Verzerrungsanteile die Messungen verfälschen. Die vom Messsystem erzeugten Ergebnisse sind in Abb. 7 und Abb. 8 dargestellt. Abb. 7 zeigt ein Sinussignal im Zeitbereich bei $f = 1$ kHz, der kleine Zoomausschnitt rechts oben lässt die einzelnen Codesprünge (LSB Sprünge) erkennen. Zur Aufnahme der Messwerte wurde das Signal in Vollaussteuerung gemessen, so dass der gesamte Codebereich durchfahren wird (0-1023). Abb. 8 zeigt das in den Spektralbereich gewandelte Sinussignal. Bei 1 kHz ist die Grundwelle zu erkennen. Im oberen Frequenzbereich befinden sich noch Oberwellen, die jedoch teilweise bereits durch einen nicht idealen Sinusgenerator eingekoppelt werden. Mit einem Eingangssinus bei 1 kHz lassen sich folgende Messergebnisse ablesen:

Tab. 1 Messwerte des Testchips

Kennwert:	Wert:
SNR	53 dB
SINAD	52 dB
THD	-57 dB
SFDR	58 dB
ENOB	8.3 Bit

Nach [8] ist aufgrund des Quantisierungsrauschens ein SNR von maximal ca. 62 dB zu erreichen. Die Messwerte unseres Testchips weichen um einige dB von den theoretisch erreichbaren Werten ab.

Im Vergleich zum ADU 10080 sind diese Werte noch nicht zufrieden stellend. Die Ursache wird in der noch nicht hinreichenden Filterung des Sinus-Eingangssignals auf dem DUT-Board gesehen. Eine Verbesserung dieses Eingangssignals (mittels Filter) ist geplant und sollte die Messwerte nach oben korrigieren.

4.3 Differentielle und Integrale Nichtlinearität

4.3.1 Messmethode

Abweichend von der Definition der differentiellen Nichtlinearität (DNL) [9], erfolgt deren Bestimmung mit Hilfe der Histogramm-Methode [8]. Bei dieser Methode werden die zu einem periodischen Eingangssignal gehörenden digitalen Ausgangswerte über einen möglichst großen Zeitraum aufgenommen. Diese Werte werden ihrer Auftrittshäufigkeit entsprechend geordnet und in einem Histogramm dargestellt. Durch Vollaussteuerung wird sichergestellt, dass alle Codes im Histogramm vorkommen. Mit einem Dreieckssignal erhalte man idealerweise ein Histogramm gleichverteilter Häufigkeit aller Codes. In der Praxis verwendet man jedoch ein Sinussignal, weil es sich leichter spektral rein erzeugen lässt. Die theoretischen Code-Häufigkeiten eines solchen Sinussignals sind wegen der unterschiedlichen Steigungen des Signals nicht mehr gleichverteilt. So besitzt der Sinus an den Stellen maximaler Aussteuerung (Randbereiche) eine geringe Steigung und somit eine hohe Auftrittshäufigkeit.

Chipentwurf für einen 10-Bit-A/D-Umsetzer

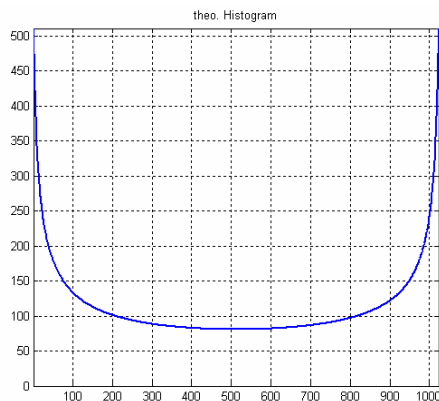


Abb. 9 Theoretisches Histogramm eines Sinussignals

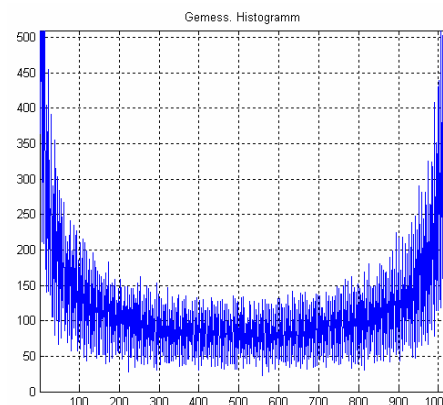


Abb. 10 Am Testchip gemessenes Histogramm

Das Histogramm eines Sinussignals lässt sich mit folgender Formel berechnen [8]:

$$h_{th}(n) = \frac{k}{\pi} \left[\sin^{-1} \left(\frac{V_{FS} \cdot (n - 2^{N-1})}{A \cdot 2^N} \right) - \sin^{-1} \left(\frac{V_{FS} \cdot (n - 1 - 2^{N-1})}{A \cdot 2^N} \right) \right]$$

Die Auftrittshäufigkeit $h_{th}(n)$ hängt von der Anzahl der Samples k , der Auflösung in Bits N , der Größe des Full-Scale-Bereiches V_{FS} und von der Signalamplitude A ab. Das theoretisch erwartete Histogramm mit 10 Bit Auflösung (1024 Codes) ist in Abb. 9 dargestellt. Im Vergleich dazu zeigt Abb. 10 ein gemessenes Histogramm. Zur Bestimmung der DNL wird für jeden Codewert die relative Abweichung zwischen gemessener Häufigkeit $h_m(n)$ und theoretisch berechneter Häufigkeit $h_{th}(n)$ bestimmt.

$$DNL(n) = \frac{h(n)_m}{h(n)_{th}} - 1$$

Die Bestimmung der integralen Nichtlinearität (INL) erfolgt nach der Best-Fit-Methode [9]. Die INL ist durch Aufsummation der einzelnen DNL-Werte zu bestimmen.

$$INL(n) = \left[\sum_{n=2}^{2^N-1} DNL(n) \right] - p(n)$$

Die Gerade $p(n)$ wird mittels der Best-Fit-Methode berechnen.

4.3.2 DNL- und INL-Ergebnisse

Die Messsoftware unterstützt leider keine DNL- und INL-Auswertungen. Zu deren Berechnung wurde deshalb ein eigenes Matlab-Programm geschrieben, das die über ein TXT-File importierten Messdaten auswertet. Ergebnisse des Matlab-Programms sind in Abb. 11 und Abb. 12 dargestellt. Abb. 11 zeigt die auf der Basis des gemessenen Histogramms berechneten DNL-Werte des Testchips. Abb. 12 zeigt zum Vergleich die entsprechenden DNL-Werte des ADU 10080. Es ist zu erkennen, dass die DNL des Testchips etwa den doppelten Wert des National ADU besitzt. Dies ist vermutlich auf einen Sinus-Brumm des Eingangssignals zurückzuführen. Da das DUT-Board des ADU 10080 einen eingangsseitigen Übertrager (Bandpasswirkung) besitzt, wird hier der Brumm gedämpft. Bei weiterer Betrachtung fällt die wabenähnliche Form der Randbereiche in Abb. 11 und Abb. 12 auf. Diese Randbereichs-Krümmung weicht von der typischen DNL-Kurvenform ab. Die Ursache dieser Randbereichsverfälschung konnte bisher noch nicht geklärt werden. Der ADU 10080 zeigt jedoch die gleichen Verfälschungen, die durch seine Spezifikation nicht abgedeckt sind. Es wird deshalb davon ausgegangen, dass diese Verfälschungen auf Fehler im Messsystem oder im Auswerteprogramm zurückzuführen sind. Bei Vernachlässigung dieser Randbereiche lässt sich für den mittleren Kurvenbereich eine DNL von 0,7 LSB und eine INL von 1 LSB angeben. Erwünscht ist eine DNL von 0,5 LSB. Im Hinblick auf zu erwartende Verbesserungen durch ein optimiertes Messsystem wurde auf dieser Basis dennoch mit der Entwicklung eines Gesamtchips begonnen.

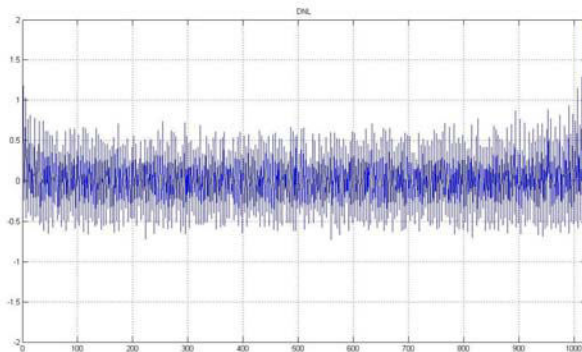


Abb. 11 DNL-Werte des Testchips

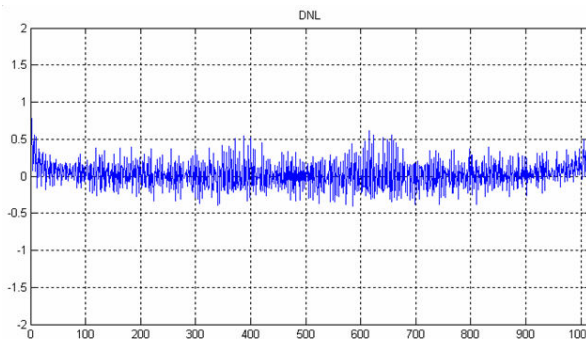


Abb. 12 DNL-Werte des National-ADUs

5 Layout des Gesamtsystems

5.1 Schaltungen

Die wesentlichen Elemente des Testchips, insbesondere der komplette Kanal, die Widerstandsleiter und die Taktgenerierung wurden nach kleineren Schaltungskorrekturen im Wesentlichen unverändert übernommen. Um wie in [6] dargestellt eine Samplerate von 20 MSa/s zu erreichen, erfolgte nun eine Parallelisierung von 16 Wandlerkanälen. Für eine Auflösung von 10 Bit werden 10 Wandlerkanäle benötigt. Während ein Kanal ein 10 Bit Wort ausgibt, wandeln die verbleibenden neun Kanäle die Daten. Für die Kalibrierung der Widerstandsleiter sowie den Offset- und Kapazitätsabgleich wurden sechs weitere Kanäle eingesetzt. Insgesamt befinden sich also 16 Wandlerkanäle auf dem Gesamtsystem. Weitere auf dem IP-Core befindliche Elemente sind die Widerstandsleiter, die Taktgenerierung und ein Ground Buffer. Letzterer dient der Erzeugung einer internen Referenzspannung $U_{REF} = 2\text{ V}$ zur Versorgung der Widerstandsleiter. Der Ground Buffer entspricht einer Standardzelle aus

der AMS-Bibliothek. Es wurden Widerstände in Schematic und Layout des Ground Buffers abgeändert, um seine Ausgangsspannung von 1,65 V auf 2 V heraufzusetzen. Der Ground Buffer besitzt einen Power-Down-Eingang sowie drei Trimmbits. Um mögliche Fertigungstoleranzen auszugleichen, kann die Ausgangsspannung mit Hilfe der Trimmung in 60 mV-Schritten verändert werden.

Bei deaktiviertem Ground Buffer kann die Referenzspannung extern eingespeist werden. Die analoge und digitale Versorgungsspannung des Systems beträgt 3,3 V. Abb. 13 zeigt das Timing-Diagramm des Systems. Die Latenzzeit zwischen Mastertakt und Datensignal beträgt 16 Takte. Bei einem Mastertakt von 20 MHz (Tastverhältnis 0,5) wird eine Signallaufzeit t_{OD} zwischen Mastertakt und Datensignal von 5 ns erwartet. Die Anstiegs- und Abfallzeit wird $t_r = 1,6\text{ ns}$ und $t_f = 1,0\text{ ns}$ betragen. Der ADU wurde als IP-Core ausgelegt, um ihn in verschiedene Systeme integrieren zu können.

5.2 Das Layout

Der ADU soll ebenfalls in einer 0,35 μm CMOS Technologie mit vier Metalllagen und zwei Polytagen von AMS gefertigt werden. Zur Sicherstellung einer niederohmigen Spannungsversorgung und Systemmasse wurde um den Core ein Anschlussring gezogen. Er ist an zwei Stellen zur Trennung von Digital- und Analogversorgung aufgebrochen. Verbleibende Zwischenräume wurden mit Abblock-Kondensatoren gefüllt. Sie dienen der Glättung der analogen Versorgungs- und Referenzspannungen. Um parasitäre Störeffekte möglichst klein zu halten, wurde die analoge Eingangssignalleitung einer Koaxialleitung ähnlich über einer Substratwanne, in der niederohmigsten Metallebene verlegt. Zur messtechnischen Verifikation des IP-Cores wurde dieser in ein Chip mit 36 Anschluss pads eingebettet. Abb. 14 zeigt das Chiplayout mit Pading und IP-Core. Er beinhaltet die 16 Wandlerkanäle, die Widerstandsleiter, den Ground Buffer und die Taktgenerierung. Die Ausgangsbuffer besitzen eine Treiberfähigkeit von 2 mA bei 3,3 V. Alle Arbeiten erfolgten mit Cadence Virtuoso Version 5.10.41.

Chipentwurf für einen 10-Bit-A/D-Umsetzer

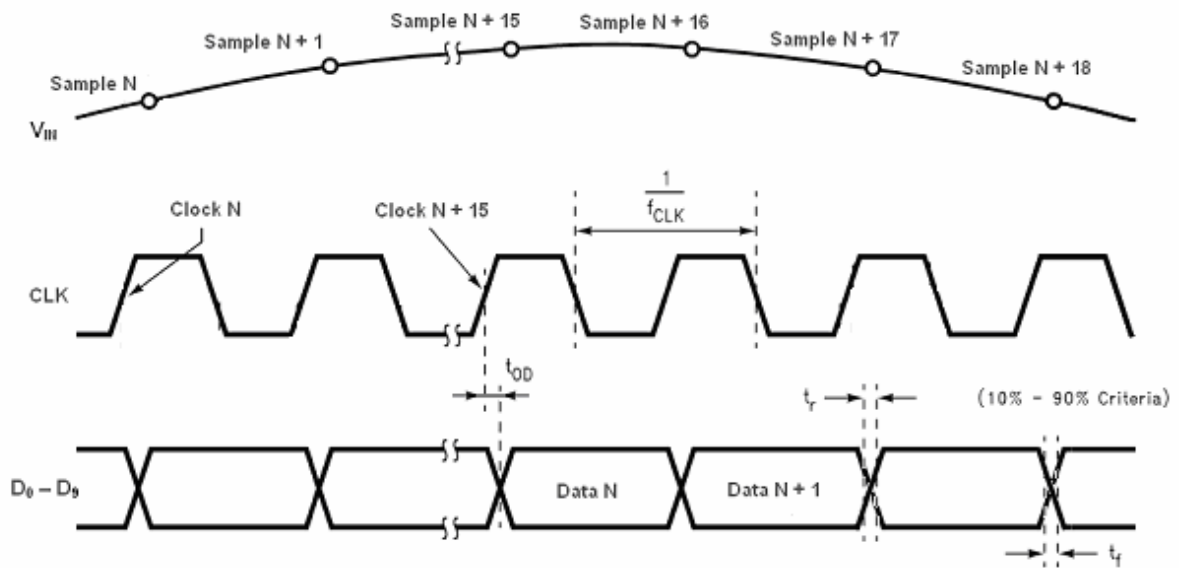


Abb. 13 Timing-Diagramm des Gesamtsystems

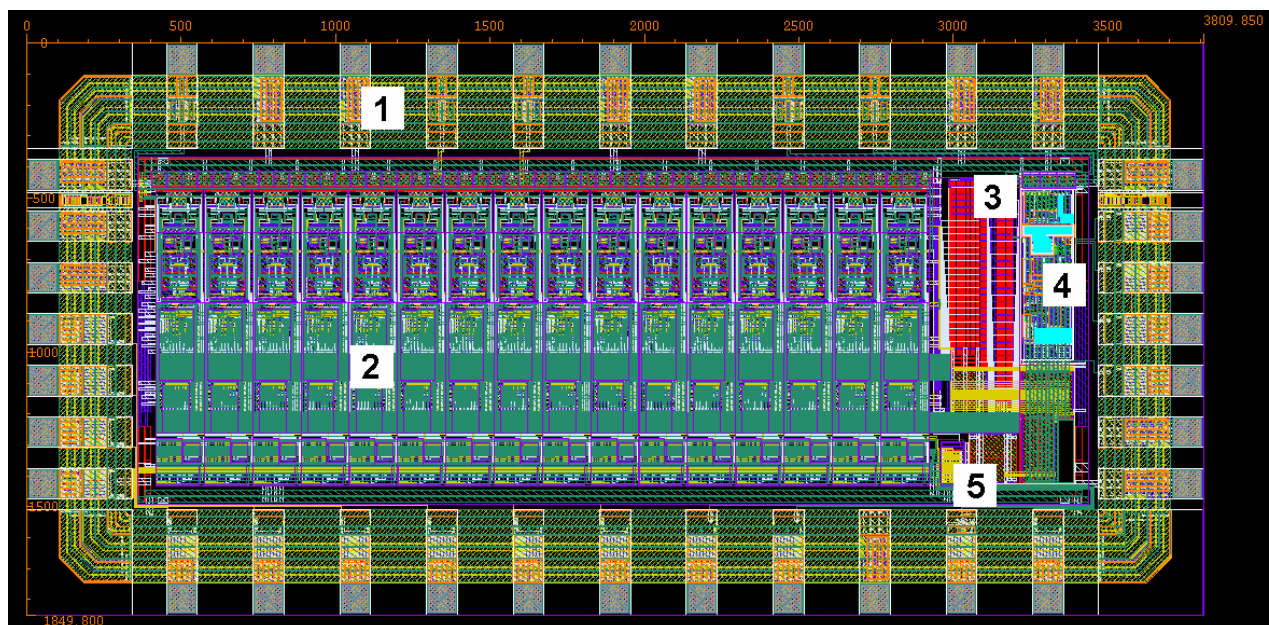


Abb. 14 Layout des IP-Blocks, eingebettet in Padring (1: Padring mit Anschlusspads; 2: Wandler-Slice; 3: Widerstandsleiter; 4: Ground Buffer; 5: Taktgenerierung)

6 Zusammenfassung und Ausblick

Für Anwendungen im Bereich der Videosignalverarbeitung wurde ein A/D-Umsetzer als IP-Core für eine CMOS-Standardtechnologie entwickelt. Ziel-spezifikation des Wandlers ist eine Samplerate von 20 MSa/s bei einer Auflösung von 10 Bit. Nach unterschiedlichen Studien zu verschiedenen Wandlungsverfahren, wurde das SAR-Verfahren ausgewählt. Im Rahmen einer Diplomarbeit wurden die Schaltungsprinzipien erarbeitet und simuliert. Zum Test dieser Prinzipien wurde ein Test-chip entworfen und über EUROPRACTICE gefertigt. Zur Auswertung des Testchips wurde eigens ein Messsystem einschließlich Auswertesoftware entwickelt. Die Funktion der Schaltungen konnte damit nachgewiesen werden. Die noch unzureichende Performance hinsichtlich Rauschen und DNL wird der noch verbesserungsfähigen Auflösung des Laboraufbaus zugeschrieben. Deshalb wurde das Layout des AD-Umsetzers fertiggestellt und in die Prototypenfertigung gegeben. Zum Test der Prototypen soll ein professionelles DUT-Board angefertigt werden.

- [6] M. Diebold, A. Erni, K. Hoffmann, G. Forster: Designstudie für einen 10 Bit-Analog-Digital-Umsetzer, Workshop der Multiprojekt-Chip-Gruppe Baden Württemberg, Esslingen, Februar 2006
- [7] Wave Vision 4 Data Capture System, User's Guide, National Semiconductor October 2006
- [8] Walt Kester, Analog Devices: Data Conversion Handbook, Newnes 2004
- [9] Nicholas Gray: ABCs of ADCs Analog-to-Digital Converter Basics, National Semiconductor 2006
<http://www.national.com>

Literaturverzeichnis

- [1] Eckl, Pütgens, Walter: A/D- und D/A-Wandler, 2. Auflage; Franzis 1990
- [2] Franco Maloberti: Analog Design for CMOS VLSI Systems, Kluwer Academic Publishers 2001
- [3] Mikko E. Waltari, Kari A. I. Halonen: Circuit Techniques for Low-Voltage and High-Speed A/D Converters, Kluwer Academic Publishers 2002
- [4] Rudy van de Plasche: CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers 2003
- [5] Jacob Baker, Davis E. Boyce: CMOS Circuit Design, Layout, and Simulation, 2. Auflage, IEEE Press 2005

Mixed-Signal-ASIC zur präzisen Parallelerfassung von Photodioden-Strömen zum Einsatz in der molekular-medizinischen Analytik und Diagnostik

Johannes Thielmann

thielm@ims-chips.de

Institut für Mikroelektronik Stuttgart

Allmandring 30a, 70569 Stuttgart

<http://www.ims-chips.de>

Panhong Lu

Institut für Nano- und Mikroelektronische Systeme (INES)

Pfaffenwaldring 47, 70569 Stuttgart

<http://www.ines.uni-stuttgart.de>

Im Folgenden wird ein Mixed-Signal-ASIC dargestellt, das im Rahmen eines BMBF-Projektes entwickelt wird. Photodioden-Ströme werden mittels eines Strom-Frequenz-Umsetzers in eine Folge digitaler Pulse gewandelt, die durch die nachfolgende Schaltung ausgewertet werden. Für die Messung der Frequenz werden verschiedene Zähler implementiert, die alle auf Basis des Gray-Codes arbeiten. Im Rahmen des Projektes wurden erste Prototypen des Strom-Frequenz-Umsetzer-Testchips gefertigt und vermessen. Die digitale Auswerteschaltung zur Vermessung des Ausgangssignals aus dem Strom-Frequenz-Umsetzer wurde mithilfe eines FPGA-Entwicklungsboards eingehend getestet und mittlerweile auf einem Chip mit den Umsetzern zusammen umgesetzt. Die Fertigung der Endversion des Mixed-Signal-ASICs ist in Vorbereitung.

1. Einleitung

Der in diesem Artikel vorgestellte Mixed-Signal-ASIC wird im Rahmen eines vom BMBF geförderten Projektes Modekt [1] entworfen. Eine Übersicht über das Analysesystem ist in Kapitel 2 zu finden. Das Institut für Mikroelektronik Stuttgart (IMS) hat die Aufgabe, eine flexibel konfigurierbare Ausleseelektronik zu entwickeln. Die weiteren für das Projekt benötigten Komponenten wurden durch andere universitäre Forschungseinrichtungen entwickelt und gefertigt.

Die in diesem Projekt für die Messung eingesetzten Photodioden liefern einen Photodiodenstrom im Bereich von wenigen pA bis wenigen μ A. Der Photodiodenstrom variiert während der Messung um wenige Prozent. Die Herausforderung bei der Entwicklung des Mixed-Signal-ASIC besteht darin, eine hohe Auflösung und eine gute Stabilität der Schal-

tung während einer Messung zu erreichen. Des Weiteren ist ein weiterer Messbereich gefordert, der den Einsatz von Strom-Frequenz-Umsetzern erfordert. Da eine kompakte Einheit angestrebt ist, wird die digitale Signalverarbeitung mit auf dem Chip integriert. Zunächst wurde die Übertragung der Messdaten über die Standardschnittstelle RS232 zum PC realisiert. Später soll jedoch ein Mikrocontroller mit den Schnittstellen I2C oder SPI verwendet werden.

In den folgenden Kapiteln wird dargestellt:

2. Aufbau des Analysesystems
3. Übersicht über das ASIC
4. Strom-Frequenz-Umsetzer
5. Auswertung der Impulsfolge
6. Auswerteschaltung
7. Gray-Zähler
8. RS232-Schnittstelle
9. erste Ergebnisse
10. Ausblick

2. Aufbau des Analysesystems

Das in Abbildung 1 dargestellte Analysesystem besteht aus einer Photodiode, dem ASIC, einer Flusszelle, einer bio-aktiven Schicht, einer LED und einem Steuerrechner. Mithilfe des Analysesystems sollen verschiedene Moleküle im Blut und anderen Flüssigkeiten nachgewiesen werden. Das Analysesystem ist so ausgelegt, dass unterschiedliche Moleküle mit nur einem Analysesystem nachgewiesen werden können. Ziel des Projektes ist es, die Messungen mit einem kleinen, handlichen Gerät durchzuführen, da diese einen Einsatz in der Arztpraxis oder zu Hause erst ermöglichen. Zurzeit müssen diese Messungen in Kliniklabors mit Groß-

anlagen durchgeführt werden.

Die Funktion des Analysesystems lässt sich folgendermaßen beschreiben: Am Anfang wird die Flusszelle mit einer neutralen Flüssigkeit gespült. Danach wird die zu analysierende Flüssigkeit eingeleitet. Diese wird eine Zeit lang durch die Flusszelle gepumpt. Währenddessen erfolgt eine Anlagerung der nachzuweisenden Stoffe an einer bio-aktiven Schicht. Schließlich wird die Flusszelle wieder mit

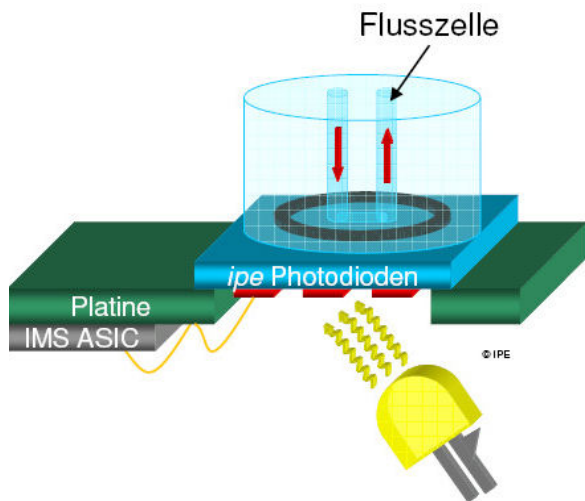


Abbildung 1: Aufbau des Analysesystems [1]

einer neutralen Flüssigkeit gespült.

Das Licht wird von unten an den Photodioden vorbei auf die Unterseite der Flusszelle eingeleitet. Unterhalb der Flusszelle befinden sich eine Reflexionsschicht und eine spezifische, bio-aktive Schicht. An dieser lagern sich die Moleküle sensitiv an. Durch die Anlagerung von Molekülen an dieser Schicht verändern sich die Reflexionseigenschaften und das reflektierte Licht auf die Photodioden wird schwächer. Der Nachweis über die Anzahl der angelagerten Stoffe auf der bio-aktiven Schicht erfolgt dadurch, dass während Vorgangs Messwerte aufgenommen werden, die dann ausgewertet werden.

3. Übersicht über das ASIC

In Abbildung 2 ist das Prinzipschaltbild des ASICs dargestellt. Der ASIC besteht aus einem Analogteil und einer digitalen Auswerteschaltung. Die analoge Schaltung umfasst ein Array von 8 Strom-Frequenz-Umsetzern. Die Auswerteschaltung lässt sich wiederum in zwei Teile unterteilen, in die eigentliche Auswerteschaltung und die RS232-Schnittstelle. Beide Schaltungsteile wurden vollständig in VHDL beschrieben.

Die Strom-Frequenz-Umsetzter haben die Aufgabe, kleine Ströme zu erfassen und in digitale Pulse umzuwandeln. Die Pulsfolge wird von der Auswerteschaltung bewertet. Die Messdaten werden zur Aus-

wertung an einen PC geschickt.

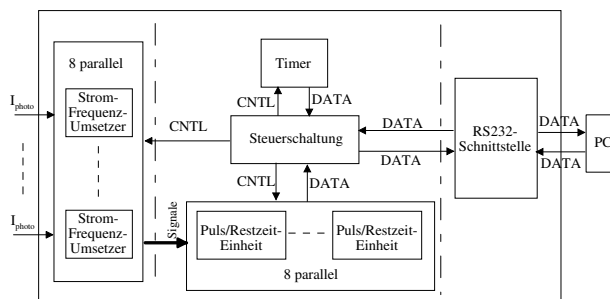


Abbildung 2: Übersicht über den ASIC

Im Folgenden werden der Strom-Frequenz-Umsetzer, die Auswerteschaltung und die RS232-Schnittstelle näher beschrieben.

4. Strom-Frequenz-Umsetzer

Der Strom-Frequenz-Umsetzer besteht aus einem Umkehrintegrator und einem Komparator, siehe Abbildung 3. Die Kathode der Photodiode wird an ein Potential größer als V_{refH} gelegt. Durch den Photostrom wird die Kapazität C_{int} umgeladen und die Spannung am Punkt V_{int} sinkt bis auf das Potential V_{refCP} ab. Hier schaltet der Komparator um und der Schalter S_1 wird geschlossen. Dadurch wird die Kapazität entladen, die Spannung am Punkt V_{int} steigt sehr schnell an und der Schalter S_1 öffnet wieder.

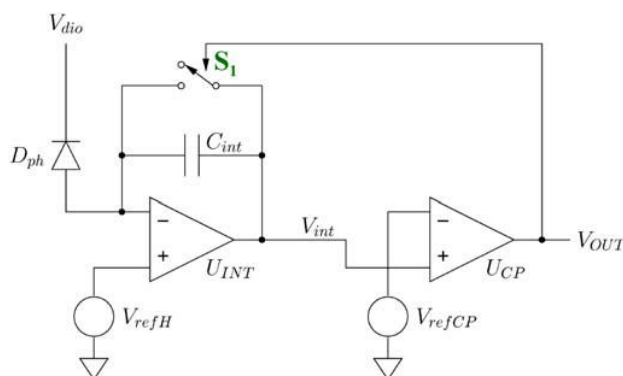


Abbildung 3: Prinzipschaltbild Strom-Frequenz-Umsetzer

Der beschriebene Verlauf der Spannung an Punkt V_{int} wird in der Abbildung 4 durch die rote Linie, das Ausgangssignal des Komparators an Punkt V_{out} durch die blaue Linie dargestellt. Die Ausgangspulse von High auf Low am Punkt V_{out} sind sehr kurz (ca. 25ns), was wiederum die Auswertung und Weiterverarbeitung des Signals erschwert. Die verwendeten synchronen Zähler arbeiten jeweils synchron in Bezug auf die Impulsfolge der Strom-Frequenz-Umsetzer sind jedoch asynchron zum Systemtakt.

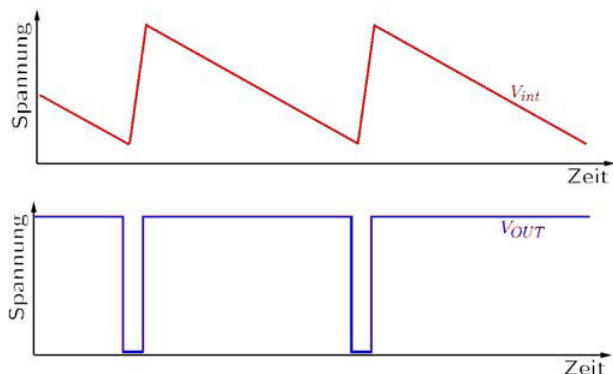


Abbildung 4: Ausgangssignale von Umkehrintegrator und Komparator

5. Auswertung der Impulsfolge

In Abbildung 5 ist eine typische Impulsfolge aus den Strom-Frequenz-Umsetzern dargestellt, wie sie bei einer Messung entsteht.

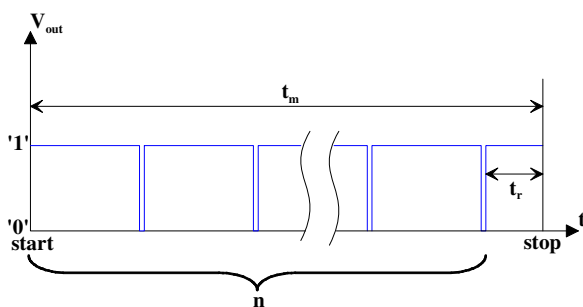


Abbildung 5: Prinzip der Frequenzmessung

Um die Messzeit t_m zu bestimmen, wird der Zähler 'Timer' eingesetzt. Während der gesamten Messung wird der 'Timer' bei steigender Systemtaktflanke inkrementiert und gibt die Ist-Messzeit aus. Ein weiterer Zähler wird als Impuls-Zähler bezeichnet und zählt die Impulse n in der Messzeit t_m . Der dritte Zähler, der Restzeit-Zähler wird bei steigender Systemtaktflanke inkrementiert, jedoch nur, wenn das Signal V_{out} high ist. Von jedem inaktiven V_{out} wird der Restzeit-Zähler asynchron auf Null zurückgesetzt, siehe auch Abbildung 6. Wird eine Messung gestoppt, gibt der Restzeit-Zähler die Restzeit t_r aus. Die Gleichung zur Berechnung der Signalfrequenz lautet:

$$f_{V_{out}} = \frac{n}{t_m - t_r} \quad (4.1)$$

Da eine hohe Genauigkeit gefordert ist, muss auch noch die Zeit vom letzten Impuls bis zum Messzeitende gemessen werden und mit in die Berechnung der Frequenz einbezogen werden.

6. Auswerteschaltung

Die Auswerteschaltung, siehe Abbildung 6, beinhaltet einen Zähler 'Timer', 8 parallel geschaltete Puls/Restzeit-Einheiten und eine Steuerschaltung. Jede Puls/Restzeit-Einheit besteht hauptsächlich aus einem Impuls-Zähler und einem Restzeit-Zähler. Alle Zähler sind als Gray-Code Zähler aufgebaut, siehe Kapitel 7.

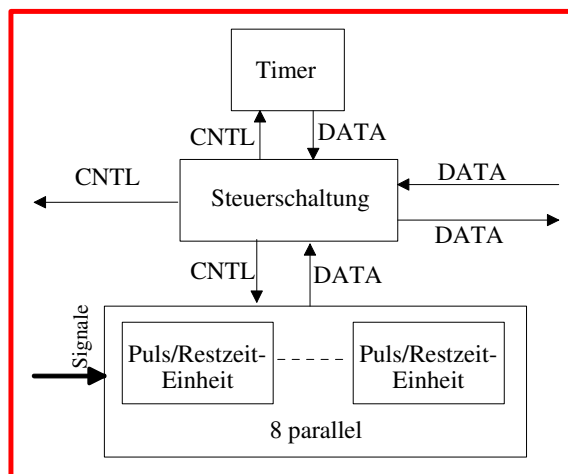


Abbildung 6: Übersicht Auswerteschaltung

Mit Hilfe des Zählers 'Timer' steuert die Steuerschaltung den Messablauf. In der Steuerschaltung ist ein Register integriert, in dem die Soll-Messzeit gespeichert wird. Die Soll-Messzeit ist von außen über die RS232-Schnittstelle frei einstellbar und beträgt nach dem Einschalten der Spannungsversorgung oder einem Rücksetzprozess systembedingt 104,85 ms. Der Messablauf ist in Abbildung 7 dargestellt.

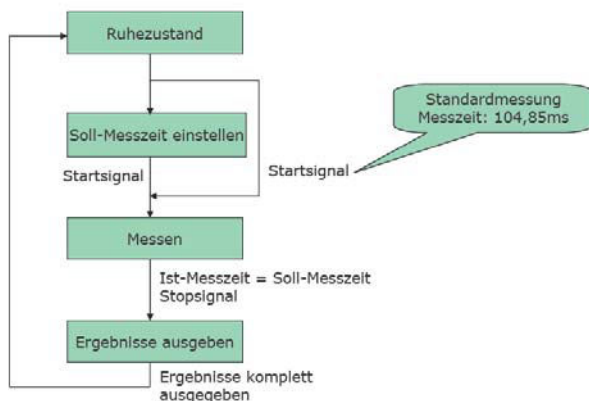


Abbildung 7: Ablaufdiagramm der Messung

Durch das Senden eines Startsignals vom PC über die RS232-Schnittstelle wird eine Messung mit der Standard-Messzeit von 104,85 ms gestartet. Wenn eine Messung mit einer anderen Messzeit durchgeführt werden soll, muss das Register in der Steuer-

schaltung zuerst mit der gewünschten Messzeit überschrieben werden. Danach kann das Startsignal gesendet werden.

Während der Messung liest die Steuerschaltung immer wieder die Ist-Messzeit vom Zähler 'Timer' und vergleicht diese mit der Soll-Messzeit. Sobald die Ist-Messzeit die Soll-Messzeit erreicht hat, gibt die Steuerschaltung ein Stoppsignal aus und die Messung wird angehalten.

Nach der Messung werden die Messergebnisse aus den Puls/Restzeit-Einheiten von der Steuerschaltung parallel/seriell gewandelt und byteweise über die RS232-Schnittstelle zum PC geschickt. Sobald die Ergebnisse komplett ausgelesen und übertragen wurden, geht die Auswerteschaltung in den Ruhezustand zurück und ist bereit für eine neue Messung.

7. Gray-Zähler

Der Gray-Code, der nach amerikanischem Physiker Frank Gray benannt wurde, ist ein spezieller ein-schrittiger Code [3]. Eine wesentliche Eigenschaft ist, dass sich die Gray-Codes für zwei benachbarte Zahlen um genau 1 Bit unterscheiden. In der Tabelle 1 ist der Gray-Code der Zahlen von 0 bis 15 in der rechten Spalte beispielhaft aufgelistet.

Zahlen	8421-Code / Dual-Code	Gray-Code
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110

Tabelle 1: Gegenüberstellung Gray-Code und Dual-Code

Die mittlere Spalte enthält die Binärdarstellungen (8421-Code/Dual-Code) dieser Zahlen. Dabei ist zu erkennen, dass die normale Binärdarstellung sehr aktiv ist, weil sich bei einer kleinen Veränderung (d.h. +1) sehr viele Stellen ändern können. Beim Übergang von 7(0111) zu 8(1000) ändern sich alle Binärstellen.

Die mit gray-kodierte Inkrementschaltung hat den Vorteil, dass sich bei jedem Schritt immer nur ein Bit ändert. Dadurch ist der Stromverbrauch der Flip-Flops gegenüber dem Dual-Code wesentlich geringer. Eine weitere positive Folge des geringeren und somit auch gleichmäßigeren Stromverbrauchs ist, dass diese Zähler weniger Störungen verursachen und die empfindlichen analogen Schaltungen auf Chip weniger gestört werden.

8. RS232-Schnittstelle

Über eine RS232-Schnittstelle werden Daten seriell und mit einem asynchronen Verfahren übertragen [4]. Das eingesetzte Übertragungsverfahren erfordert eine Übereinstimmung der Geschwindigkeiten von Sender und Empfänger, jedoch ist eine Abweichung von maximal 5% erlaubt und beeinflusst die Übertragung nicht. Zur Synchronisation von Sender und Empfänger wird bei jeder Übertragung von Datenbits, ein Start- und ein Stopbit gesendet.

Für das ASIC wurde kein vorhandener RS232-IP-Core verwendet, sondern die Beschreibung der RS232-Schnittstelle in VHDL wurde speziell auf die Anforderungen und Gegebenheiten angepasst. Somit ist die Baud-Rate festgelegt und kann nicht eingestellt werden. Damit wurde Platz auf dem ASIC eingespart, der für andere Funktionen benötigt wird.

9. Erste Ergebnisse

Die analogen Schaltungsteile des ASICs sind in einem Testchip mittlerweile gefertigt und vermessen. Die Funktion der gefertigten analogen Schaltung entspricht prinzipiell den Anforderungen. Verbesserungen wurden erarbeitet und auch umgesetzt.

Bevor der digitale Schaltungsteil gefertigt wird, wurde die Schaltung auf einem FPGA-Entwicklungsboard des IMS eingehend getestet. Möglich wurde dies, da die digitale Auswerteschaltung vollständig in VHDL beschrieben wurde. Damit konnte sie einfach auf die FPGA-Entwicklungsboard Technologie synthetisiert werden. Die Eigenschaften ändern sich bei einer erneuten Synthese für das ASIC nicht. Mit Hilfe des FPGA-Entwicklungsboards konnte die Funktion der digitalen Schaltungskomponenten überprüft werden. Für die dargestellte Messung wurden eine Puls-Frequenz von 400kHz und ein Systemtakt von 10MHz benutzt.

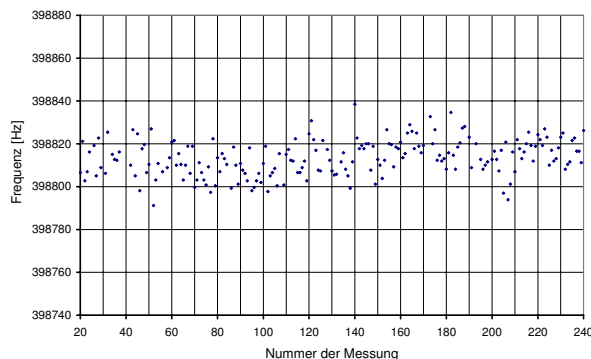


Abbildung 8: Messergebnisse mit dem FPGA-Entwicklungsboard

Die Frequenz des Eingangssignals und des System-

taktes wurden durch zwei unterschiedliche Funktionsgeneratoren generiert. In Abbildung 8 sind die Messergebnisse einer Messung mit den oben beschriebenen Einstellungen dargestellt. Die Abweichung vom Mittelwert beträgt ca. 30Hz, der Mittelwert liegt bei 398,81 kHz. Die Messergebnisse liegen in dem Bereich, wie sie für die Anwendung erforderlich ist. Die vorhandene systematische Abweichung resultiert zum einen vom ungenauen Systemtakt der FPGA-Schaltung, zum anderen vom nicht genauen und kalibrierten Impulsgenerator. Die eingesetzten Frequenzgeneratoren wurden nicht abgestimmt, was auch zu dieser Abweichung führen könnte. Eine abschließende Bewertung der Schaltung wird erst dann durchgeführt, wenn die

Schaltung in einem ASIC gefertigt wurde.

10. Ausblick

Nachdem der Strom-Frequenz-Umsetzer Testchip gefertigt und getestet wurde, wurden verschiedene Optimierungen im Layout der analogen Schaltung durchgeführt. Nachdem auch die Auswerteschaltung eingehend getestet wurde, wurde die gesamte Schaltung auf einem Gate-Array ASIC in 0,8 μ m Technologie entworfen. Die gesamte digitale Schaltung wurde in VHDL beschrieben, synthetisiert, automatisch platziert und verdrahtet. Das Layout der gesamten Schaltung ist in Abbildung 9 zu sehen. Darauf ist zu erkennen, dass das Digitalfeld stark

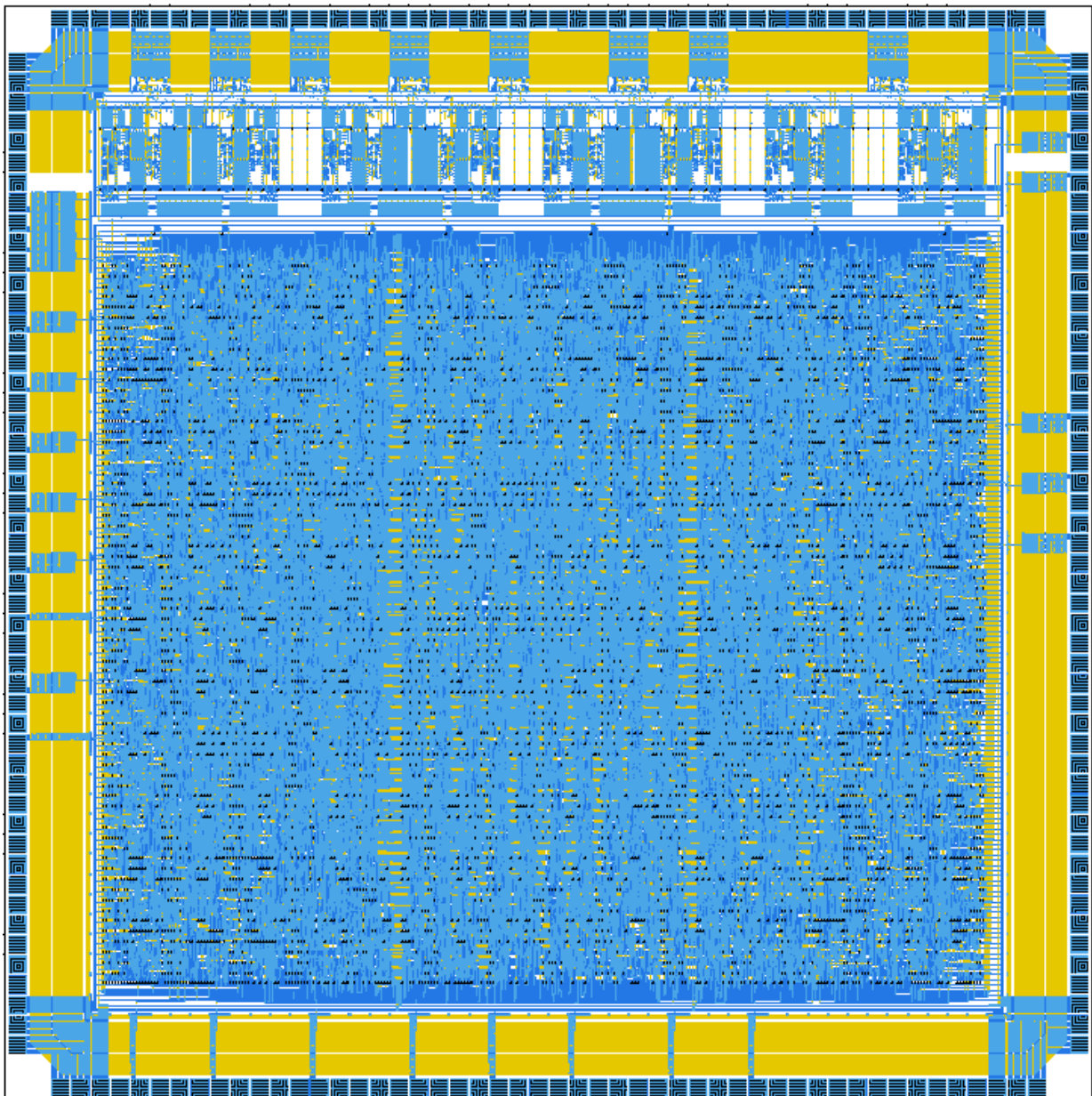


Abbildung 9: dicht belegtes Mixed-Signal Gate-Array ASIC Layout

gefüllt ist und nur noch wenig freie Fläche besteht. Die Kantenlänge des ASICs beträgt 6,0mm und die Anzahl der verwendeten Gatter in der digitalen Schaltung beträgt 18k. Die Fertigung des ASICs wird in nächster Zeit gestartet.

11. Danksagungen

Das Projekt Modekt wurde vom BMBF unter dem Förderkennzeichen 16SV2329 gefördert.

Besonders bedanken möchten wir uns bei Frau Dr. Harendt und bei Herrn Dr. Richter für die vielen anregenden Diskussionen.

12. Literaturangaben

- [1] www.modekt.de
- [2] Rechte beim Institut für Physikalische Elektronik Stuttgart
- [3] <http://www.informatik.uni-hamburg.de/TKRN/world/abro/MN1/mnw05k04.pdf>
- [4] Sprut. RS232-Interface. 2004
<http://www.sprut.de/electronic/interface/rs232/rs232.htm>

Ein DSP- System zur Echtzeitsimulation der Fahrzeugakustik

Jürgen Freudenberger, Johannes Apell

HTWG Konstanz, Brauneggerstraße 55, 78462 Konstanz

juergen.freudenberger@htwg-konstanz.de

Eine Freisprechanlage soll verkehrssicheres Telefonieren in Fahrzeugen gewährleisten. Um die Qualität einer Freisprecheinrichtung ermitteln und bewerten zu können, wurde vom Verband der Automobilindustrie (VDA) ein standardisiertes Messverfahren entworfen. Dieses Verfahren ist jedoch sehr aufwändig.

Thema dieses Beitrags ist ein DSP-System, das diesen Messaufwand erheblich reduziert. Das System vermisst hierzu einmalig die Fahrzeugakustik. Bei den Messungen nach dem VDA-Standard wird die akustische Ausbreitung durch das DSP-System simuliert. Die akustischen Ausbreitungspfade im Fahrzeug werden durch lange FIR-Filter modelliert. Dies erfordert eine mehrkanalige Filterung mit extrem kurzer Latenzzeit. Der Aufbau des DSP-Systems und die notwendige Signalverarbeitung werden vorgestellt.

1. Einführung

1.1. Freisprechproblematik

Beim Telefonieren mit einer Freisprecheinrichtung ist der Lautsprecher wesentlich weiter vom Ohr des Benutzers entfernt als dies bei einem Handapparat der Fall ist. Daher muss die Wiedergabelautstärke deutlich höher sein. Entsprechend ist auch das Mikrofon deutlich weiter vom Mund des Sprechers entfernt. Die Empfindlichkeit des Mikrofons muss demnach ebenfalls höher sein als bei Handapparaten. Ohne echounterdrückende Maßnahmen wäre aufgrund der hohen Wiedergabelautstärke und der hohen Mikrofonempfindlichkeit beim Gesprächsteilnehmer am fernen Ende ein störendes Echo wahrnehmbar, d.h. der Gesprächsteilnehmer hört seine eigene Stimme. Die Qualität einer Freisprecheinrichtung wird maßgeblich von der Qualität der Echounterdrückung bestimmt.

Einfache Echounterdrückungsverfahren arbeiten nach dem Prinzip der Pegelwaage, dabei wird in Abhängigkeit der Signalenergie eine Übertragungsrichtung stark bedämpft. Diese Methode weist jedoch störende Nebeneffekte auf. So leidet die Natürlichkeit der Kommunikation darunter, dass gleichzeitiges Sprechen nicht möglich ist. Wenn sich die Gesprächsteilnehmer ins Wort fallen, wird die

Sprache nur teilweise übertragen. Als störend wird jedoch auch empfunden, dass Pegelwaagen Hintergrundgeräusche wie das Fahrgeräusch stark modulieren. Da die Dämpfung in Abhängigkeit von der Signalenergie variiert wird, hört der ferne Gesprächsteilnehmer das Fahrgeräusch deutlich leiser oder gar nicht mehr, wenn er selbst spricht.

Eine höhere Gesprächsqualität wird mit Verfahren mit adaptiver Echokompensation erreicht. Hierbei wird anhand des Lautsprecher- und des Mikrofonsignals der akustische Übertragungsweg des Empfangssignals im Fahrzeug geschätzt. Damit kann nun auch eine Schätzung für das Echosignal berechnet werden, die anschließend vom Mikrofonsignal subtrahiert wird. Die Subtraktion des geschätzten Echosignals dämpft das reale Echo, ohne dass dadurch das Sprachsignal des Fahrers beeinträchtigt wird. Die erforderliche Echodämpfung von etwa 40dB kann durch die häufig verwendeten linearen Echokompensationsverfahren in der Praxis meist nicht erreicht werden. Daher sind in der Regel noch zusätzliche Maßnahmen zur Echodämpfung nötig.

Neben der Echokompensation werden häufig auch adaptive Verfahren zur Reduktion von Störgeräuschen (z.B. Fahrgeräusche) eingesetzt, die eine ausreichende Sprachverständlichkeit gewährleisten sollen. Diese Verfahren können meist auch zur Rest-echounterdrückung verwendet werden.

Da im Fahrzeug die Sprecherposition recht exakt bekannt ist, kommen für Freisprecheinrichtungen häufig Mikrofonarrays mit Beamforming-Algorithmen zum Einsatz. Durch Beamforming können sowohl Echos als auch Störgeräusche unterdrückt werden. Der Signalverarbeitungsaufwand steigt jedoch erheblich, da für jedes Mikrofon ein separater Echopfad berücksichtigt werden muss. Für weitere Details zur Signalverarbeitung für Freisprecheinrichtungen sei auf [1] verwiesen.

1.2. Freisprechmesstechnik

Möchte man die akustische Qualität einer Freisprecheinrichtung überprüfen, so ist dies nur mit erheblichem messtechnischem Aufwand möglich. Ein entsprechendes standardisiertes Messverfahren wurde vom Verband der Automobilindustrie (VDA) entwickelt ([2],[3]). Der Messaufbau ist in Abbildung 1

dargestellt. So kann z.B. eine Freisprecheinrichtung immer nur in Verbindung mit einem Mobiltelefon getestet werden. Um den Einfluss des Netzwerks und der Funkübertragung zu kontrollieren, wird das Mobilfunkgerät zur Messung der Freisprechqualität an einem Systemsimulator (Netzwerksimulator) betrieben.

Als Quelle und Senke für die akustischen Signale wird ein freifeldentzerrter Kunstkopf verwendet. Der Kunstkopf wird auf dem Fahrersitz positioniert, so dass sich der künstliche Mund und das künstliche Ohr in etwa in der Position eines realen Fahrers befinden.

In Abbildung 1 ist die Senderichtung dargestellt. Ein sprachähnliches Messsignal wird im Messsystem erzeugt und über den künstlichen Mund abgespielt. Die Sprache des Fahrers (Kunstkopfs) wird über das Freisprechmikrofon aufgenommen, von der Freisprecheinrichtung verarbeitet und über das Mobiltelefon an den Systemsimulator gesendet. Der Systemsimulator verfügt über einen analogen Ausgang, an dem das empfangene Sprachsignal abgegriffen werden kann. Im Messsystem können nun Übertragungsparameter wie die Signalverzögerung und die Übertragungsfunktion der Strecke bestimmt werden. Entsprechend kann auch die Empfangsrichtung vermessen werden. Für die Messung der Echodämpfung müssen beide Senderichtungen gleichzeitig aktiv sein.

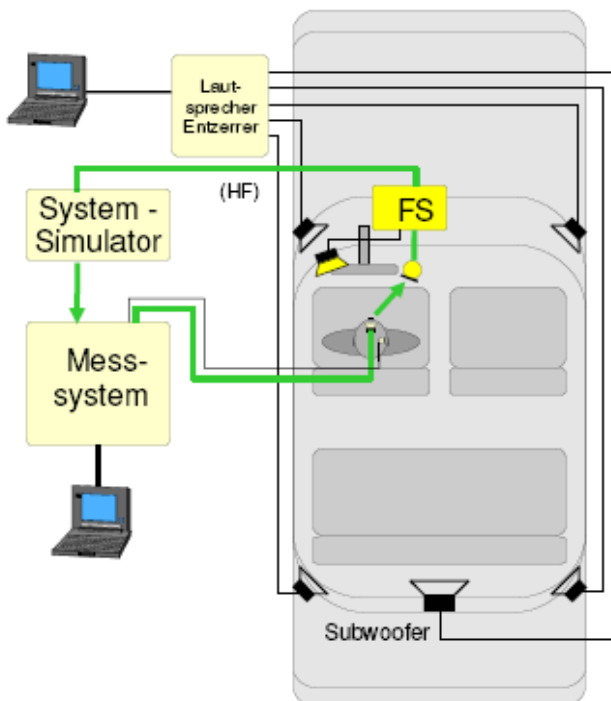


Abbildung 1: Messaufbau nach dem VDA-Standard (Quelle: [2])

2. Simulation der Fahrzeugakustik

Im Folgenden wollen wir ein DSP-System beschreiben, das den Messaufwand nach dem VDA-Standard erheblich reduziert. Das System vermisst hierzu einmalig die Fahrzeugakustik. Bei den Messungen nach dem VDA-Standard wird die akustische Ausbreitung durch das DSP-System simuliert. Bei der Simulation tritt also der DSP anstelle der realen Fahrgastzelle. Das folgende Schaltbild verdeutlicht dieses Prinzip:

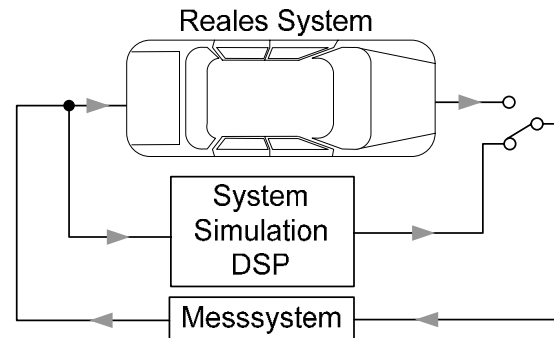


Abbildung 2: Prinzipschaltbild zur Simulation der Fahrzeugakustik

Die akustischen Ausbreitungspfade im Fahrzeug werden durch lange FIR-Filter modelliert, d.h. die akustische Ausbreitung wird als linear und zeitinvariant angenommen. Die Annahme der Linearität ist in der Praxis hinreichend gut erfüllt. Die akustische Ausbreitung ist jedoch nicht zeitinvariant, da z.B. die Bewegung von Fahrzeuginsassen zu einer Veränderung der akustischen Ausbreitung führt. Daher müssen Echokompensationsverfahren zwingend adaptiv sein. Der Messaufbau nach dem VDA-Standard mit einem fix positionierten Kunstkopf ist aber ebenfalls statisch. Mit dem Messaufbau ist die Annahme der Zeitinvarianz ebenfalls erfüllt.

In diesem Abschnitt werden nun die akustischen Randbedingungen beschrieben, die für eine ausreichende Simulationsqualität berücksichtigt werden müssen.

2.1. Fahrzeugakustik

Zur Beschreibung der Fahrzeugakustik gehen wir von einem Freisprechsystem (FS) mit zwei Mikrofonen im Innenspiegel aus. Die akustischen Wege im Fahrzeug sind in Abbildung 3 dargestellt. Die Pfeile symbolisieren dabei die Wege der Schallwellen, welche bei der Systemmessung- und simulation berücksichtigt werden müssen.

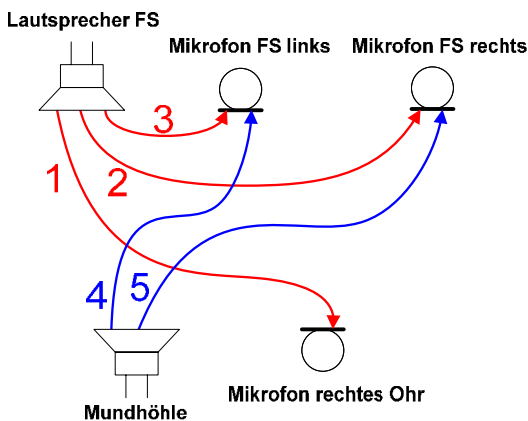


Abbildung 3: Akustische Wege im Fahrzeug

Der Pfad 1 in Abbildung 3 repräsentiert den akustischen Weg vom Lautsprecher zum rechten Ohr des Fahrers. Das rechte Fahrerohr wird dabei als Referenz für die Wahrnehmung des fernen Gesprächsteilnehmers gewählt. Die Wege 2 und 3 entsprechen den Echopfaden, d.h. den akustischen Wegen des Lautsprechersignals zu den beiden Mikrofonen der Freisprecheinrichtung. Die Wege 4 und 5 modellieren die akustische Ausbreitung der Fahrersprache zu den beiden Mikrofonen der Freisprecheinrichtung. Für das Messen der Echodämpfung in sogenannten Double-Talk Situationen (naher und ferner Sprecher sind aktiv) muss sowohl die Senderichtung als auch die Empfangsrichtung aktiv sein, d.h. in einer entsprechenden Simulation müssen die Pfade 2-5 gleichzeitig simuliert werden. Dies ist in Abbildung 4 verdeutlicht.

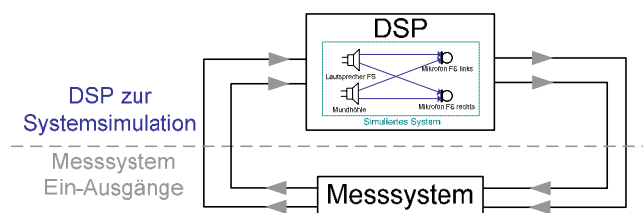


Abbildung 4: Beispiel zur Simulation einer Double-Talk-Situation

Wie genau müssen diese akustischen Wege nun modelliert werden, um eine ausreichende Simulations-genauigkeit zu gewährleisten? Dies hängt vor allem von der Nachhallzeit der Raumakustik ab. Die Nachhallzeit ist einer der wichtigsten Parameter in der Raumakustik. Dieser Wert gibt die Zeit an, nach der die Schallenergie nach Abschalten des

Anregungs-signals um einen bestimmten Betrag abgesunken ist. Sehr weit verbreitet ist der Wert RT60 (Reverberation Time), der die Abklingzeit bis auf -60dB vom Ausgangswert beschreibt.

Für Freisprecheinrichtungen ist im VDA Standard eine Echodämpfung von 40dB gefordert. Es genügt also, sich auf die Abklingzeit RT40 zu beschränken, d.h. auf ein Abklingen bis auf -40dB. Beispielhaft ist dies in Abbildung 5 verdeutlicht. In dieser Abbildung sind unten die Impulsantworten für die Schallausbreitung in einem Oberklassefahrzeug von vier Lautsprechern zu einem Mikrofon dargestellt. Aus der Raumimpulsantwort wird die Energiezerfallskurve berechnet. Diese Kurve, die auch als Schroeder-Kurve bezeichnet wird, erlaubt die Berechnung der Nachhallzeit.

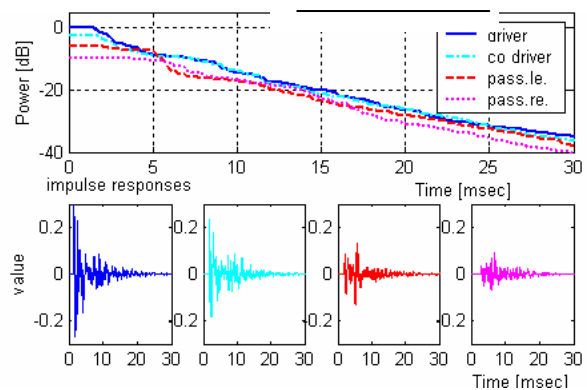


Abbildung 5: Messergebnisse für Impulsantworten im PKW

Die Schroeder-Kurve für die vier gemessenen Impulsantworten ist in Abbildung 5 oben dargestellt. Aus dieser Kurve lässt sich die Nachhallzeit unmittelbar ablesen. Für die vier Kurven ergibt sich ein mittlerer Wert von ca. RT40=30ms, d.h. dass ein Freisprechsystem in diesem Fahrzeug etwa 30ms der Impulsantwort berücksichtigen muss, um 40dB Echodämpfung zu erzielen. Bei einer üblichen Abtastrate von 16kHz entspricht das immerhin einer Filterlänge von 480 Koeffizienten.

Da die Nachhallzeit stark von den akustischen Gegebenheiten im jeweiligen Fahrzeug abhängt, wurde für das Simulationssystem eine Filterlänge von 1024 Koeffizienten gewählt, die also für Fahrgastzellen mit RT40=60ms ausreichend wäre.

Für die Simulation der Fahrzeugakustik ist jedoch nicht nur die Länge der Nachhallzeit zu berücksichtigen. Eine exakte Simulation sollte auch keine oder kaum zusätzliche Signallaufzeiten verursachen. Aus den gemessenen Impulsantworten in Abbildung 5 ist zu erkennen, dass der kürzeste akustische Pfad nur eine Laufzeit von wenigen Millisekunden aufweist.

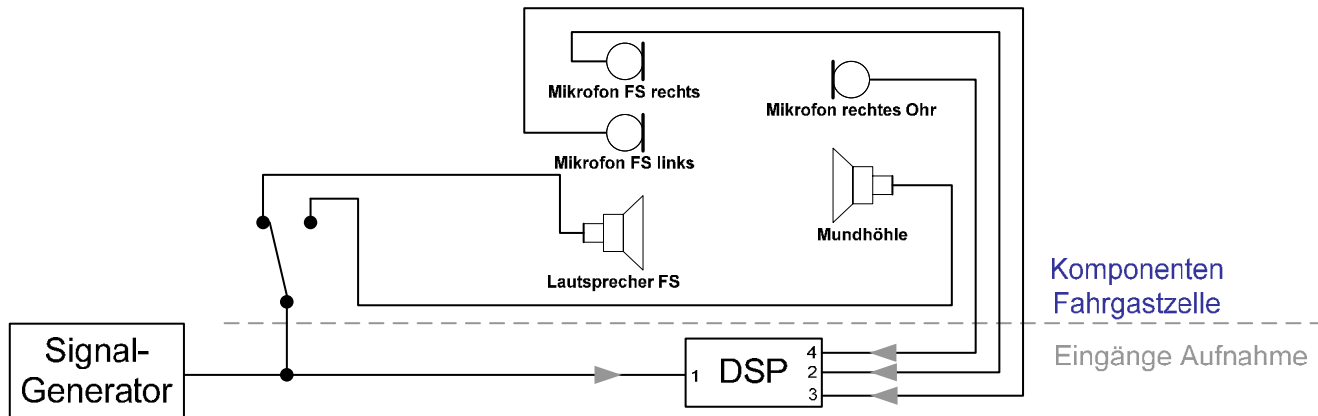


Abbildung 6: Signallaufplan zur Messung der Impulsantworten

In der Praxis ist davon auszugehen, dass der kürzeste Abstand von einem Lautsprecher zu einem der Mikrofone etwa 30cm beträgt. Dies entspricht einer Schalllaufzeit von ca. 1ms. Die Signallaufzeit einer digitalen Simulation sollte also deutlich kleiner als eine Millisekunde sein.

Zusammenfassend können wir also festhalten, dass eine digitale Simulation der Fahrzeugakustik eine mehrkanalige Filterung mit extrem kurzen Latenzzeiten erfordert. Im folgenden Abschnitt wird nun der Aufbau des DSP-Systems vorgestellt.

2.2. DSP-System

Aufgrund der Bandbreitebeschränkung durch die Mobilfunksysteme reicht eine Übertragung der Sprachsignale bis 4kHz aus. Um diese Bandbreite ohne signifikante Verzerrung durch den DSP zu gewährleisten, wurde die Abtaststrategie zu 16kHz gewählt. Als analoge Filter werden elliptische Filter achter Ordnung mit Grenzfrequenz 5kHz eingesetzt. Diese Filter haben bis ca. 4kHz einen nahezu linearen Phasengang und damit eine fast konstante Gruppenlaufzeit. Hierdurch wird sichergestellt, dass kaum Phasenverzerrungen auftreten, die die Funktion des nachfolgenden Beamformers beeinträchtigen könnten.

Beim rechenaufwendigsten Simulationsszenario, der Double-Talk-Situation in Abbildung 4, müssen vier FIR Filter mit jeweils 1000 Koeffizienten in Echtzeit berechnet werden. Zur Signalverarbeitung wurde daher ein leistungsstarker DSP vom Typ TMS320C6713 der Firma Texas Instruments ausgewählt. Bei dem mit 200MHz getakteten DSP entfallen rund 80% der Rechenleistung während der Simulation auf die Filterung.

Um eine möglichst kurze Latenzzeit zu erzielen, wurden vier A/D-Wandler vom Type AD7663 von

Analog Devices verwendet. Die gemessene Verzögerungszeit inklusive Signalverarbeitung beträgt lediglich $260 \mu s$.

Der Messaufbau ist Abbildung 6 dargestellt. Ein Signalgenerator gibt beim Messvorgang weißes Rauschen nacheinander auf die Lautsprecher. Durch den Schalter lässt sich die Messung von Empfangsrichtung auf Senderichtung umschalten. Das vom Generator erzeugte Signal wird als Referenzsignal an einen A/D-Wandler Eingang des DSP gelegt und in der Fahrgastzelle von einem der beiden Lautsprecher ausgestrahlt. Die von den Mikrofonen aufgezeichneten Signale, werden an die anderen drei Eingänge des DSP-Systems angeschlossen.

Nun kann durch Korrelation der Mikrofonensignale mit dem weißen Rauschsignal die Impulsantwort der akustischen Pfade der Fahrgastzelle berechnet werden. Durch jeweils eine Messung für Sende- und Empfangsrichtung können alle Wege nach Abbildung 3 erfasst werden. Aus den gewonnenen Daten wird für jeden Signalweg ein Filter erstellt, mit welchem das gemessene System simuliert werden kann.

Das VDA-Messsystem wird bei der Aufzeichnung der Filter nicht benötigt. Für die eigentliche Messung mit dem VDA-Messsystem ersetzt der DSP dann die akustische Strecke.

Danksagung

Vielen Dank an die studentischen Projektmitarbeiter: Johannes Hirt, Christoph Krause, Benjamin Müller, Stefan Rehm, Markus Schmid und Harald Stocker.

Quellenangaben

- [1] E. Hänsler, G. Schmidt: "Acoustic Echo and Noise Control: A Practical Approach", Wiley & Sons, 2004.
- [2] F. Kettler: "Test-Spezifikation für den guten Ton", Funkschau, pp. 50-53, 24/2002
- [3] ITU: ITU-T Workshop on Standardization in Telecommunication for Motor Vehicles, Geneva, 2003.

Aktuelle Technologien für HF- und /High-Speed-Leiterplatten

Arnold Wiemers

ILFA GmbH, D-30559 Hannover, Lohweg 3

awi@ilfa.de

HF-/High-Speed-Anwendungen und Leiterplattentechnologien

Die Begriffe „HF“ (hochfrequente Datenübertragung) und "HS" (High-Speed-Schaltungen) stehen für mindestens zwei Aufgabenstellungen.



Es sollen hohe Datendurchsätze (> 4Gbit/s) erreicht und/oder höherfrequente Ereignisse (> 15 GHz) kontrolliert werden. Aus Sicht der Leiterplattentechnologie bedingen beide Aufgaben einander und nähern sich an.

Beispiele für eine hohe digitale Datentransferrate sind diverse Sportereignisse oder allgemeine industrielle Applikationen. Die Verarbeitung von hochauflösenden Bildern (HDTV) bedeutet erstmal aus technischer Sicht nichts anderes, als überbordende Bildmengen aufzunehmen, umzusetzen und zu transportieren.

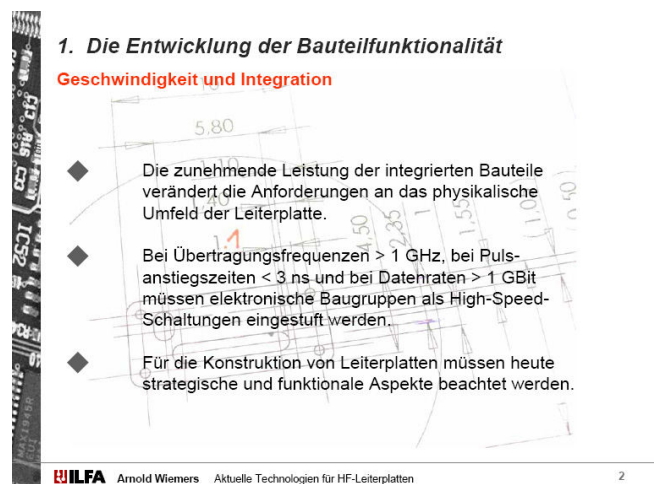
Es liegt nahe, die technologische Kompetenz der Leiterplattentechnik zu nutzen.

Die Frage ist, kann eine simple Leiterplatte Strategien für die Integration von Bauteilen (i.e. Embedded Components) und für die Umsetzung elektrophysikalischer Eigenschaften zum Nutzen einer Baugruppe eröffnen ?

1. Die Entwicklung der Bauteilfunktionalität

Die steigende Leistung von integrierten Bauteilen, die hohe Verarbeitungsgeschwindigkeit und die Erweiterung von Funktionen wirken sich auf die Anforderungen an elektronische Baugruppen aus. Eingebunden werden dann selbstverständlich auch die Erstellung des CAD-Layouts und die Produktion der Leiterplatte.

Die zunehmende Leistung der ICs verändert vor allem die Anforderung an das physikalische Umfeld der Leiterplatte.



Bereits bei Übertragungsfrequenzen > 1GHz, bei Pulsanstiegszeiten < 3 ns und bei einer Datenraten über 1Gbit müssen elektronische Baugruppen als High-Speed-Schaltungen eingestuft werden.

Die Vorgaben an das CAD-System ändern sich dadurch. Das Routing muß umfangreicheren Regeln genügen, als bisher.

Mit Voraussicht auf die Fertigung von Leiterplatten müssen heute zudem strategische und funktionale Aspekte zusätzlich beachtet werden.

2. Anforderungen an HF- und High-Speed-Leiterplatten

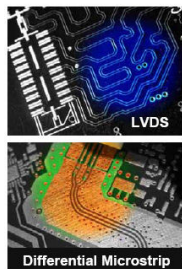
Es ist offensichtlich, daß die bisherige Elektronik mit konventioneller und unproblematischer Verdrahtung von einzelnen Schaltungskomponenten durch High-Speed-Schaltungen abgelöst wird.

Treiber dieser Entwicklung ist die Evolution der ICs.

2. Anforderungen an HF- / High-Speed-Leiterplatten

Aufgabenstellungen im „HF“-Bereich

- ◆ **Hohe Datentransferraten (> 4Gbit/s)**
Bildbearbeitung
Digitales Fernsehen / HDTV
- ◆ **Hochfrequente Ereignisse (> 15 GHz)**
Sensortechnik
Fahrerassistenzsysteme
Abstandsradar



Für diese Aufgaben wird ein Material benötigt, das die einzelnen Komponenten einer solchen Applikation körperlich aufnimmt und miteinander verbindet. Die Leiterplattentechnologie bietet entsprechende Lösungen.

Für Leiterplatten in direkter HF-Umgebung gelten unverändert eigene Regeln. Jedoch führen Datentransferraten über 4 Gbit (mit Tendenz zu 8 Gbit) sowie Betriebsfrequenzen über 15 GHz auf normalen Baugruppen dazu, daß die bisher in spezielle Anwendungsbereiche verdrängten Eigenschaften hochfrequenter Signalübertragung nun beachtet werden müssen.

Für diese Anwendungsfälle ergibt sich die Frage nach dem Material, das die einzelnen Komponenten einer solchen Applikation körperlich aufnimmt und nach den Verfahrenstechniken, mit denen diese Komponenten verbunden werden.

Die Leiterplattentechnologie bietet inzwischen Lösungen.

3. Die Integration von Bauelementen (Passive Embedded Components)

Es ist die natürliche Aufgabe der Leiterplatte, Bauteile aufzunehmen und für zuverlässige Verbindungen zu sorgen.

Die Kombination, der geschickte und kluge Einsatz heutiger Fertigungstechnologien erlaubt ein breites Spektrum an Anwendungen optionaler Funktionen in Form von "Embedded Components". Der Begriff ist leider sehr weitläufig.

Allgemein sind "Embedded Components" alle eingebetteten, in die Leiterplatte integrierte Komponenten.

3. Integration von Bauelementen in Leiterplatten

Embedded Components

„Embedded Components“ sind „integrierte“ oder „eingebettete“ aktive oder passive technische Funktionen auf oder in einer Leiterplatte.

- ◆ **Passive Embedded Components**
Die technische Funktion wird erreicht durch die Leiterbildgeometrie, das Aufbringen eines Substrates oder die Strategie für den Aufbau eines Multilayers.
- ◆ **Aktive Embedded Components**
Es werden diskrete elektronische Bauteile auf den inneren Lagen eines Multilayers bestückt.

Es werden passive und aktive "Embedded Components" unterschieden.

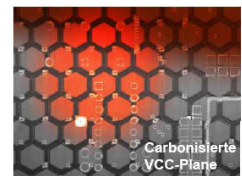
Passive Embedded Components sind Strukturen, die man auf oder in die Leiterplatte bringen kann oder es sind Eigenschaften, die bei der Konstruktion der Leiterplatte berücksichtigt werden können.

Typisch für diese nach außen meist mechanischen Strukturen oder Eigenschaften ist, daß ihnen eine genaue und reproduzierbare elektrophysikalische Funktion zugeordnet werden kann.

3. Integration von Bauelementen in Leiterplatten

Passive Embedded Components

- ◆ **Widerstände**
Carbondruck
Fotosensitive Folie
- ◆ **Drosseln**
Carbondruck
- ◆ **Kapazitäten**
50µm-Powerplanes
- ◆ **Spulen**
Leiterbild in einem Multilayer



Drosseln

Auf außenliegenden oder auf innenliegenden Lagen einer Leiterplatte können Drosseln als definierte Funktion in Carbon per Siebdrucktechnik eingebracht werden.

Widerstände

Widerstände können als Carbondruck oder als fotostrukturierbare Folie auf den innenliegenden Lagen einer Leiterplatte aufgebracht werden.

Üblich ist eine Trimmung per Laser auf den angestrebten Widerstandswert.

Spulen

Bei Vorgabe eines entsprechenden Layouts sind Spulen planar als Leiterbild strukturierbar. In einem Multilayer ist eine Spule primär und sekundär über mehrere Ebenen aufbaubar.

3.1 Stromversorgungssysteme

Technologisch können Prepregs und Basismateriallamine mit einer minimalen Dicke von 50µm verarbeitet werden. Die kapazitiven Effekte von Powerplanes mit einem Abstand von 50µm können genutzt werden.

Formell ist eine 50µm-Powerplane mit der Wirkung eines Kondensators im Rahmen einer breitbandigen Entkopplung ein „Embedded Component“.

Erst recht gilt dies für ein **MultiPowerSystem** mit gestapelten Powerplanes zur störungsarmen Stromversorgung einer Baugruppe.



Die Kapazität solcher Powerplanes kann ermittelt und durch gerechnete Kondensatorgruppen ergänzt werden. Die Wirkung ist verbindlich vorhersagbar.

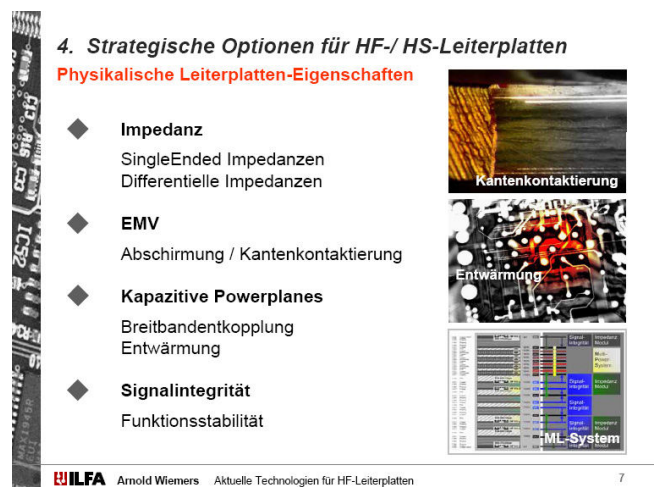
Die klassische Entkopplung mit den üblichen 100nF-Kondensatoren wird dadurch praktisch vollständig ersetzt.

4. Strategische Optionen für HF-/HS-Leiterplatten

Die physikalischen Anforderungen an HF-/ HS-Leiterplatten werden vornehmlich durch die präzise Umsetzung mechanischer Eigenschaften erfüllt.

Einen hohen Stellenwert haben die Geometrien der Leiterbahnstrukturen.

Kurze Verbindungswege und eine kompakte Platzierung der Bauteile verhindern unnötige Störabstrahlung und begrenzen den Übertragungsverlust.



Der HDI-Standard (**HighDensityInterconnect**) mit den minimalen Leiterbahnbreiten und den minimalen Abständen von 100µm gestattet die hochintegrierte Verbindung der Bauteilkomponenten untereinander.

Die MFT (**MicroFinelineTechnologie**) mit minimalen Bildstrukturen von 50µm beschreibt den momentanen Grenzbereich der Verbindungstechnik auf Leiterplatten.

Damit sind allerdings bereits Landeflächen für SMD-Bauteile mit anspruchsvollen Padgeometrien (yBGA, CoB) realisierbar.

4.1 Impedanzen

Das physikalische Verhalten von Leiterbahnen muß stärker beachtet werden.

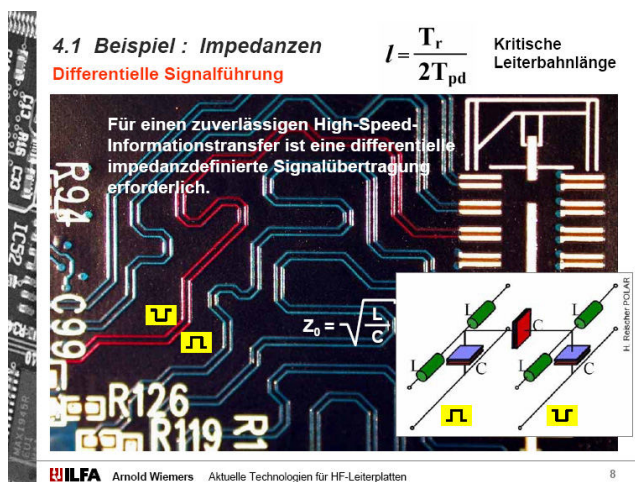
Alle Leiterbahnen haben induktive und kapazitive Eigenschaften. Die Transportgeschwindigkeit eines zu übertragenden Signals ist daran geknüpft.

Das erfordert in der Praxis die Vorabdefinition der Impedanz der Leiterbahnen auf einer Leiterplatte.

Die Impedanz einer Leiterbahn wird vor allem durch die Leiterbahnbreite bestimmt, durch den Abstand

zur Referenzebene und durch den dielektrischen Wert (Epsilon-R) des Basismaterials.

Die Impedanz einer Signalleiterbahn beeinflusst die Signallaufzeit. In Kombination mit einem geeigneten Schaltungskonzept (z.B. Terminierung) verhindert die angepaßte Impedanz Reflektionen und Interferenzen auf der Leiterbahn. Ein möglicher Mangel der Signalqualität durch Dämpfung oder Überhöhung wird dadurch deutlich eingeschränkt.



Die Signalgeschwindigkeit kann durch die Wahl des Basismaterials beeinflusst werden. Auf Materialien mit einem niedrigen Epsilon-R-Wert laufen die Signale schneller als auf einem Material mit einem hohen Epsilon-R-Wert.

Vergleichbares gilt für die Positionierung der Signalebenen innerhalb eines Multilayersystems. Signale auf einer Außenlage (niedriges Epsilon-R) sind schneller, als Signale auf der Innenlage eines Multilayers (höheres Epsilon-R). Am schnellsten sind Signale auf Außenlagen ohne Lötstoplackabdeckung.

Das Epsilon-R ist frequenzabhängig. Für FR4 liegt das effektive Epsilon-R auf Innenlagen für 1 GHz bei zirka 4.2.

Unterschieden werden Single-Ended-Impedanzen und differentielle Impedanzen. Single-Ended überträgt das Signal auf einer Leitung. Bei der differentiellen Übertragung wird die Pegeldifferenz eines Leiterbahnpaars ausgewertet. Diese Variante gewinnt vor dem Hintergrund der Entwicklung von FPGAs mit LVDS-Leitungen an Bedeutung.

Das Ziel eines jeden Multilayer-Lagenaufbaus sollte ein homogenes Leiterbahnsystem mit identischer Impedanz auf allen Signalebenen sein.

4.2 EMV

Für den sicheren Betrieb einer HF-Anwendung sind Einflüsse zu minimieren oder im Idealfall auszuschließen, die durch eine äußere Störstrahlung hervorgerufen werden (Immission). Im Gegenzug muß ebenfalls dafür Sorge getragen werden, daß die eigene Anwendung keine anderen Anwendungen stört (Emission).

Eines der effektivsten Verfahren zur Abschirmung einer Leiterplatte ist die Kantenkontaktierung. Durch die Kantenkontaktierung entsteht ein abgeschlossener Raum innerhalb der Leiterplatte. Die Funktion ist vergleichbar der Wirkung eines Faradayschen Käfigs.



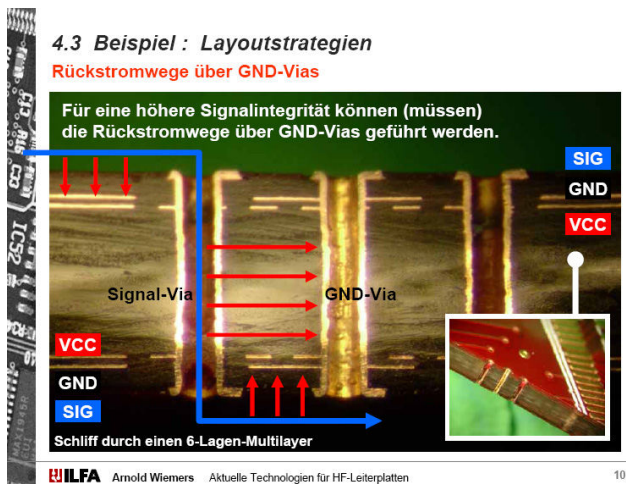
Auch **MultiPower** Systeme haben einen positiven Einfluß auf das EMV-Verhalten einer Baugruppe. Anscheinend wird durch die gestapelten Powerplanes Störenergie besonders intensiv in Wärmeenergie umgewandelt und auf diese Art dem Störkreislauf entzogen.

Allgemein ist die Entwärmung einer Baugruppe mit einem MPS deutlich besser, als ohne MPS. Das Problem ist zur Zeit, die Entwärmung für eine komplexe Baugruppe verbindlichen vorab simulieren zu können.

Ein positiver Effekt des MPS ergibt sich auch für die Erwärmung der Leiterplatte im Zuge des Reflowlötens der Baugruppe. In Kombination mit der Kantenkontaktierung findet eine schnelle und gleichmäßige Erwärmung der Leiterplatte von innen heraus statt. Der quantitative Beleg dafür steht noch aus.

4.3 Signalintegrität / Layoutstrategien

Für eine Baugruppe ist die Zuverlässigkeit eines Ereignisses in Form eines Schaltsignals von ausschlaggebender Bedeutung. Die Integrität des Signals ist unverzichtbar für die funktionale Qualität der Baugruppe.



Eine hohe Signalintegrität ist (auch) durch eine kluge Konzeptionierung des Multilayers erreichbar. Wichtig ist die zuverlässige Definition der Rückstromwege für die Signale, i.e. ein eindeutiger GND-Bezug durch eine oder mehrere zusätzliche Lagen.

Beim Wechsel einer Signalleiterbahn von einer Lage eines Multilayers auf eine andere Lagen kann der Bezug zum Rückstromweg an Integrität verlieren. Das Einbringen eines GND-Vias pro Signal-Via oder pro Via-Gruppe im direkten Umfeld schafft in einer solchen Situation Abhilfe.

Ebenfalls ist der Störeintrag der VCC-Planes auf die Signalebenen und damit auf die Signalqualität zu berücksichtigen. Dieser Störeintrag kann bei MPS-Systemen vermieden werden, wenn die VCC-Planes durch GND-Planes abgeschirmt werden.

5. Die Integration von Bauelementen (Aktive Embedded Components)

Aktive Embedded Components sind körperlich eigenständig vorliegende elektronische Bauteile, die auf den inneren Lagen einer Leiterplatte bestückt werden müssen.

Widerstände + Kondensatoren

Die inzwischen drastisch reduzierte Baugröße (z.B.: Bauform 0201) von SMD-Widerständen ermöglicht

die diskrete Bestückung auf den Innenlagen eines Multilayers.

Prepregs und Laminats können per Fräsen oder Lasern mit den erforderlichen Aussparungen und Freistellungen versehen werden.

Die Bestückung der Innenlagen erfolgt vor dem Verpressen des Multilayers. Dementsprechend muß der Multilayer immer als sequentielle Variante ausgeführt werden.

5. Integration von Bauelementen in Leiterplatten

Aktive Embedded Components

- ◆ **Widerstände**
Diskrete Bestückung auf Innenlagen
- ◆ **Kondensatoren**
Diskrete Bestückung auf Innenlagen
- ◆ **Microchips**
ChipInBoard in der Leiterplatte
Bestückung ungehäuster Chips
- ◆ **Batterien**
Energiequelle in der Leiterplatte
- ◆ **Lichtwellenleiter**
Lichtwellenleiter in einem Multilayer




Chips

Für den Einbau von Chips in Leiterplatten (CiB, ChipInBoard) gibt es zwei elementare Varianten.

Variante 1 integriert den Chip in normaler, gehäuseter Form in die Leiterplatte. Das setzt üblicherweise eine mechanische Präparierung voraus. Der Platz für den Chip wird freigehalten respektive ausgefräst. Nach dem Verpressen des Multilayers wird die Freihaltung geöffnet und der Chip wird in die Leiterplatte eingesetzt.

Die Anbindung an die umliegende Schaltung kann bei normalen SMD-Chips durch eine übliche Reflow-lötung erfolgen.

Bei zu bondenden Chips erfolgt das Bonden vom Chip auf die Leiterplattenoberfläche oder auf eine innere Lage der Leiterplatte. Abschließend kann der Chip vergossen werden.

Variante 2 integriert den ungehäusten Chip durch Aufkleben auf eine innere Lage eines Multilayers.

Nach dem Verpressen werden die zu kontaktierenden Bereiche auf dem innenliegenden Chip von außen mittels Laser geöffnet. Die freiliegenden Kontaktbereiche des Chips können mit üblichen Kontaktierungsverfahren an die Außenwelt der zugehörigen Schaltung auf der Leiterplatte angebondet werden.

Zu beachten sind bei diesem Verfahren die Logistik (die Kontaktfelder der Chips müssen vom Laser mit äußerst geringer Toleranz getroffen werden) und die Belastung des Chipmaterials hinsichtlich Temperatur und Druck beim Verpressen.

Batterien

Eine elektronische Schaltung benötigt Strom. Es liegt nahe, die Energiequelle möglichst in die Leiterplatte zu integrieren. Entsprechende Versuche laufen als F+E -Projekte und es gibt erste vielversprechende Ergebnisse.

5.1 Integration von Lichtwellenleitern

Es ist erfreulich, Störungen auf HF-/HS-Schaltungen mit Gegenmaßnahmen aus der Leiterplattentechnologie kontern zu können.

Noch erfreulicher wäre, keine Störungen zu haben und auf Gegenmaßnahmen verzichten zu können.

Die Integration von Lichtwellenleitern in eine klassische Leiterplattenumgebung ist eine sinnvolle Lösung für diese Aufgabenstellung. Lichtwellenleiter sind sowohl für den Transport großer Datenmengen auf Backplanes geeignet als auch für die Datenerfassung in Sensormoduln.

5.1 Beispiel : Integration von Lichtwellenleitern
Datatransfer via Lichtwellenleiter

Mit Lichtwellenleitern als passiven „Embedded Components“ können Datenvolumina im GByte-Bereich mit hoher Geschwindigkeit sicher transportiert werden.

Basisboard

Schliff durch einen 6-Lagen-Multilayer

Auskopplung

12-Kanal-Lichtwellenleiter auf einem FR4-Träger

ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten 12

Die Lichtwellenleiter nehmen eine Stellung zwischen passiver und aktiver Integration ein. Während die Lichtwellenleiter für die reine Informationsübertragung in die inneren Ebenen einer Leiterplatte eingebracht werden, werden die Bauteile für das Ein- und Auskoppeln der zu übertragenden Informationen nachträglich auf die Leiterplatte montiert.

6. Leiterplattentechnologie für HF-/HS-Anwendungen

Für die Fertigung moderner Leiterplatten wird heute ein anspruchsvolles Spektrum an Produktionsverfahren eingesetzt. Die Lasertechnik für die Erstellung von Microvias oder das Schneiden von dünnen Substraten ist zu nennen, das Verpressen unterschiedlichster Basismaterialien zu Hybridmultilayern, das Ätzen, etc...

Der Grenzbereich der Leiterplatte liegt augenblicklich bei 50µm :

Das betrifft die Leiterbahnbreiten und Leiterbahnabstände ebenso wie die minimalen Lagenabstände oder die minimalen Bohrwerkzeugdurchmesser.

6. Leiterplattentechnologie für HF-/HS-Anwendungen
Spektrum moderner Produktionsverfahren

- ◆ **Microvias**
Lasern / Bohren bis minimal 50µm
- ◆ **Laserschneiden**
Trennkanäle bis minimal 30µm
- ◆ **Hybridmultilayer**
Kombination von Basismaterialien
- ◆ **Laserdirektbelichter (LDI) für MFT**
Leiterbildstrukturierung bis 50µm
- ◆ **CNC-Bearbeitung**
Bohren und Fräsen mit CCD-Kamera

ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten 13

6. Leiterplattentechnologie für HF-/HS-Anwendungen
Spektrum moderner Produktionsverfahren

- ◆ **Selektive Kontaktierungen**
BlindVia
BuriedVia
- ◆ **Pluggen**
VialnPad
Entwärmung
- ◆ **Partielles Verpressen**
Starrflexible Aufbauten
Höhenniveaus
Hohlräume

ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten 14

Durch die Strukturierung der Leiterplatte mit Laserdirektbelichtern (LDI=LaserDirectImaging) sind hohe Bildqualitäten bei einer exzellenten Paßgenauigkeit möglich.

Das gilt ebenso für die CCD-gesteuerte CNC-Bearbeitung in den mechanischen Arbeitsgängen "Bohren" und "Fräsen".

Neben diesen klassischen CNC-Aufgaben treten verfeinerte mechanische Bearbeitungsverfahren in den Vordergrund.

Vergleichbar dem Niveaubohren, vornehmlich auch als „BlindVia“ bezeichnet, ist heute auch ein Niveaufräsen möglich.

Der relativ groben Fräskontur steht inzwischen der Laserschnitt zur Seite, mit dem eine sensiblere und enger tolerierte Bearbeitung mechanisch empfindlicher Materialien (z.B.: 50µm-Polyimid-Folien oder UTMs) möglich ist.

Zum Repertoire des Fräsens gehören Nute, Falze, unterschiedliche Niveaus, Ausschnitte sowie Teilumschnitte und ähnliches.

Die verfügbaren Basismaterialien können (fast) beliebig miteinander kombiniert werden.

Hybridmultilayer mit Materialien aus verschiedenen Gruppen (z.B.: FR4 und keramikgefüllte Substrate) sind machbar. Diese Multilayer können gebohrt und zuverlässig kontaktiert werden.

Bei höherlagigen Multilayern (ab 8 bis 10 Lagen und mehr und zirka 1.6mm dick) tritt die Forderung nach einem spiegelsymmetrischen Aufbau in den Hintergrund.

Ungleiche Lagenabstände bedeuten dann, daß MPS-Stapel unsymmetrisch innerhalb eines Multilayer-systems verteilt werden dürfen.

Durch das abschnittsweise Verpressen von Multilayern ergeben sich Möglichkeiten für die Einbettung diskreter Bauteilkomponenten.

Innenlagen können vor dem Verpressen bereits mechanisch strukturiert werden

6.1 Selektive Kontaktierung

BlindVias und BuriedVias sind inzwischen etablierte und unverzichtbare selektive Verbindungsstrategien auf einer Leiterplatte.

Außer der kompakten Entflechtung bieten BlindVias handfeste physikalische Vorteile. Die Verkürzung des Verbindungsweges über eine in ihrer Tiefe begrenzte Bohrung vermeidet Stubs, das sind die ansonsten überstehenden Hülsenlängen, die im hochfrequenten Bereich eine (störende) Antennenfunktion bekommen können.

Die selektiven Verbindungsstrategien sind äußerst effektiv in Kombination mit sequentiellen Multilayer-Aufbauten.

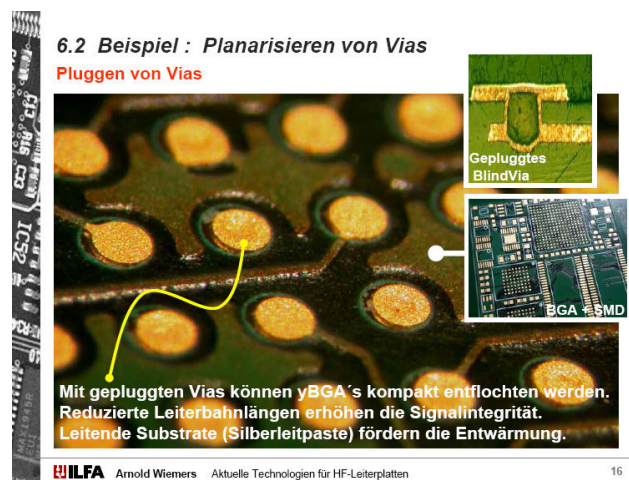


Die erforderliche Kontaktierungsstrategie wird mit der Auswahl der Bauteile gegebenenfalls bereits verbindlich festgelegt.

Ein hochpoliges yBGA mit einem Pitchabstand von 500µm ist mit konventionellen Strategien nicht mehr zu entflechten. In der Regel muß die Umverdrahtung innerhalb des Multilayers stattfinden. Das ist nur mit BlindVias und BuriedVias möglich.

6.2 Planarisierung von Vias

Eine extreme Verkürzung der Verbindungswege zwischen den Komponenten einer Baugruppe kann durch das Pluggen erreicht werden.



Beim Pluggen werden gebohrte Vias nach Fertigstellung der Kontaktierung wieder verschlossen und plan eingeebnet. Durch dieses Verfahren können SMD-Pads oder BGA-Pads direkt ankontaktiert werden.

Die entstehenden VIPs (ViaInPad) erlauben eine kompakte und niederinduktive Verbindung der Bauteilkomponenten untereinander.

Der eingesetzte Füllstoff für die zu pluggenden Vias kann variiert werden. Es sind isolierende (Epoxidharz) oder leitende (Silberleitpaste) Materialien möglich.

Gepluggte Vias sind definitiv gegen Umwelteinflüsse (Korrosion) während des späteren Betriebs der Baugruppe geschützt. Die Produkte eignen sich gut für den Ex-geschützten Gerätebau.

Mit Silberleitpaste gepluggte Vias sorgen für eine ausgezeichnete Entwärmung aus dem inneren der Leiterplatte heraus.

6.3 Basismaterial (Eigenschaften)

Das bevorzugte Basismaterial für Leiterplatten ist unverändert FR4. Das wird auch in absehbarer Zeit so bleiben. Das Material ist verfügbar, preiswert, sicher zu verarbeiten und universell einsetzbar.

6.3 Beispiel : Basismaterialien
Technische Eigenschaften von Basismaterialien

Quelle: ISOLA AG

Material-Beispiel	FR4	ISOLA	Duraver 104ML
Flammklasse	V0		
Halogenfrei	nein		
Epsilon-R	4.4-4.8		bei 1MHz
Epsilon-R	4.2-4.5		bei 1GHz
Verlustfaktor tanδ	0.025		
Durchgangswiderstand	$7.20 \cdot 10^5$		Ohm
Oberflächenwiderstand	$1.60 \cdot 10^6$		Ohm
Durchschlagsfestigkeit	32 kV/mm		
CTI Kriechstromfestigkeit	keine Angabe		
Tg-Wert	135		°C
CTE x/y/z - Ausdehnung	10/10/170		ppm/°K
Biegefestigkeit (zirka)	400		MPa längs/quer
Haffestigkeit	2.00		N/mm

ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten 17

Neben den altbekannten Eigenschaften von FR4, den Tg- und CTE-Werten müssen künftig auch die Eigenschaften berücksichtigt werden, die bisher aus historischen Gründen nur im Hintergrund standen.

Für Berechnungen der Impedanz ist der Epsilon-R-Wert von Bedeutung. Mit wachsender Anforderung an die Signalübertragung bekommen Parameter wie der Verlustfaktor des Materials Bedeutung.

Die ROHS-Umstellung führt außerdem zu der Anforderung, bleifreie und/oder halogenfreie Harzsysteme für die stoffliche Zusammensetzung von FR4 einzusetzen, was im Gegenzug Auswirkungen auf die physikalischen Eigenschaften von FR4 haben kann.

6.4 Basismaterial (Übertragungsgeschwindigkeiten)

FR4 ist ein inhomogenes Material. Die beiden Komponenten Glasgewebe (Epsilon-R zirka "6") und Epoxidharz (Epsilon-R zirka "3.6") bieten für Signalleiterbahnen kein ideales Umfeld.

6.4 Beispiel : Basismaterial
Übertragungsgeschwindigkeiten

Die physikalischen Eigenschaften des Basismaterials (Homogenität des Materials, Dielektrikum (= Epsilon-R)) legen die Übertragungsgeschwindigkeit fest.

$$\text{Signal speed} = \frac{c}{\sqrt{\epsilon_r}}$$

Glasgewebe mit Keramikfüllung
 $\epsilon_r = 2.2 \text{ bis } 10.2$

FR4 : Glasgewebe + Epoxidharz
 $\epsilon_r = 4.2 \text{ bis } 4.7$

ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten 18

Der effektive Epsilon-R-Wert von zirka "4.3" ist aus Sicht einer High-Speed-Schaltung zu hoch. Damit ist "nur" eine maximale Übertragung mit zirka halber Lichtgeschwindigkeit möglich.

Wünschenswert wäre ein Basismaterial mit einem niedrigen Dielektrikumswert für Signallagen, was vorerst nicht realisierbar ist.

Übrigens gehen die Wünsche für das Dielektrikum zwischen Powerplanes in die Gegenrichtung, hier wäre ein hohes Epsilon-R von Vorteil.

6.5 Treatment des Basiskupfers

Weitestgehend unbeachtet ist bisher das Treatment von Kupferfolien auf Basislaminaten. Das Treatment steht für die Grenzschicht zwischen Kupferfolie und FR4-Träger. Letztlich entscheidet die Qualität dieses Übergangsbereiches über die mechanische Stabilität einer Lötstelle im Falle einer thermischen und/oder mechanischen Belastung (Vibrationen).

Damit die Kupferfolie auf dem FR4-Träger gut haftet, wird sie rückseitig zur Oberflächenvergrößerung angeraut.

Der Übergangsbereich "Nur Kupfer" zu "Nur FR4" kann 8 bis 10µm betragen.

Der nominelle elektrische Abstand zwischen zwei Layern reduziert sich dadurch faktisch um nicht mehr zu vernachlässigende Beträge. Es ändern sich die Durchschlagsfestigkeit, die Impedanz und die Signalübertragungsgeschwindigkeit.

6.5 Beispiel : Das Treatment des Basiskupfers
Transfer-Eigenschaften von Basismaterial



ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten

19

Lötstopmaske freigehaltenen Lötflächen mit einer chemischen Endoberfläche versehen.

Standards sind "Chemisch Zinn" und "Chemisch Gold".

Wegen seiner universellen Verbindungsmöglichkeiten (Löten, Bonden, Leitkleben) wird "Chemisch Gold" favorisiert.

Wie bei allen chemischen Goldoberflächen muß unter dem Gold eine Nickelschicht sein. Die Nickelschicht liegt auf dem Kupfer der Leiterbahnen auf und verhindert die Diffusion des Goldes in das Kupfer.

Die Leitfähigkeit des Nickels ist deutlich geringer als die von Kupfer. Bei sehr schnellen Signalen ist mit einer Dämpfung um bis zu 25% zu rechnen.

Die komplette Vergoldung von Leiterbahnen bei HF-Anwendungen ist nicht empfehlenswert.

6.6 Oberflächeneigenschaften

Analog zum Treatment ist auch die Oberfläche einer Leiterplatte zu bewerten.

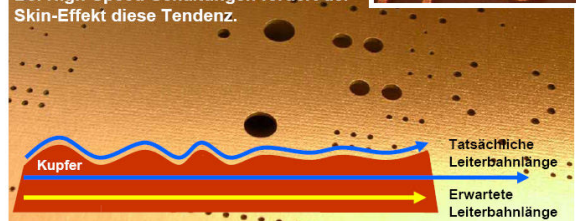
Das Glasgewebe des Materials (Laminat, Prepregs) drückt sich beim Verpressen eines Multilayers immer durch. Die Oberflächenrauigkeit nimmt dadurch zu. Die Oberfläche ist nicht plan, der zurückzulegende Signalweg wird länger, die effektive Laufzeit steigt an.

Mit Ausprägung des Skin-Effektes bei hohen Übertragungsgeschwindigkeiten, wenn das Signal quasi an die Oberfläche der Leiterbahn gedrängt wird, nimmt dieser Einfluß zu.

6.6 Beispiel : Oberflächeneigenschaften

Signaltransfer auf Kupferoberflächen

Die Kupferoberfläche des Basismaterials wird durch die Verarbeitung (Bürsten, Entoxidieren) aufgerauht. Der zurückzulegende Signalweg wird dadurch länger, die Laufzeit steigt an. Bei High-Speed-Schaltungen fördert der Skin-Effekt diese Tendenz.



ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten

20

6.7 Galvanische Oberflächen

Alle üblichen Leiterplatten haben Leiterbahnen aus Kupfer. Um an den Lötflächen ein Anlaufen des Kupfers zu vermeiden und um eine einwandfreie Lötqualität erreichen zu können, werden die in der

6.7 Beispiel : Chemische Oberflächen

Signaltransfer auf vergoldeten Oberflächen

Gold wird selektiv auf der Oberfläche von Leiterplatten über einer Nickelschicht aufgebaut. Nickel dämpft die Übertragungsgeschwindigkeit von Signalen um zirka 25%. Die komplette Vergoldung von Leiterbahnen ist nicht empfehlenswert.



ILFA Arnold Wiemers Aktuelle Technologien für HF-Leiterplatten

21

6.8 Designregeln

Mit dem Übergang zu HDI-Leiterplatten ändern sich auch einige zentrale Designregeln.

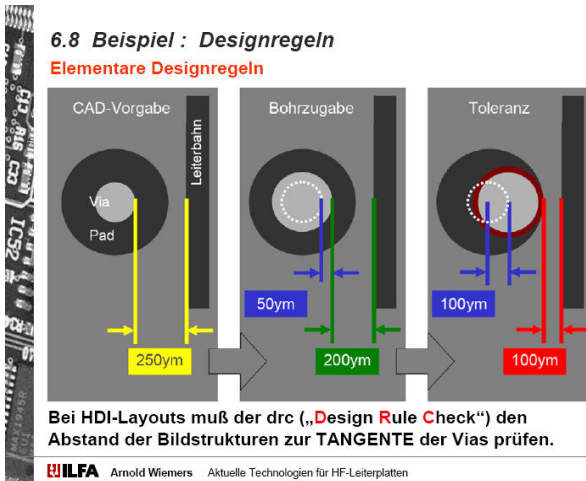
Grundsätzlich ist die Aufgabe von Designregeln, die Produzierbarkeit von Leiterplatten und Baugruppen sicherzustellen.

Ein wichtiger Aspekt sind dabei die geometrischen Abstände der Leiterbildstrukturen (Pads, Leiterbahnen, Flächen,...) zueinander.

Bisher wurden diese Abstände vor allem mit Sicht auf den Leiterplattenhersteller und auf die Kosten des Produktes "Leiterplatte" gesehen.

Mit dem Übergang vom "Standard" zu HDI und dann als nächstes zur MFT verändert sich die Strategie. Die reduzierten Geometrien haben zur Folge, daß der Abstand einer Leiterbahn zu einem Pad nicht mehr das ausschlaggebende Kriterium ist.

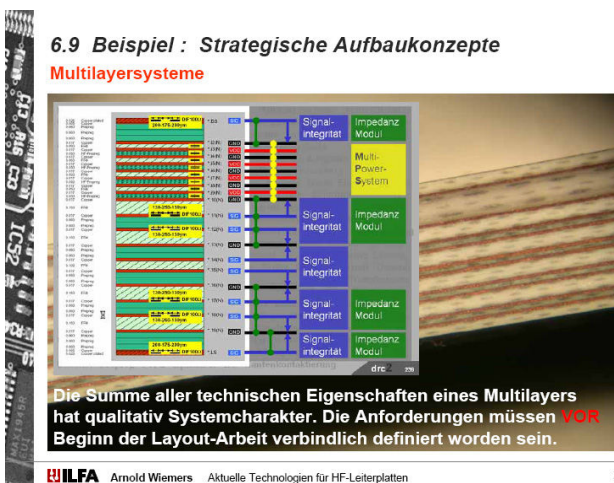
An die Stelle des Pads tritt das Via, es müssen also Leiterbild und Mechanik verglichen werden.



Das Via repräsentiert die Mechanik in einem Layout. Der drc (DesignRuleCheck) muß den Abstand der Leiterbahn zur Tangente des Vias prüfen. Der Abstand einer Leiterbahn zur Tangente eines Vias kann bei Mißachtung dieser Vorgabe im Layout oft geringer sein, als der Abstand zwischen zwei Leiterbahnen. Eine Verletzung der Signalintegrität ergibt sich dann in einem solchen Fall eher zwischen Signalleiterbahn und Via als zwischen zwei Signalleiterbahnen.

6.9 Strategische Aufbaukonzepte

Signalintegrität, Basismaterialeigenschaften, Moduln für die Impedanz, Stromversorgungen, Kontaktierungsstrategien und Leiterplattenoberflächen mögen für sich betrachtet werden können.



Tatsächlich hat die Summe aller technischen Eigenschaften eines Multilayers Systemcharakter.

Jeder Multilayer für eine High-Speed-Anwendung muß unterschiedliche Anforderungen ökonomisch und physikalisch sinnvoll in sich vereinen.

Die Anforderung an einen Multilayer muß vor Beginn der Layoutarbeit verbindlich definiert worden sein.

Daraus leiten sich zwei elementare Erkenntnisse ab.

Erstens ist eine intensive Kommunikation im Vorfeld einer Schaltungsentwicklung erforderlich. Im Grunde kann ein Schaltplan erst dann freigegeben werden, wenn der angedachte Multilayeraufbau komplett durchdacht und gerechnet worden ist.

Zweitens ist jetzt offensichtlich, daß es "den Multilayer" nicht gibt. Die Planung eines Multilayers verlangt ein individuelles und eigenständiges Konzept.

7. Ausblick

Wahrscheinlich wird die Leiterplatte der Zukunft ohne Kabel und Stecker sein, es werden keine externen Batterien benötigt und alles geht per Funk.

Auf jeden Fall wird die Leiterplatte durch die Anforderung dominiert werden, hohe Datenraten und hochfrequente Schaltungsanwendungen ermöglichen zu müssen.



Im Prinzip ist die Behauptung legitim, daß bereits jetzt von der Leiterplattentechnologie eine Vielfalt einfacher und auch komplexer Lösungen zur Verfügung gestellt werden kann.

Aktuelle Technologien für HF-/High-Speed-Leiterplatten

In den Grenzbereichen, die äußerst knappe mechanische Toleranzen ($< 5\mu\text{m}$) erfordern, ist die Technologie sehr schwierig.

Allerdings, dort, wo es um den Übergangsbereich von Standardelektronik zu anspruchsvollen Baugruppen geht, ist die Leiterplattentechnologie ihrer Zeit voraus.

Das Potential der Leiterplatte mit Blick auf ihre mögliche elektrophysikalische Funktion wird künftig stärker ausgeschöpft werden.

Die Integration passiver und aktiver Komponenten in die Leiterplatte wird deutlich zunehmen.

Vornehmlich scheint es aber auch an den fehlenden Konstruktionsvorgaben für diese Produkte zu liegen. Der Erarbeitung, Schulung und Umsetzung der erforderlichen Designregeln kommt eine Schlüsselposition zu.

Autor



Arnold Wiemers, Jahrgang 1954, ist der Leiterplatte seit 20 Jahren verbunden. In den ersten Jahren freiberuflich als Software-Entwickler (für die Leiterplattenbranche), ist er seit 1985 bei der Fa. „ILFA Feinstleitertechnik GmbH“ in Hannover für den Bereich CAD-Layouts als Geschäftsführer zuständig, sowie verantwortlich für die Bereiche CAM, technische Auftragsvorbereitung, Software-Entwicklung und die technische Dokumentation des Unternehmens im Internet.

Referenzen

Soweit nicht anders gekennzeichnet liegen die Rechte für alle Bilder und Graphiken beim Autor.

Die Schlitze hat das QS-Labor der Fa. ILFA angefertigt.

Graphik auf Folie 8 mit freundlicher Genehmigung von Herrn H. Reischer, POLAR Instruments, Nußdorf am Attersee.

Beyond Hand-Coded VHDL: An Overview on Today's 'C-Synthesis' Tools and their Application in an FPGA/ASIC Design Flow

Frank Mayer

Fraunhofer IIS, Am Wolfsmantel 33, 91058 Erlangen, Germany

Phone: +49 (0) 9131 776 403, E-Mail: frank.mayer@iis.fraunhofer.de

Abstract: Quality, growing design complexities and shortened time to market do no longer line up well with the design productivity of standard VHDL/Verilog based design flows. While hand coded RTL is still prime for control and interface dominated blocks, 'C-Synthesis' has reached a maturity that allows efficient hardware implementation of the signal processing and algorithmic parts of a design, without writing a single line of VHDL or Verilog.

The paper will start with an overview on historical and present 'behavioral' and 'C-Synthesis' tools, to identify commonalities, features and limitations. Next, we will give more insight how to apply such tools in a FPGA/ASIC centric design flow, e.g. to go seamlessly from a software reference down to a hardware implementation. Aspects like system partitioning, interfacing to classical RTL designs, integration and system validation will be discussed. Finally, we will conclude with selected results on "gate counts", "timing closure" and "productivity" from real world designs.

1. Introduction

1.1. Design Flow Challenges

Established and well known traditional design flows use a strict partitioning between *System Engineering* and *Design Implementation*. In a typical scenario, system engineering is responsible for analyzing the customer's requirements, checking overall feasibility and for doing a first trade-off analysis. Expected output of this early engineering phase is a written specification and a validated (partial) system-level model (e.g. in Matlab or C++). The results of the system engineering phase are then handed over to the implementation team – where the hardware and software groups start implementing all design blocks, re-verify all modules and finally validate the system against the specification and requirements.

This traditional design flow has major weaknesses. Firstly, System Engineering and Design Implementation are strictly decoupled (different teams). As the typical interface between both worlds is a "paper specification" and – best case – a set of system models and high level test patterns, the risk for misinterpretations and time consuming iterations is quite high. The second main weakness is the inconsistency in methodologies and tools. There is no seamless transition from the "high abstraction" level required for a first system modeling to the detailed modeling required for hardware synthesis. In addition, no re-use of system level simulation setups can be expected, mainly because of abstraction and modeling incompatibilities. The third weakness of this flow is the required level of detail and thus low productivity using standard hardware design languages like VHDL and (System-)Verilog. All implementation is done at RT-level and requires bit- and cycle-true modeling for each and every part of the circuit.

As a result, it is a well known fact and a long term discussion in industry that the silicon manufacturing capabilities – that are known to roughly double each 18 months – are no longer in line with the slow pace of productivity growth in RT-level design. Thus buzz worlds like "design re-use", "intellectual property modules (IP)" and "platform design" appeared on the scene, promising better productivity by merely re-using existing designs and building blocks rather than by designing large chips from scratch. As most "platform designs" incorporate one or several embedded CPU cores to become flexible, this also leads to an increasing importance of software. A beneficial side effect of using software is that this allows parallelism between system design and hardware implementation, enabling late changes (or patches) in functionality and reducing core hardware complexity.

IPs and re-use are perfect when a chip design needs to be compliant with given interface standards and protocols or builds on existing technology. In addition, if the system allows for certain compromises in performance (latency, power consumption, area

efficiency) or is designed for multiple applications, hardware "platform" chips customized by dedicated embedded software are adequate answers to the hardware design challenge.

On the other hand, especially the core of innovative products cannot be based on any such "legacy" (because there isn't any) and often comes with special performance requirements. This is the typical case where a classical design flow fails completely to provide a solution *in time* or requires vast resources and manpower, imposing unacceptable cost and risk on such a development.

1.2. C/C++ and SystemC

SystemC (see [1], [2]) was originally designed to allow hardware modeling. Versions 0.9 and 1.0, introduced in 1999 and 2000, already supported means for

- *de-composition and abstraction* (e.g. modules, interfaces, channels),
- *hardware style communications* (signals, protocols, etc.),
- *concurrency* (parallel execution of processes),
- *reactivity* (interrupts and resets),
- *timing* (specify timed sequences of operation),
- *hardware data types* (bit-vectors, four-valued logic, integers with arbitrary bit-width, fixed-point types).

SystemC builds on top of the standard C/C++ language and is implemented as a C++ class library. This includes an integrated simulation kernel (purely cycle-based in early versions, event-based beginning with SystemC 2.0).

As SystemC is a C++ class library, SystemC models may be compiled into a self-contained executable program with most modern C/C++ compilers. Although basic simulation and debugging capabilities (using `printf`, `cout` or dumping selected signals as a waveform trace) are built-in, advanced debugging is normally done using a standard RTL simulator. As of today, most of the well known RTL simulators from different vendors support SystemC with means for detailed object inspection, signal tracing and code stepping capabilities. Mix-mode simulation against VHDL or Verilog code and models is widely supported as well.

One of the ideas behind the original definition of SystemC was to have a *seamless, single-language* flow from System- to RT-Level. This enables step-by-step refinement from high abstraction level (e.g. un-timed C/C++) to a level of detail that is adequate for hardware synthesis (behavioral or RT level) and envisions the re-use of test environments along this

path (see Fig. 1). Main benefits from using a purely C/C++ environment lies in the re-use of test cases and test vectors for regression and performance testing – e.g. to rate the "implementation loss" going from a virtually infinite precise floating point representation to a resource optimized fixed-point variant.

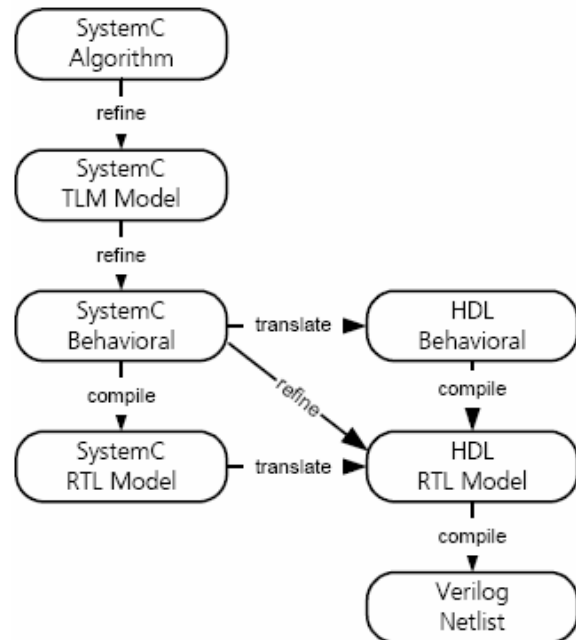


Fig. 1: System Model to Implementation Flow

While coding on RT-level has proven over time to come with more drawbacks than benefits (see 2.1, "RTL Style Modeling" for details), SystemC is widely accepted today as a design methodology for modeling and validation of complex hardware and software systems. This started with system level modeling capabilities (introduced in SystemC 2.0), and advanced validation support using the complimentary SystemC Validation Library (SCV, late 2003). In 2005 standardized means for transaction-level modeling (TLM) were added in SystemC V2.1. In addition to the SystemC core libraries, the C++ Standard Template Library (STL) and the vast portfolio of implementations of all kinds of different algorithms available in C/C++ on the internet give a good kick-start when creating *executable specifications* or other high-level models.

In December 2005, IEEE approved the IEEE1666 "SystemC" standard. IEEE1666, "Standard SystemC Language Reference", [3], is the definite description of the SystemC 2.1 design language, with support for both hard- and software modeling and focus on high levels of abstraction. Since then modeling of analog system and of software environments has become the focus of the ongoing SystemC evolution.

2. Hardware Design using C/C++ and SystemC

2.1. RTL Style Modeling

Register-Transfer-Level (RTL) Modeling is the default style for creating synthesizable models in VHDL or Verilog. The name "RTL" derives from the typical structure of such models: A set of registers (flip-flops) holds the non-volatile information of the algorithm and a set of combinatorial processes gives – based on external inputs and internal states – the next register image for the subsequent clock cycle.

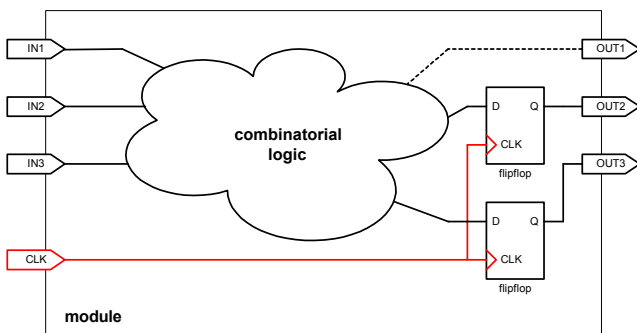


Fig. 2: RTL Design Block

A typical RTL Design Block (module) is shown in Fig. 2. This example demonstrates a *synchronous, single-clock* module. This style is, because of fixed length and predictable timing arcs, the most recommended RTL coding style.

SystemC mainly supports all the features of VHDL and Verilog for RTL style coding, but requires a far more explicit coding style. A code example for a simple n-bit adder is shown in the code below:

```
// Declaration (adder.h)
#ifndef ADDER_H
#define ADDER_H // avoid duplicate definitions

#include "systemc.h" // SystemC features
typedef T_DATA sc_int<8>; // sc_int is a built-in template class

SC_MODULE(adder) // user template class
{
    sc_in<T_DATA> in1;
    sc_in<T_DATA> in2;
    sc_out<T_DATA> out;

    SC_CTOR(adder) // class constructor
    {
        SC_METHOD(p_adder);
        sensitive << in1 << in2;
    }

    void p_adder ( void ); // member function
};

#endif // ADDER_H
```

```
// Implementation (adder.cpp)
#include "adder.h"

void adder::p_adder ( void )
{
    T_DATA _in1 = in1.read();
    T_DATA _in2 = in2.read();
    T_DATA _out;

    _out = _in1 + _in2;

    out.write(_out);
}
```

Most implementation details of the SystemC class library are hidden by macros and by operator overloading.

- `#include "systemc.h"` includes all definitions and symbols from the SystemC library. SystemC makes massive use of template classes, thus `systemc.h` brings in hundreds of lines of code into each source file. Depending on the C++ compiler used, this sometimes significantly slows down the compilation process.
 - `SC_MODULE(my_module)` derives a new class `my_module` from the `sc_module` base class.
 - The `sc_in<my_type>` and `sc_out<my_type>` template classes are derived from the predefined `sc_port<my_type>` and are used to declare input and output signal ports of type `my_type`. In the above example, `in1` and `in2` are vectored input ports and `out` is a vectored output port.
 - `SC_CTOR(my_modules)` is the class constructor. After calling the `sc_module` base class constructor, `my_module`'s user init code executes and the local objects are initialized.
 - In the above example, the `adder` module has only one process. This process, implemented by the class's member function `p_adder` is set up by `SC_METHOD(p_adder)`.
 - The special sensitive object and the overloaded operator<< is used to specify `p_adder`'s sensitivity list.
 - The process' implementation may be inlined in the class definition or put into a separate `.cpp` file. In the example the current value of `in1` and `in2` are read using the port's member function `read()`. Both values are added, and the result is then written to the `out` port using the port's member function `write(value)`.
- Note:** It is not strictly required to use the `read()` member function and to have local variables for the calculation. For simple arithmetic, `in1` and `in2` may be used directly; but, because of some possible side

effects, ambiguities and performance penalties, this shortened style is not recommended.

For comparison, a module with similar functionality would be coded in VHDL as follows:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;

entity adder is
  port
    ( in1 : in  std_logic_vector(7 downto 0);
      in2 : in  std_logic_vector(7 downto 0);
      outp : out std_logic_vector(7 downto 0)
    );
end entity;

architecture rtl of adder is
  begin
    outp <= in1 + in2;
  end rtl;
end architecture;
```

VHDL requires also quite explicit coding, but the SystemC style is even less attractive. As SystemC lacks some features of VHDL, not all circuitry can be modeled (e.g. because of only 4 supported logic values '0', '1', 'Z' and 'X' no weak pull-up 'H' or pull-down 'L' is available), it is quite well understandable that writing SystemC-RTL code for synthesis is of no convincing benefit.

Because of these limited benefits in SystemC-RTL, also the synthesis support is virtually non-existent. Synopsys introduced (a sometimes cumbersome) SystemC-RTL Compiler in 1999/2000, but discontinued this tool in 2004. Although there are some tools with synthesizable Verilog or VHDL output available today, no major EDA tool provider has entered this market since.

2.2. Behavioral Style Modeling

For this paper, *behavioral style modeling* shall denote a design style where each circuit block is still modeled in a bit-true but no longer in a *cycle-by-cycle* accurate manner. In other words, the algorithmic behavior is specified at the bit level, but the mapping of the individual operations to clock cycles is left to the synthesis tool. In a behavioral model, the algorithm should be seen as a sequence of *macroscopic* elements, e.g. as a sequences of loops, decisions branches and arithmetic operations. The user may specify constraints how to map each macroscopic element, but the scheduling into a clock-by-clock sequence of elementary operations is basically automatic, e.g. based on area and timing constraints. When scheduling, elementary operations may be re-arranged by the tool as required, but the dependencies between operations (defined by the data-flow) are preserved.

Behavioral Style Modeling is most efficient for *algorithmic* blocks, including signal processing algorithms or decision making logic (e.g. parsing of data packets in memory). As the sequence and order of the individual operations isn't fixed, behavioral style models should not be used to implement modules requiring a specific, pre-defined clock-by-clock interface (e.g. DDR-RAM memory controller) or for modules that implement a strict sequence of timed execution (e.g. RT-style state machines). Although it is largely possible to enforce a-priori a fixed cycle-by-cycle behavior or a sequence of operations by constraining and/or coding, using such "tricks" essentially work against a behavioral synthesis tool and will not always lead to predictable results.

Behavioral synthesis explores most of its potential when large (combinatorial deep) operations appear in loops, e.g. multiply-accumulate operations in filters or transform functions like FFT or DCT are used. Typically, the following optimizations are supported:

- *re-arrangement of operations* to fit each combinatorial path into the clockedge-to-clockedge time budget
- *multi-cycle operations*, including input and/or output buffering
- *operator sharing*, e.g. using a single multiplier or adder instance in several parts of the code by inserting multiplexers into the data path
- *loop merging* – combining the loop bodies of subsequent loops into a single loop.
- *partial or full loop unrolling* – replicating a loop's body N times to reduce the number of iterations to $\lceil 1/N \rceil$ (partial unrolling); fully unrolled loops iterate only once.
- *loop pipelining* – interleave the loop body processing for subsequent iterations indices so that the processing for several loop body instances overlap partially in time.

Note: Partial or full loop unrolling is beneficial for loops with limited loop body only, as, prior to further optimization, the required hardware grows by a factor N. The total number of cycles required is approx. $\lceil L/N \rceil * \lceil B * N \rceil$, were L is the original number of loop iterations and B the length (in cycles) of the original loop body; B may be fractional and speedup is best balanced for $B * N \approx 1$.

Note: The maximum body overlap when pipelining is limited by the resource (e.g. memory port) with the maximum utilization. If the original loop body iterated L times and required B cycles per iteration, pipelining effectively reduces the cycle count per iteration to the initiation interval I, were I is between

1 and B. The total processing time drops from L*B to (L-1)*I+B (L-1 iterations I cycles each, plus one iteration with B cycles).

- *memory inference*: Detection of memory resources and mapping to registers (flip-flops) or alternatively to single- and dual-ported RAMs. This also includes generation of the required (depending on memory type) interface protocol.
- *FSM generation*: Automatic construction of the final state machine (FSM) required for controlling the scheduled sequence of operations. This FSM normally also implements the I/O and memory access protocols.

Behavioral style modeling is supported, but is not restricted to SystemC. In fact, Synopsys "Behavioral Compiler" started in 1997 for VHDL and added SystemC later as input language. The trend in modern tools is towards C/C++:

- *Forte's "Cynthesizer"* [5] uses a subset of the SystemC language as input and supports modeling of un-timed functions (the core algorithm) and cycle accurate interfaces. "Cynthesizer" translates this code directly into ASIC gates, for improved timing closure in ASIC backend tools. The script based flow allows convenient exploration of different parameter and constraint sets and includes an automatic verification flow for the gate-level results against the reference simulation.
- *Mentor's "CatapultC"* tool [4] starts from normal un-timed C/C++ code and allows the user to select standard interfaces, with timing and behavior specified in a predefined library. Using "*Library Builder*", the user has some freedom to add and use custom interface models and to build up a proprietary collection of such blocks for re-use. "CatapultC" outputs RT-level code in Verilog, VHDL or SystemC for simulation and synthesis. The tool interfaces seamlessly to standard synthesis tools and allows mapping to ASIC or FPGA technologies.

Both companies focus on the synthesis of singular algorithmic blocks and rely on standard synthesis to handle the interconnection in multi-block design and to synthesize legacy code in RT-level HDL. What is also common to both tools is the fact that additional information from the target library is required for the scheduling and optimization process in the behavioral compiler. For this purpose, Forte analyzes the library itself – the ".lib" file, which has to be available in source or a proprietary encrypted format. Mentor runs a set of predefined designs through synthesis and uses timing and area information extracted from these characterization runs.

With these tools, the gap between system design, system engineering and IC design is bridged quite well. Most system engineers are already used to write their models in C/C++ or SystemC. With limited additional effort, such models may be refined into synthesizable behavioral code and then into prototypes (e.g. an early FPGA based real-time prototype) and later into ASIC implementations. Another benefit is the option to do design space exploration, by assessing the algorithmic complexities and comparing different implementation options at a quite early stage of the design process.

Last but not least, it needs to be mentioned that the C-Synthesis tools provided by Mentor and Forte are just two selected prominent examples and that there are also other solutions available from different vendors (including "*PicoExpress*" from Synfora [5], "*ESL Synthesis*" from bluespec [6] and NEC's *CyberWorkBench* [7]).

2.3. Behavioral Style Examples

The subsequent sections will use a simple 5-TAP finite impulse response (FIR) filter as an example to demonstrate the coding style commonalities and differences between some of the tools. The algorithmic behavior of a FIR filter is in general defined as:

$$out[i] = \sum_{k=0..N-1} inp[i - k] * C[k]$$

This calculation sequence is illustrated (for N=5) in Fig. 3. below:

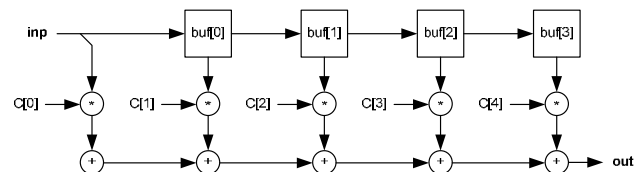


Fig. 3: FIR Processing Sequence

Synopsys Behavioral Compiler: This was one of the first commercially available tools providing behavioral synthesis capabilities, thus a code example is given below for mainly "historical reasons":

```
// Declaration (fir.h)
#ifndef FIR_H // include just once
#define FIR_H
#include "systemc.h" // SystemC features
#define C_NUM_COEFF 5
typedef sc_int<8> T_FIR;
```



```

SC_MODULE(fir)
{
  sc_in_clk      clk;
  sc_in<bool>    reset_n;

  sc_in<T_FIR>  inp;
  sc_out<T_FIR> outp;

  T_FIR buf[C_NUM_COEFF-1];
  T_FIR acc;

  SC_CTOR(fir)
  {
    SC_CTHREAD(main, clk.pos());
    watching( reset_n.delayed() == 0 );
  }

  void main();
  T_FIR get_coeff(sc_uint<3> idx);
};

```

The required declarations (Header File) are similar to the SystemC-RTL example shown before. The subtle difference is the use of the `SC_THREAD()` instead of the `SC_METHOD()` macro. `SC_THREAD()` denotes a clocked process, with the sensitive clock edge given as the second argument in the macro. Reaction to asynchronous signal (e.g. asynchronous signal `reset_n`) requires the use of the `watching()` statement plus a special compiler directives.

```

void fir::main()
{
  T_FIR inp;
  int idx;

  // Init (executes on reset_n 1-->0 transition)
  for (idx=0; idx < C_NUM_COEFF-1; ++idx)
  { // snps unroll
    buf[idx] = 0;
  }
  outp.write(0);
  wait();

  // Main Loop (execute each N clock cycles)
  main_loop : while(1)
  {
    inp = inp.read();
    acc = ((inp * get_coeff(0)) >> 7);

    acc loop :
    for (idx=0; idx < C_NUM_COEFF-1; ++idx)
    { acc += ((get_coeff(idx+1) * buf[idx]) >> 7);
    }

    for (idx = C_NUM_COEFF-2; idx > 0; --idx)
    { // snps unroll
      buf[idx] = buf[idx-1];
    }
    buf[0] = _inp;

    outp.write(acc);
    wait();
  }
}

```

Because of certain restrictions in the way constant tables need to be modeled to be recognized as a ROM, an additional member function is used to specify the filter coefficients.

```

T_FIR fir::get_coeff( sc_uint<3> idx )
{
  // snps preserve function
  static const T_FIR coeffs[C_NUM_COEFF]
  = {25, 25, 25, 25, 25};

  return coeffs[idx];
}

```

Finally, it should be noted that special keywords (e.g. `snps unroll` or `snps preserve` function, hidden from a standard C compiler inside a comment) are used to give directives to the synthesis engine.

Forte Cynthesizer: The definitions in the Header file are almost identical to what was used in Behavioral Compiler. Again, the `SC_CTHREAD()` declares the core function as a clocked process and a `watching()` statement can be used to specify the asynchronous reset. In addition, Forte requires the `CYN_ASYNC()` statement here to give further details to Cynthesizer.

```

// Declaration (fir.h)

#ifndef FIR_H
#define FIR_H

#include "esc.h"
#include "cynthhl.h"

#define C_NUM_COEFF 5
typedef sc_int<8> T_FIR;

SC_MODULE(fir)
{
  sc_in<bool> clk;
  sc_in<bool> reset_n;

  sc_in<bool> inp_valid;
  sc_out<bool> inp_ack;
  sc_in<T_FIR> inp;

  sc_out<bool> outp_valid;
  sc_in<bool> outp_ack;
  sc_out<T_FIR> outp;

  T_FIR coeff[C_NUM_COEFF] = {25, 25, 25, 25, 25};
  T_FIR buf[C_NUM_COEFF-1];

  SC_CTOR(fir)
  {
    SC_CTHREAD(main, clk.pos());
    watching(reset_n.delayed() == 0);

    CYN_ASYNC(main, reset_n, "reset_n");
  }

  void main();
};

#endif // FIR_H

```

As already stated before, Forte's Cynthesizer requires explicit description of the timed interface. In our example we use a standard 2-line handshake interface, waiting for an active `valid` and acknowledging after completion of the data transfer with a single clock cycle active `ack`.

```

void fir::main()
{
  int idx;

  // Init (executes on reset_n 1-->0 transition)
  for (idx = 0; idx < C_NUM_COEFF-1; ++idx)
  { buf[idx] = 0;
  }

  { CYN_PROTOCOL("reset block");
    wait();
  }
}

```

```
// Main Loop (execute for each new data item)
while(1)
{
    T_FIR acc;
    T_FIR _inp;

    // timed interface (input)
    {
        CYN_PROTOCOL("read data");
        while(inp.valid.read() != true)
            wait();

        _inp = inp.read();
        inp.ack.write(true);
        wait();
        inp_ack.write(false);
    }

    // untimed core algorithm
    acc = (inp * coeff[0]) >> 7;
    for(idx = 0; idx < C_NUM_COEFF-1; idx++)
    {
        acc += ((coeff[idx+1] * buf[idx]) >> 7);
    }

    for (idx = C_NUM_COEFF-2; idx > 0; --idx)
    {
        buf[idx] = buf[idx-1];
    }
    buf[0] = _inp;

    // timed interface (output)
    {
        CYN_PROTOCOL("write data");
        outp.write(acc);
        outp.valid.write(true);
        wait();

        while(outp.ack.read() != true)
            wait();

        outp_valid.write(false);
    }
}
}
```

The rest of the code is again almost identical to the Behavioral Compiler style, except that statements like CYN_PROTOCOL are used to give additional meta-information to the tool.

Mentor CatapultC: This tool uses plain C/C++ code (not SystemC, although some SystemC element, e.g. data types, are available) as input.

```
#include "systemc.h"

#define C_NUM_COEFF 5
typedef sc_int<8> T_FIR;

static const T_FIR coeffs[C_NUM_COEFF]
    = {25, 25, 25, 25, 25};

static T_FIR buf[C_NUM_COEFF-1] = {0, 0, 0, 0};

#pragma hls_design top

void fir (T_FIR inp, T_FIR &outp)
{
    int idx;
    T_FIR acc;

    acc = ((inp * coeffs[0]) >> 7);
    for (idx = 0; idx < C_NUM_COEFF-1; ++idx)
    {
        acc += ((coeffs[idx+1] * buf[idx]) >> 7);
    }

    for (idx = C_NUM_COEFF-2; idx > 0; --idx)
    {
        buf[idx] = buf[idx-1];
    }
    buf[0] = inp;

    outp = acc;
}
```

Compared to the other examples, the code is more compact (mainly because not the interface behavior needs not to be modeled) and is not specially coded "for hardware". In CatapultC, all directives required to guide the implementation process may be kept separated from the C/C++ code. Even the hls_design pragma – that is used to identify the function top-level to be synthesized – is optional and could be replaced by a constraint given outside the source code.

```
...
directive set -TECHLIBS {mgc_X-V2-4s1_beh_psr.lib}
directive set -CLOCK_PERIOD 25.0
...
go compile

directive set /fir/inp_rsc
    -MAP_TO_MODULE mgc_ioport.mgc_in_wire
directive set /fir/outp_rsc
    -MAP_TO_MODULE mgc_ioport.mgc_out_stdreg
...
go extract
```

All interface parameters of the top-level function will be identified automatically and infer – depending on actual usage – input, output or bi-directional ports on the generated hardware. The interface protocol for each of these ports may be a standard protocol (provided by Mentor as part of an IO library) or a custom interface. In the above example, the input port inp (name inp_rsc after compilation) is mapped to a simple "wire" type of signal (mgc_in_wire primitive), while the output out_rsc is automatically registered by mapping to the mgc_out_stdreg primitive.

3. Design Productivity

This chapter shall finally demonstrate the typical design flow when starting from an existing C/C++ reference implementation. The objective here is to give some insight into the required refinement tasks, to identify the overall effort.

3.1. A Signal Acquisition Algorithm

This example uses a real world signal acquisition algorithm for an OFDM (Orthogonal Frequency Division Multiplex) based transmission system. The basic idea behind OFDM – that is for example applied in DSL modems and some WLAN standards – is to encode information in frequency and not in time, to spread individual "bits" over longer time periods, making the transmission more robust against short term channel fluctuations, noise events and multi-path propagation.

In a typical OFDM system, the transmitter takes a block with a fixed number of data bits and transforms this block from the "time" to the "frequency" domain using a Fourier Transform (FFT); the resulting "OFDM symbol" is then transmitted. The algorithm used here for demonstration is part of a standard OFDM receiver synchronization stage and estimates the following signal properties:

- *symbol boundaries* and *symbol length* (symbol synchronization)
- *symbol sequence* (in the given case, there is a repeating sequence of between 15 to 24 symbols; this sequence always starts with a special OFDM symbol #0 and this special symbol #0 is to be identified)
- *frequency and sample rate offset* (resulting from the difference between sender receiver clock).

Without going into the details, it can be stated that the algorithm is composed of different typical signal processing blocks. This includes signal correlations over different windows for symbol detection, energy calculations and maxima position search for symbol synchronization, pilot cell extraction and correlation for the symbol #0 detection plus complex multiplications for frequency and sample rate offset compensation. In other words, the algorithm is a sequence of nested loops that execute different complex arithmetic operations on the one block (4800 samples) of input data.

3.2. C++ Implementation

The algorithm reference implementation used as a starting point for hardware synthesis was originally implemented in C++ to run on a PC and had been validated using various streams with real-world data. The implementation uses mainly floating point arithmetic and a set of functions from a signal processing library (e.g. correlation, complex multiplications, vector operations, etc.). The algorithm is composed of about 15 sub-functions and has a total of about 1100 lines of code.

3.3. Preparing for C-Synthesis

In this case, CatapultC from Mentor was used for synthesis, and this allows re-using most of the C/C++ code "as is". But, because of principle limitations of "hardware" (e.g. no dynamic memory allocation) and also because of restrictions in the synthesizable C/C++ language feature set, some parts of the code needed to be re-written in a "hardware centric" style.

In addition, to yield more efficient hardware, all floating point data types were replaced with fixed point

data types (fractional arithmetic). During this progress, bit-widths were adapted to the real algorithmic requirements. This was mainly done by a code walk-through, manually analyzing the dataflow and data ranges.

In the given example, this preparation work took about 2 work days. This effort included analysis and cleanup of the code, porting to fixed-point arithmetic and the validation of the modified code base.

3.4. Optimizing the Results

To exploit features like loop merging, unrolling and pipelining, the performance and/or area critical parts of the code need to be identified. This was basically done by looking for the blocks with highest arithmetic complexity and then checking compiler reports (e.g. iterations per loop, cycles per loop body, inferred operators, etc.).

Having fixed-iteration loops (or providing constraining for the maximum iteration count) is a prerequisite for loop optimizations like pipelining, loop merging or loop unrolling. Thus it was beneficial to re-write loops with variable boundaries into fixed-iteration loops (and add `break` statements to exit the loop as required).

In addition to loop optimization, it was also required at this stage to embed the "generic" algorithm into the system environment. In our example, the input samples reside in a shared memory (written by a previous block in the processing chain). As this memory is shared between several blocks and is concurrently accessed, a variable latency (between 1 and N clocks arbitration delay) needs to be considered for each read access.

CatapultC provides direct support for synchronous single and dual ported RAMs, but this special type of memory interface with variable latency is not available. Thus a description (generated by the user with a separated tool named "Library Builder") of this interface behavior and the associated signals is required to infer the memory access protocol, allowing the behavioral synthesis to schedule the algorithm's operations against the specific timing requirements of the memory interface and try to "hide" such latencies in the best possible way.

Finally, as the algorithm requires several multiplications (resulting in 5 multiplier instances), the initial synthesis result had a significant high gate count, because each of these (slightly different bit-width) multiplier blocks was instantiated in the RTL output. A more efficient gate count could be achieved by enforcing re-use ("operator sharing") of the largest bit-width multiplier for all multiplications. This was done by setting *resource constraints* to allow only one in-

stance of the largest used multiplier type and disabling all others. Compared to the original 5 multipliers with approx. 2.5k gates each, the use of a single instance saves roughly 10k gates, but at the expense of additional multiplexers (approx. 0.5k gates penalty) and some few additional clock cycles.

In the specific example, it took approx. 1 week to implement the different optimization steps described above. This time also included the functional validation of the generated RTL code, re-using most regression test setup generated in the "Preparing for C-Synthesis" step.

3.5. Backend Synthesis

The output of the C-Synthesis is RTL code in VHDL and/or Verilog for simulation (cycle accurate transaction level model) and for synthesis (one module implementing FSM and data path, plus components from the I/O library and for special arithmetic objects). Scripts for simulation (ModelSim) and synthesis (Precision) are automatically generated as well. When using Synopsys Design Compiler or other synthesis tools, the provided synthesis script may not be used directly, but may be quite easily re-written into the format required by the specific tool.

All typical backend tasks – simulation, floor-plan, synthesis, formal equivalence check, static timing analysis, test insertion, layout – are performed in the same way as for any other RTL code. Timing closure is given "by construction" (assuming proper constraining) as the C-Synthesis already takes timing estimates for all building blocks into account when scheduling the individual operations in to the given clock cycle budget.

4. Conclusions

Fraunhofer IIS is using behavioral synthesis for almost 10 years now and this methodology has been applied successfully in several commercial programs (see [8], [9]). Using identical source code and achieving timing closure for different technologies (FPGA and ASIC) proved to be a key element for system validation on real-time FPGA platforms and without sacrificing area efficiency for the final ASIC.

Compared to hand-written RTL code, identical or better performance is feasible, but the quality of results highly depends on the coding style. C code tailored for off-the-shelf processors or DSPs typically needs to be modified and partially re-written; this is especially true for highly optimized software code. If the C code is carefully prepared, area and time efficiency is similar or improved compared to manually optimized RTL code. Especially for algorithms with a

large numbers of arithmetic operations, "operator sharing" yields significant area improvements, while the automatic scheduling in most case yields superior results (in terms of total clock cycles and providing a "correct by construction" output) compared to hand-made RTL code. In addition it is far less complex to maintain a behavioral style algorithm than its optimized RTL representation.

Although it can be generally concluded that behavioral style coding together with C-Synthesis is a significant improvement in productivity compared to RT-level design, this methodology also has its downsides: The potential of behavior synthesis may not be exploited for all design tasks; this methodology is especially badly suited if a fixed RTL-type timing and a strictly sequential execution needs to be enforced. In addition, today's tools are limited to a certain maximum design complexity; very large designs need to be broken into manageable pieces and this limits area efficiency because any operator sharing is restricted to the scope of one individual design block.

5. References

- [1] T. Grötter, S. Liao, G. Martin, S. Swan: "System Design with SystemC", Springer, 2002
- [2] SystemC Web page, <http://www.systemc.org>
- [3] IEEE Computer Society, "IEEE Standard SystemC Language Reference Manual", IEEE Std. 1666-2005, available at: <http://standards.ieee.org>
- [4] Mentor Graphics, "Catapult Synthesis – Data Sheet", available at: <http://www.mentor.com>
- [5] Forte Design Systems Web page, <http://www.forteds.com>
- [5] Synfora, "PICO Technology White Paper" (PICO_Technology_whitepaper_v1.0.pdf), available at: <http://www.synfora.com>
- [6] bluespec Web page, <http://bluespec.com>
- [7] NEC CyberWorkBench Web page, <http://www.cyberworkbench.com/english>
- [8] P. Nagel, M. Leyh, M. Speitel: "Using Behavioral Compiler and FPGA Prototyping for the Development of an OFDM Demodulator", Proceedings of SNUG, 2001
- [9] M. Speitel, M. Schlicht, M. Leyh: "Acceleration of DAB Chipset Development by Development of a Real-Time Rapid Prototyping Approach Based on Behavioral Synthesis", Proceedings of IEEE ISQED, 2001

A new platform of an electronic pill with bidirectional communication system for miniaturized and low power biomedical applications

Nidal Fawaz, Dirk Jansen

Institute for Applied Research Offenburg

Badstrasse 24, 77652 Offenburg, Germany

Tel.: +49781205128, Email: Fawaz@fh-offenburg.de

Abstract

Electronic pills, smart capsules or miniaturized microsystems swallowed by human beings or animals for various biomedical and diagnostic applications are growing rapidly in the last years. This paper searched out the important existing electronic pills in the market and prototypes in research centers. Further objective of this research is to develop a technology platform with enhanced feature to cover the drawback of most capsules. The designed telemetry unit is a synchronous bidirectional communication block using continuous phase DQPSK of 115 kHz low carrier frequency for inductive data transmission suited for human body energy transfer. The communication system can assist the electronic pill to trigger an actuator for drug delivery, to record temperature, or to measure pH of the body. It consists additionally to a 32bit processor, memory, external peripheries, and detection facility. The complete system is designed to fit small-size mass medical application with low power consumption, size of 7x25mm. The system is designed, simulated and emulated on FPGA.

1. Introduction

Evolution of technology in recent years opened the door for advanced microelectronic systems to be used in medical treatments and diagnostic analysis. Such systems known as smart pills, electronic digestible capsules and intelligent microsystems are rising quickly in this field, they enhance the treatment of several diseases (cancer, diabetes,...) and carry out biomedical analysis in GI tract (temperature, pH, motility, ...), GI diseases affect 60-70 million people annually while diagnosis and treatment exceed €10 Billion Euro per year.

Back to four decades, Mackay invented the first radio telemetry capsule with one transistor in 1957 and the

first successful pH sensor capsule was achieved in 1972, since then research and developments were carried out enhancing and expanding in this field.

2. Electronic Capsules

Recent years, complicated electronic capsules with state-of-the-art technology termed by Lab-on-chip, pharmacy-on-chip, Biochips and BioMEMS are used to describe the recent modern capsules that perform sophisticated biomedical treatment and analysis, they can be categorized according to their function into two groups:

- Actuators as drug delivery systems
- Sensors as pH, temperature, image, ...

Table 1 listed the capsules with their specification.

2.1. Capsules as Actuators

Drug delivery system is an issue of optimization for many interests, immediate release drug will be absorbed in the upper part of the small intestine after the stomach, extended release drug is desired to be absorbed in the lower level of the intestine. Achievement of the second by normal coating tablets is difficult due to the complexity of the GI tract of human being, intubation is an alternative solution, but it is uncomfortable for patients.

Alternative solution will be of more interest, and the idea of developing swallowed capsules devices was demonstrated, over two decades engineers are trying to develop different capsules with the capability to control the time and the location of the drug release.

The earlier capsules in this domain were HF, InteliSite, and Telemetric Capsules. They are triggered by a radio frequency (RF) pulse from a generator outside the body, the heat generated in the circuit will melt a thread releasing a needle that pierces the container and spells out the drug. State-of-the-art in this domain are the Enterion™ capsule and ChipRx™.



Table 1: List of Capsules with their Specifications

Capsules			Freq. in MHz	Size mm	Localization	Power Supply	Company/Institute	Remarks
Actuators	Drug delivery	InteliSite	6.78	35x10	Scintigraphy	External	Glaxo, US	Pulsed release
		Telemetric	108	39x11	Cogwheel	Battery	Strasbourg, Fr	Radioactive free
		Enterion	1.8	32x12	Scintigraphy	External	Phaeton, UK	Pulsed release
		HF Capsule	4	28x12	X-Ray	External	Battelle, DE	Pulsed release
		Gastrotarget	N.A	N.A.	Yes	Battery	Uni. NY, US	Dummy Unit Localizer
		ChipRx	N.A.	N.A.	No	Battery	Uni. Irvine, US	Continues release
Sensors	pH, temp, pressure	Temperature Pill	1	35x9	No	Battery	NASA, US	known as NASA pill
		SmartPill	N.A.	N.A.	In Progress	Battery	Diagnostics, US	Multi-sensors
		BRAVO	433	25x6	No	Battery	Medtronic, US	Attached to Esophagus
		Radio Pill	0.35	22x9	No	Battery	Mackay, US	1st radio pill in 1957
		Heidelberg pH	1.9	18x8	Polarization	Battery	Heidelberg, DE	
		Microcapsule	433	23x10	Ultrasonic	Battery	Uni. Shanghai	MEMS Tech.
		Tohoku pH	N.A.	2x2	N.A.	Battery	Uni Tohoku, JP	In progress
		IDEAS	38	36x12	No	Battery	Uni. Glasglow, UK	Mutli-sensors
	Image	PillCam/M2A	N.A.	27x11	Image	Battery	Given Imaging, IL	Pioneer
		Norika	2400	23x9	Image	External	RF System Lab, JP	State-of-the-art
		Endoscope	433/315	30x11	Image	Battery	Uni.Kyungpook, Kr	
		IVP	900/1	23x11	Image	External	IMS, DE	High power transmis.

The Enterion capsule uses a piston sealed inside it, while a trigger signal is received the piston will be released and the drug container will be ejected out after the filament is burnt.

The above mentioned systems are pulsed type drug release, the drug is released at once in one location.

A continues drug release is described by ChipRx, using MEMS technology several holes are circulated around the container providing continues mode release system, these holes are regulated by biological stimulis where a biosensor will be used to regulate the amount of drug needed by the patient (pharmacy-on-chip).

Previous determination of the location before drug release is an important issue. Scintigraphy, X-Ray and radioactive compounds are used to locate the position of the capsule. Such location schemes aren't practical.

The patient must undergo several gamma scans to identify the location.

Telemetric capsule uses a cogwheel means for localization. Enhancement in localization is of more interest and more work can be done in this domain to achieve a practical solution for position determination.

2.2. Capsules as Sensors

Monitoring the variation of temperature, pH, motility and other functions are getting easier and comfortable for patients. The need to collect biomedical information within a specific location is of high interest, most of the existing sensor capsules don't provide location determination. Earlier products in this field are the Radio Pill, BRAVO, Heidelberg and Temperature capsules. Almost all of them use internal battery for power consumption. New capsules in this field are

IDEAS, SmartPill and Tohoku capsules. IDEAS and SmartPill provide multi-sensors microsystem for real time analysis.

Retrieving video images from within the GI tract with wireless endoscopy was a breakthrough in year 2000, M2A from Given Imaging was the 1st to develop such a system, later RF System Lab from Japan produced the Norika capsule which is the-state-of-the-art in this domain. Another new system from IMS Stuttgart is the IVP (Intracorporeal Videoprobe).

M2A/PillCam are powered by battery while Norika and IVP by external magnet field. A trade off must be taken between using battery inside the body with limited power supply and exposing the body with RF signal to power up the camera and LEDs.

3. “ePille” System Design

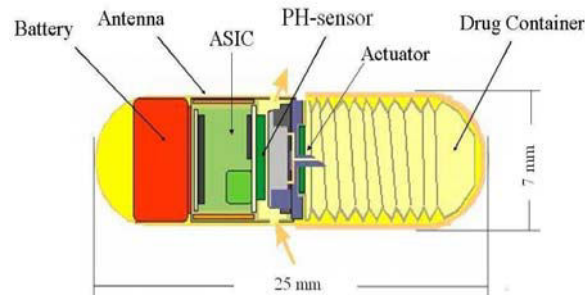


Figure 1 ePille® concept for drug delivery

Figure 1 shows the concept of the electronic pill (ePille®). It is designed to establish bi-directional communication channel from-to the body, trigger an actuator for drug delivery and record temperature or pH value via temp sensor or chemical sensor.

A further feature is an attempt for localization using near field magnetic induction method within 20 cm circular range and having a resolution of ± 1 cm.

3.1. SIRIUS Processor

The SIRIUS core (acronym for Small Imprint RISC for Ubiquitous Systems) stands in performance somewhere between the very successful architectures of the ATMEL AVR (ATmega 8bit), the TI MSP 430, the PicoBlaze - and well below the ARM 7/9- class of 32bit machines, the LEON (SPARC), Motorola 68xxx and other 32bit architectures (NIOS II, MicroBlaze). Figure 2 shows the block diagram of the core.

The processor has the following specification:

- Load-Store architecture with 16bit external data bus.

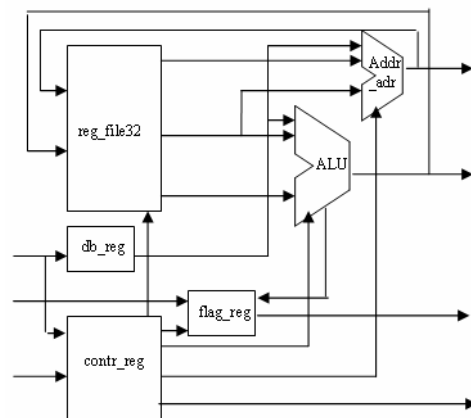


Figure 2 Block diagram of SIRIUS core

- RISC architecture with 3 stage pipeline and 1 Instruction/clock cycle and an average of 0.8 MIPS/MHz performance.
- 16bit/32bit internal bus structure with 32bit ALU and 16x16 MPY,
- Orthogonal register set of 16 registers, 12 x16bit, 4 x 32bit, the 16bit universal registers may be combined to double registers and handled as 6 x32bit registers.
- Instruction pointer 32bit and stack pointer 32bit are part of the register set.
- Stack oriented architecture with unlimited nesting levels.
- Pointers 16 bit as well as 32bit supported.
- Multiplex bus system, separated 8bit IO bus and fast memory bus, all IO is connected via a separate 8bit bus with own address space
- Address space 64k or 4G depending on pointer addressing,
- Vectored hardware interrupt and software interrupt (exception)
- Compact 16 bit instruction format with only three modes
- Instruction set architecture with 56 instructions optimized for compact C-Compilation
- Netlist version made from gate primitives, able to be mapped on every existing technology without using macros.
- Performance about 100 MIPS in 0.35 μ m CMOS and 50 MIPS in actual FPGA-technologies
- Fully static, extreme low power design, all registers made from flip-flops.
- Comes with Software IDE, C-Compiler and Simulator and basic BIOS.

3.2. Communication Block

The communication block consists of an asynchronous DQPSK with 115 KHz carrier frequency,

including a digital PLL at the receiver side. The data rate is 9600 Baud.

The modulation technique is a continuous phase soft shift keying using Gaussian filter for smooth phase transition from one state to the other.

The data frame package carries up to 255 bytes of data information with preamble and 16 bit CRC sum check. The system includes 4B/5B coding for 1 and 2 bit error detection as well burst error for frames less than 16 bits.

The modulator process the serial data by converting into two parallel bit for quadrature form. A differential encoding is set to eliminate the difference of phase reference between the transmitter and receiver side. A soft shift keying is provided by Gaussian filtering for smooth phase transition. This signal is supplied to a numerically controlled oscillator (NCO) to generate a frequency between 107-123kHz depending on the phase shift.

The demodulator process contains the reverse steps of the modulator. It consists of Schmitt-trigger for digitizing the received analog signal, a digital PLL to lock the received signal, a decision circuit to estimate the symbol value, a decoder and parallel-serial converter to recover the original data.

4. Hardware verification and Layout

The SIRIUS processor and the communication block have been emulated on FPGA Cyclone II, an emulation test board was designed to test the system's functionality as shown in figure 3.

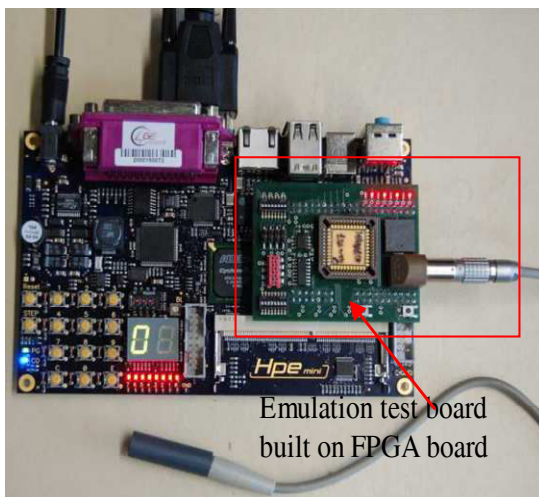


Figure 3 Emulation of the digital part on Cyclone II

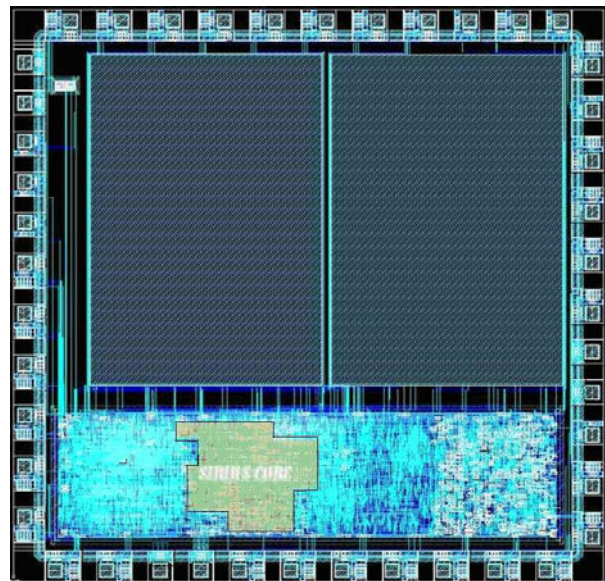


Figure 4 First prototype layout of the digital part in 0.35 μm AMIS technology, size of 11mm²

A single coil was used for transmission and receiving mode. A serial combination of the coil, capacitor, and resistor were used for transmission mode while a parallel combination of the coil, capacitor, and resistor were used for receiving mode. The Q factor is seven and the bandwidth is 16 kHz with center frequency of 115 kHz.

Table 2 Results of Synthesizing for 0.35 ASIC Library and for ALTERA Cyclone II

Block	Number of primitives (ASIC)	Logic Elements (Cyclone II)
SIRIUS core	4197	2870
ROM	392	106
Bus controller	92	335
PIO	52	20
SIO	388	132
SPI	241	123
I2C	343	191
Interrupt controller (12 Intr)	773	346
ISO-14443 Interface	1407	617
QPSK Interface	3186	1252
Timer	214	88

A first routing of the digital circuit was done. A processor, SRAM, external periphery, and communication block was routed using 0.35 μ m AMIS technology. The first routings showed an area of 11mm² as seen in figure 4.

Table 2 summarizes the achieved results in synthesis for a 0.35 μ m AMI library as well as for the low entry FPGA Cyclone II device.

5. Conclusion

A complete bidirectional system was designed, simulated, and emulated on FPGA. A first routing prototype for the digital part was done using 0.35 μ m AMIS technology.

A final layout with complete peripheries and analog components is still under progress.

The system contains wake up manager unit for reduction of power consumption. An external signal will be sent either to wake up the system or shift it to sleep mode.

The system was able to demodulate receiving signal, CRC check sum and save the data in the memory. A transparent mode to resend the data was achieved. The system could trigger an actuator via transmitted command.

6. References

1. www.smartpilldiagnostics.com
2. Mackay, "Endoradiosonde" Nature, vol. 179, 1957.
3. Meldrom, "pH profile pf gut as measured by radio telemetry capsule" Br. Med. Vol. 2, pp. 104, 1972.
4. Wilding, Hirst, "Development of a new engineering-based capsule for human drug absorptions studies" PSTT vol 3, 2000.
5. Houzago, Patent WO 01/45552 A1, 2001.
6. www.chiprx.com
7. Steinberg, "Heidelberg Capsule invitro, evaluation of a new instrument for measuring intragastric pH", J.Pharm, vol 54,1965.
8. Johannessen, "Implementation of Multichannel Sensors for Remote Biomedical Measurements in a Microsystems Format", Biomedical Engineering, Vol 51, No.3, March 2005.
9. <http://www.smartpilldiagnostics.com/products.php>
10. G. Iddan, "Wireless Capsule Endoscopy", Nature,vol 405, 2000.
11. www.rfnorika.com
12. <http://ivp.ims-chips.de>
13. Opencores: <http://www.opencores.org/>
14. ARM Processors: <http://www.arm.com/>
15. <http://www.arc.com/configurablecores/>
16. ACTEL Igloo FPGA:www.actel.com/products/igloo
17. N. Fawaz, D. Jansen, M. Mogel, Entwicklung eines synchronen Transceivers mit DQPSK Modulation und Soft Shift Keying für eine induktive Übertragung mit Erprobung in einem FPGA, MPC-Workshop, Germany, 2006.
18. N. Fawaz, Development of CP-DQPSK Modulator and Demodulator using VHDL for inductive data transmission, Master thesis FH-Offenburg, Germany, 2002.
19. N. Fawaz, D. Jansen, DQPSK Modulator for Inductive Data Transmission, MPC-Workshop, Germany, 2002.
20. Dirk Jansen et. alt.: Electronic Design Automation Handbook, Verlag Kluwer, NL, 2003.
21. C. Eichner, FHOP-Evalboard Technischer Bericht, FH-Offenburg, Germany, 2002.
22. D. Jansen, F. Baier, Induktive bidirektionale Schnittstelle ähnlich ISO/IEC 14443-A, MPC-Workshop, Germany, 2002.
23. D. Jansen, Systematic Design of a Small Processor Core with C-Capability for SOC Designs; Presentation on the colloquium of the CECS, University of California, USA, 2005.

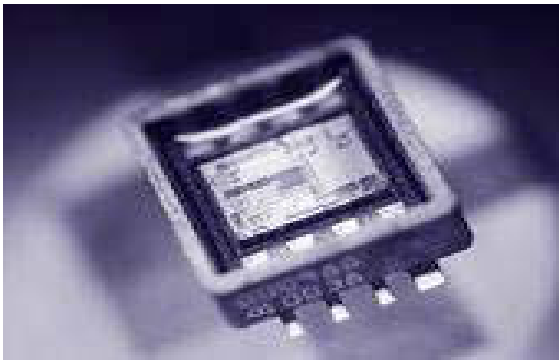


Fig.2 Intra-CMOS Approach.[courtesy : Infineon Technologies]

Figure 2 shows the Intra-CMOS device approach. In this technology the microstructures are much closer to electronic systems on the chip as compared to the previously available technologies. And inserting before the back end interconnect metallization takes place ensures process compatibility with polysilicon. This new technology eliminated previous disadvantages.

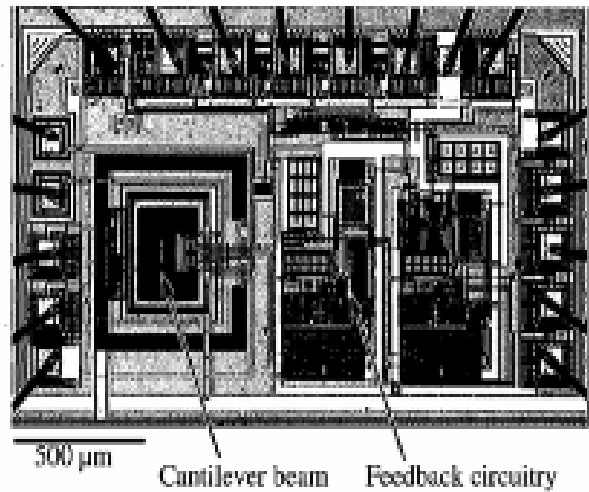


Fig.4 Mass Sensitive Microsensor , with cantilever beam arrangement and feedback circuitry

Mass sensitive Microsensor, with cantilever beam for detection of volatile organic compounds in air realized using 0.8µm technology.

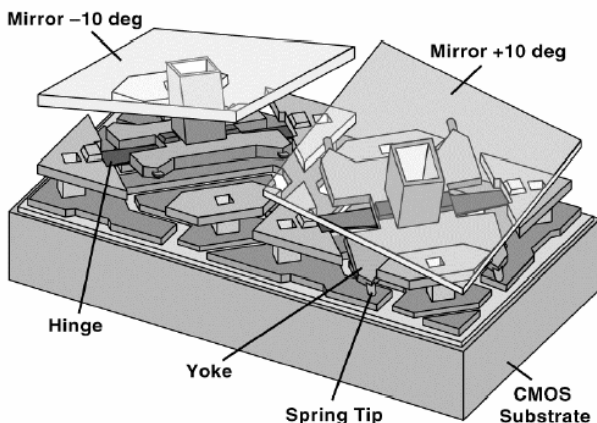


Fig. 3 Post CMOS process showing the DMD.

The Post CMOS approach provided the manufacturers with two possible options:

- a. MEMS structures can be build from the CMOS layers (pressure, inertial, flow, chemical sensors).
- b. Build it by additional layers deposited on top of the CMOS wafer (DMD by TI or Honeywell's thermal imagers).

These two new options provided by the Post CMOS technology means that the manufacturing can be entirely outsourced and so processed at any CMOS foundry.

2. MEMS Beams Structures

The most common beam structure in MEMS devices is the combed structure as shown in figure.5. However for the sake of simplicity we have shown a structure having only two levels of interleaved beams.

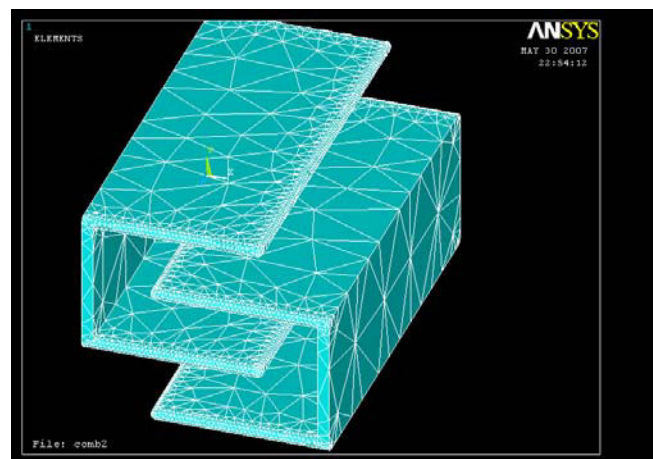


Fig. 5 Two levels of interleaved beam structure in MEMS devices

In practical case the interleaving levels can go up to 10's of levels on a single chip.

2.1. The Classification of Beams

The beam structures can be classified as :

- (a.) Free end beams. (b.) Clamped-Clamped beams.
- (c.) Guided end beams (d.) Cantilever beams.

The most commonly followed structure is the Cantilever beams.[1],[2]

2.2 Models of MEMS Devices And Problem Description

Any MEMS device can be lumped into a mass-spring model with a parallel plate actuator as shown in figure 6.[1][2][3]

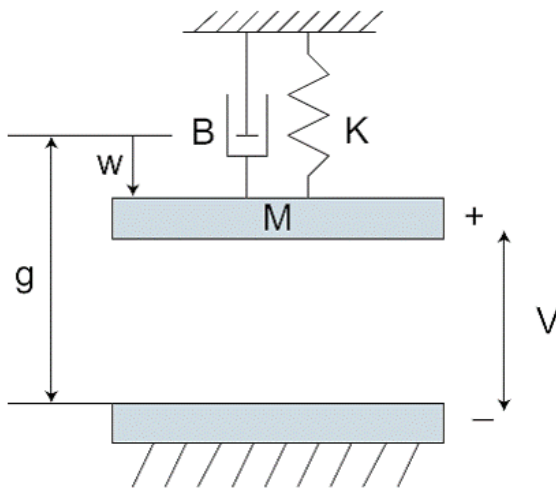


Fig. 6 Mass-spring model with parallel plate actuators of MEMS sensor

To understand the phenomena, one can turn to the energy of the electro-mechanical system [3],[4]:

$$T = \frac{1}{2}M \dot{w}^2; U_k = \frac{1}{2}K w^2; U_e = -\frac{1}{2} \frac{\epsilon_0 A_c}{(g - \hat{w})} V^2$$

$$E = T + U_k + U_e$$

\hat{w} : is the displacement of the moving plate from its initial equilibrium.

T : is the kinetic energy of the plate,

U_k : is the potential energy stored in the spring

U_e : is the potential energy stored in the parallel plate capacitor,

E : the energy of the whole system

A_c : Amplitude of the displacement of the plates

Equation of force between polysilicon beams [1][4][12]:

$$F = -\nabla U = \frac{1}{2} C_n \frac{\epsilon A_c V^2}{g^2 (1 - w)^2}$$

C_n : The capacitance between the parallel plates

g : The gap between the plates at its initial state

Any MEMS device is principally driven electrostatically. The microbeam (polysilicon) forms the basic structure. On the opposite side lies the sensing or driving electrode which completes the capacitive structure. As the voltage is applied between these beams, the beams deflect under electrostatic forces, causing the gap between beams to decrease. This increases the force value between the beams. At some point of time the elasticity of the beams can no longer sustain, and at a critical voltage (known as snap-in or pull-in voltage) the beams would snap, thus causing a permanent damage to MEMS device. The fringing fields due to finite thickness or geometrical entities also alters this critical voltage value. We have considered some features of geometry in our paper.

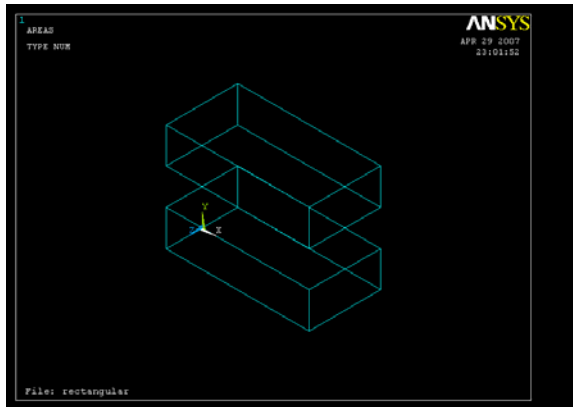
Until the year 2000, [6],[7] many authors had suggested different analytical equations for the capacitance calculations using Schwarz-Christoffel transformations of complex variables. In year 2000 H.Yang came up with the most simplified, yet quiet accurate equation. But, analytical methods have their own limitations. In 1983, Sakurai and Tamaru used numerical solutions to come up with a different set of results. But, in the previous year 1982, Yuan and Trick, considered an oval geometry at the corners of the beam, forming two half cylinders at both the ends

of a rectangular beam. Our work is an extension to this very particular idea of Yuan and Trick. [8],[9],[10],[13].

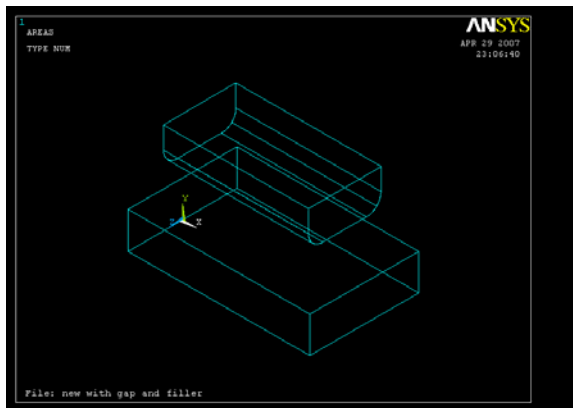
3. Geometry Schemes

We consider three schemes of geometry in our work [11][12]:

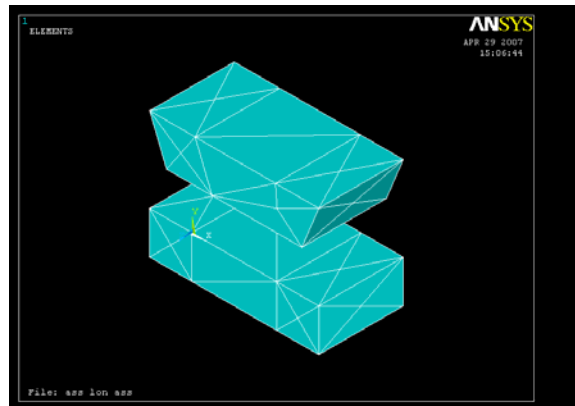
(a) Rectangular-Rectangular Polysilicon Beams



(b) Rectangular-Curved Polysilicon Beams



(c) Rectangular-Trapezoidal Polysilicon Beams



In our analysis we compare current convergence values, force convergence values and heat flow convergence values for each of the geometries under same values of voltage and gap between the polysilicon beams. However, the force experienced by the polysilicon beam is the parameter of our prime interest.

In our ANSYS simulations we are performing Newton-Raphson (NR) iterations. The material properties for polysilicon and the geometrical parameters of the different geometry schemes are given below.

Material Properties for Polysilicon and applied voltages.

Young's modulus	169 Gpa
Poisson's Ratio	0.22
Resistivity	2.3e-5 Ohm-m
Coefficient of Thermal Expansion	2.9e-6/°K
Thermal Conductivity	150e-3W/m°K
Voltage applied	5 volts
Impulse Voltage	15,000 volts

Geometry Schemes	Parameters(in μms)
Rectangular-Rectangular	$L=5, W=2, \text{gap}=0.4, t=1.5$
Curved-rectangular	$L=5, W=2, \text{gap}=0.4, t=1.5$, And the radius of curvature $a=0.10$ (tangents between the two planes intersecting at the corners.)
Trapezoidal-Rectangular	$L=5, W=2, \text{gap}=0.4, t=1.5$, And the upper face corner angles are 57° as polysilicon structure (1,1,1) orientation is being considered.

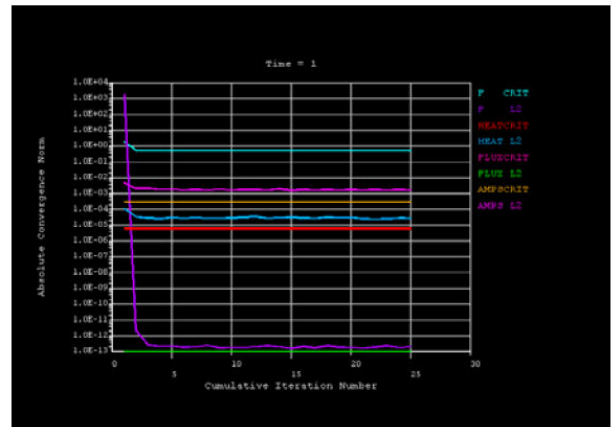
4. ANSYS Simulations

Coupled field analysis [14] was carried out on each of the three geometries, the element properties were set to SOLID98[14] as it is a case of non-linear thermal-electric problem, with only temperature and voltage as the degrees of freedom. All the parameters were set for isotropic model; the material under consideration is polysilicon. The Newton-Raphson method was used to carry out the iterations.

SOLID98 is a 10-node tetrahedral version of the 8-node SOLID5 element. The element has a quadratic displacement behavior and is well suited to model irregular meshes (such as produced from various CAD/CAM systems). When used in structural and piezoelectric analyses, SOLID98 has large deflection and stress stiffening capabilities.

The element is defined by ten nodes with up to six degrees of freedom at each node (see KEYOPT(1)). See SOLID98 in the ANSYS, Inc. Theory Reference for more details about this element. The 3-D magnetic, thermal, electric, piezoelectric, and structural field capability is similar to that described for SOLID5.

Iteration Plot for Rectangular-Rectangular Scheme:



Plot description: On solving a non-linear solution we obtain a plot for absolute convergence norm.

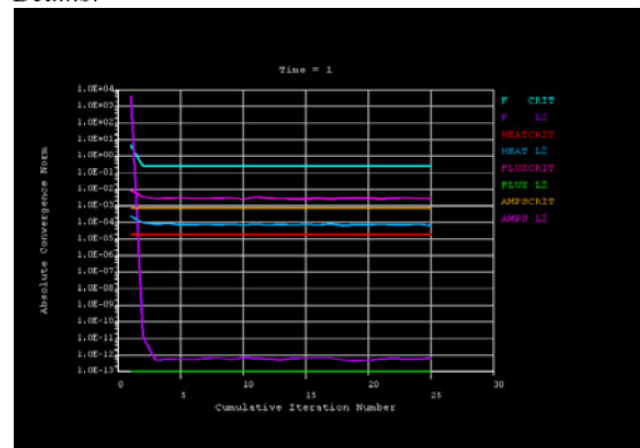
Iteration Summary: Rectangular-Rectangular

FORCE CONVERGENCE VALUE = $0.203290E-12$

HEAT FLOW CONVERGENCE VALUE = $0.27619E-4$

CURRENT CONVERGENCE VALUE = $0.166132E-02$

Iteration Plot for Curved-Rectangular Polysilicon Beams:



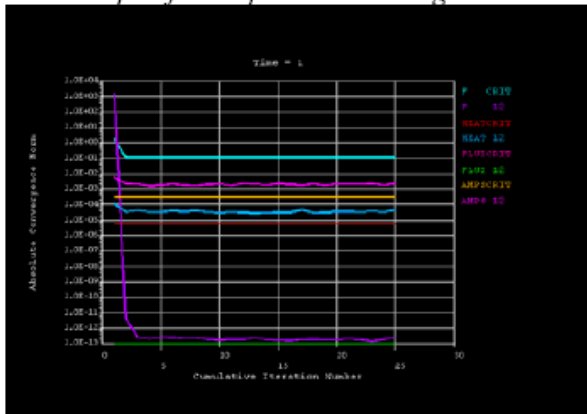
Iteration Summary: Curved-Rectangular

FORCE CONVERGENCE VALUE = $0.616928E-12$

HEAT FLOW CONVERGENCE VALUE = $0.65751E-4$

CURRENT CONVERGENCE VALUE = $0.287198E-02$

Iteration plot for Trapezoidal-Rectangular Beam



Iteration Summary: Trapezoidal-Rectangular

FORCE CONVERGENCE VALUE = 0.252977E-12

HEAT FLOW CONVERGENCE VALUE = 0.43526E-4

CURRENT CONVERGENCE VALUE = 0.215933E-02

5. Results and Conclusions

Practically the beams are never rectangular, they have a curved structure. It shows that taking those geometrical features into account is benefiting the development of design limits (geometrical aspects, snap-in voltage).

We find from the above iteration summaries that the values of convergence for force, current and heat flow are highest in the case of the curved-rectangular scheme of polysilicon beams. Values of convergence for the trapezoidal-rectangular scheme are much closer to the values of the conventional rectangular-rectangular beam configuration.

From this we may conclude that the curved-rectangular beam configuration provides the design engineer with the most critical model for developing design limits for MEMS devices.

6. Appendix

Let us consider a perfectly conducting cylinder of length L and radius a (with $L \gg a$ to neglect border effects) kept at a fixed electrostatic potential V_0 . The cylinder is parallel to a perfectly conducting, grounded, planar surface of area A , and the distance between the two conductors is denoted by d . For this geometry, the exact electrostatic force between the cylinder and the plane is given by

$$F_{\text{El-ex}}^{(0)} = \frac{4\pi\epsilon_0 L V_0^2}{\Delta \ln^2\left(\frac{h-\Delta}{h+\Delta}\right)},$$

$$\Delta = \sqrt{h^2 - a^2} \text{ and } h = d + a$$

The curve-rectangular polysilicon configuration is a problem directed towards casimir's force effect in cylinder-plane configuration of electrostatically charged bodies [5][12][16].

7. Future Work

We intend to continue our work in the area of design limits of MEMS devices. Our future objectives include the development of a capacitance model of the beams structure based on those geometry schemes discussed in this paper. Also, we are considering numerical solutions for anisotropic material.

8. Acknowledgements

We would like to take this opportunity to express our special thanks to the Department of Electrical Engineering, Hochschule Darmstadt - University of Applied Sciences, Germany.

9. References

- [1] Vitaly Leus and David Elata. "Fringing Field Effect in Electrostatic Actuators": Technical report, Israel Institute of technology.
- [2] J.A.Pelesko, "Multiple Solutions in Electrostatic MEMS": Georgia Institute of Technology.
- [3] Davide Spinello, "Instability in Multiphysics Problems: Micro- and Nano-Electromechanical systems and heat-conducting thermoelastoviscoplastic Solids": Virginia Institute of Polytechnic and State University.
- [4] A. Fargas Marquès, R. Costa Castelló and A.M. Shkel: "Modelling the electrostatic actuation of MEMS": state of the art 2005.
- [5] Sai Kiran Oruganti, S.V.H. Nagendra, Mayank Batwara, "A New Proposal to Calculate Capacitances Based on Structural Discrepancies", 2nd National Conference Mechex, an advancement in Mechanical engineering, Jabalpur University India. March 2007.

- [6] H. B. Palmer, "Capacitance of a parallel-plate capacitor by the Schwartz-Christoffel transformation," *Trans. AIEE*, Vol. 56, pp. 363, March 1927.
- [7] R. S. Elliott, "Electromagnetics(book)," pp. 182-189, 1966.
- [8] W. H. Chang, "Analytic IC-metal-line capacitance formulas," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-24, pp. 608-611, 1976; also vol. MTT-25, p. 712, 1977.
- [9] C. P. Yuan and T. N. Trick, "A simple formula for the estimation of the capacitance of two-dimensional interconnects in VLSI circuits," *IEEE Electron Device Lett.*, Vol. EDL-3, pp. 391-393, 1982.
- [10] T. Sakurai and K. Tamaru, "Simple formulas for two- and three-dimensional capacitances," *IEEE Trans. Electron Devices*, Vol. ED-30, pp. 183-185, 1983.
- [11] H. Yang, "Microgyroscope and microdynamics," Ph. D. Dissertation, December, 2000.
- [12] Sai Kiran Oruganti, S.V.H. Nagendra, Mayank Batwara. "Mathematical modelling of MEMS devices" 2nd National Conference Mechex, an advancement in Mechanical engineering, Jabalpur University India. March 2007.
- [13] Coupled field analysis Guide , Ansys 10.0, Ansys Inc. press release.
- [14] Chu, P. B., Nelson, P. R., Tachiki, M. L., and Pister, K. S. (1996). "Dynamics of polysilicon parallel-plate electrostatic actuators". *Sensors and Actuators A*, 52:216-220.
- [15] Dauwalter, C. and Ha, J. (2004). "A high performance magnetically suspended mems spinning wheel gyro". *Position Location and Navigation Symposium*, 2004.
- [16] J. H. Comtois, V. M. Bright, S. C. Gustafson, and M. A. Michalick, "Implementation of hexagonal micromirror arrays as phase-mostly spatial light modulators," in *Proc. SPIE Conf. Microelectronic Structures and Microelectromechanical Devices for Optical Processing and Multimedia Applications*, Austin, TX., 1995, pp. 76–87.

The specification and design of a ZigBee-capable node

Ulrich Bühr & Ong Su Gin, Josef Hahn-Dambacher, Manfred Bartel

HTW Aalen, EDA-Zentrum, Anton-Huber-Str.25, 73430 Aalen

Tel. 07361-576-4247 / 4182 Fax. 07361-576-444249

manfred.bartel@htw-aalen.de

The project was to specify and design a wireless network node. It is the first step of a larger project which plans to realise a wireless sensor network, in which several nodes communicate with each other. The node is capable of running the ZigBee network protocol, but will use Freescale Semiconductor's Simple Media Access Controller (SMAC) as it is provided free of charge and fulfils the needs of a basic network.

The board realised here would serve a prototype for the more optimised future versions which will be used in the field. Just as well, it can be used as tool for research and teaching purposes.

1. Product research on ZigBee chips and ZigBee boards in the market

In the beginning, a research was carried out to review the available products in the market and to select the components to be used. At present there are two types of ZigBee-capable systems in the market: Firstly, single chip solutions which are also known as system-on-chip (SoC) and secondly a two-chip combination of MCU and transceiver.

2. Analysis and review of the product research

1. A two-chip solution using a transceiver from Freescale was preferred to make use of the "license-free" SMAC and allow comparability with the Freescale ZigBee Development Kit available to the university's Electronics faculty. For example, application code by Freescale for its Development Kit can be ported to fit this project's implementation of the two-chip solution and its performance benchmarked against the Development Kit. At the time of this project's conception Freescale did not have a SoC in the market.

2. None of the SoCs researched uses the PIC microprocessor by Microchip as the MCU. The PIC was the preferred choice for the MCU because of the wealth of experience and hardware (e.g. the In-circuit Debugger) available in the faculty for support.

3. It was difficult to obtain the SoCs. Chipcon, Ember and ST SoCs all had long lead times of at least 20 weeks and did not provide samples.

3. Specification of the board design and function

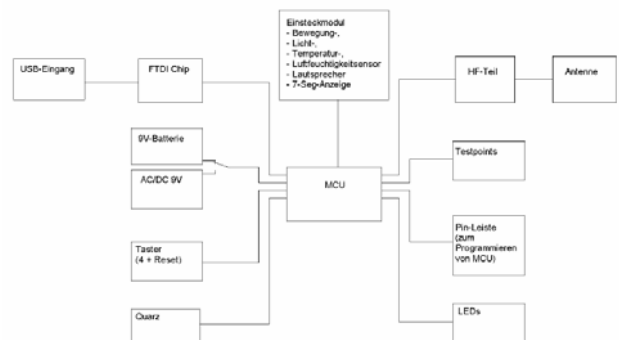


Figure 1: Overview

1. Either the LDO or the stepdown voltage regulator can be used to generate the 3.3V supply voltage. The LDO is principally less efficient and has the higher power dissipation. However it is built into the circuit in case the operation of the stepdown regulator causes interference to the radio frequency circuit.

2. The FT232BM, a USB to serial UART interface used to interface the MCU with a personal computer through the USB port. It allows communication to the MCU using the MCU's UART module.

3. The PIC18LF8722 MCU was selected as it fulfils the MCU resource requirements of the Freescale

SMAC which are:

- Hardware SPI module
- Three to seven GPIOs (including Reset, RXTXEN, ATTN, CE#) for SMAC interface
- One external IRQ from a dedicated interrupt controller
- More than 32kByte Flash – so that it is possible to use the SMAC

4. The transceiver, antenna, baluns, band pass filter and HF-switch are all optimised for the 2.4-2.5GHz range.

5. HF-Switch is necessary because the transceiver input port is separate from the output port.

6. Baluns are required to convert the impedance of the transmission lines from 50Ω coming from the switch to the 200Ω required for connection with the transceiver ports.

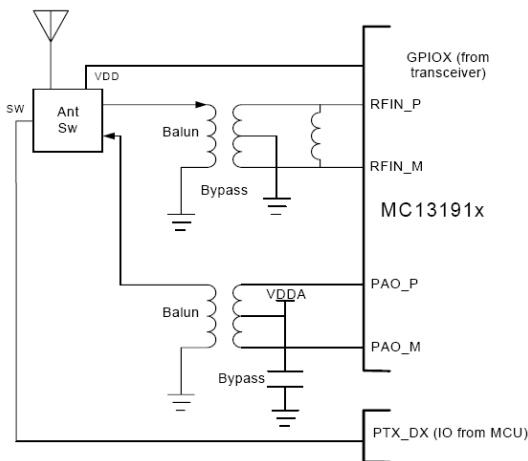


Figure 2: Configuration of MC13191x transceiver (without external amplifiers)

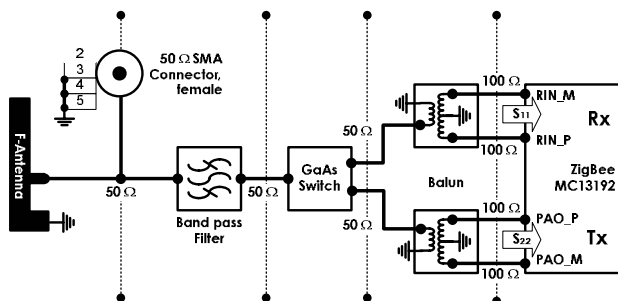


Figure 3: Connection of the RF-Circuit with bandpass filter

4. Realisation of the radio frequency (RF) circuit using ADS

In the RF part of the circuit from the transceiver to the antenna signals are transmitted at a frequency range of 2.4 – 2.5GHz. At this high frequency signal integrity effects come into play.

1. The impedance of the transmission lines between components in the RF circuit has to be matched to minimise reflection of the signals. This is because reflections on the transmission lines would otherwise result in a loss of transmitted or received signal power.

2. Connections between components must be modelled as microwave transmission lines. The type of transmission lines chosen is coplanar waveguide (CPW).

4.1. Simulation of manufacturers' S-parameters

Before starting the impedance matching, it was necessary to control the S-parameters from the manufacturers. First many S-parameters were wrong.

So the S-parameters of all components were simulated at the required frequency range of 2.4 – 2.5 GHz using ADS and displayed graphically with respect to frequency (Figure 4). These graphs are then compared with those of the data sheets for accuracy (Figure 5 & Figure 6).

Result: For all the HF components, the S-parameter provided corresponds to the data sheets at least in the usage range of 2.4-2.5GHz.

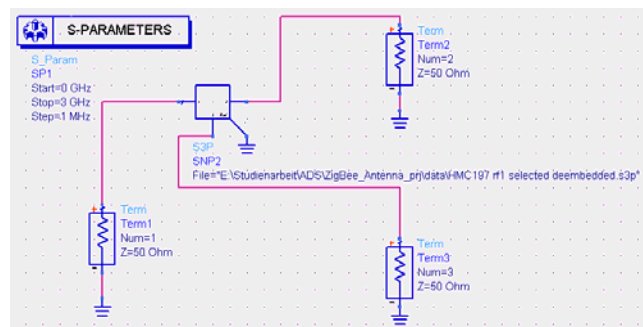


Figure 4: ADS test circuit for the switch

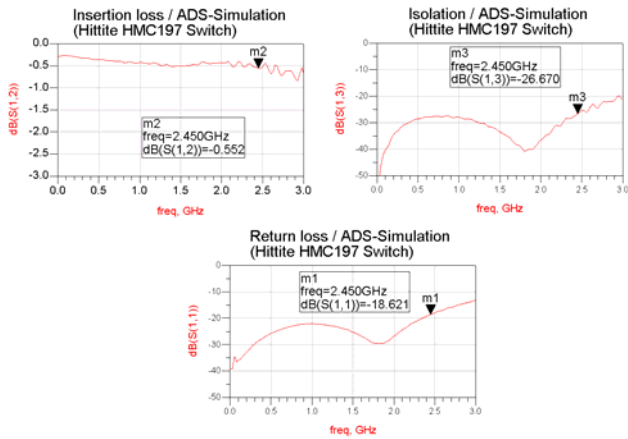


Figure 5: ADS simulation results for the switch

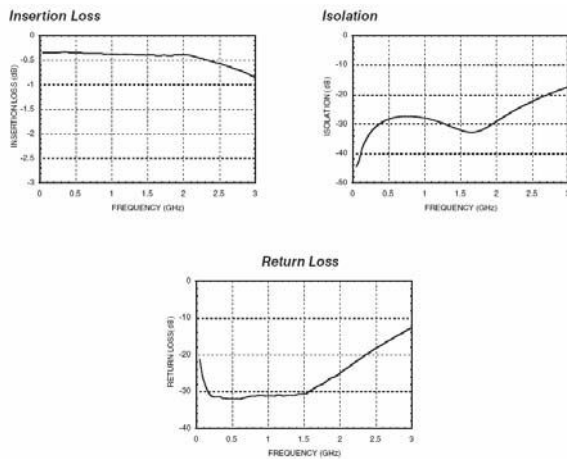


Figure 6: Switch data sheet properties

4.2. Impedance matching of the antenna

A CPW (coplanar waveguide, Figure 7) was used to match the antenna. Compared to the simulations from before, the simulation here was optimised to meet certain goals. The goals of the matching were set to return loss $S_{11} = -25\text{dB}$ within the frequency range of the antenna which is 2.4 – 2.5 GHz.

Result: $W=0.5\text{mm}$ $G=0.2\text{mm}$ $L=16.5\text{mm}$

With these dimensions, a return loss of -45.387 dB was achieved at the middle operation frequency of 2.45GHz. The impedance at this frequency is $49.494 - j0.048$, very close to the ideal 50Ω.

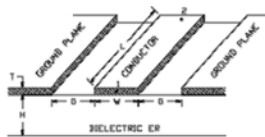


Figure 7: ADS model for a CPW

Symbol	Description
G	Gap (spacing) between centre conductor and ground plane
W	Centre conductor width
L	Centre conductor length
S	Gap between end of centre conductor and ground plane (for CPW couplers)

Table 1: Parameters with regard to the geometry of a CPW

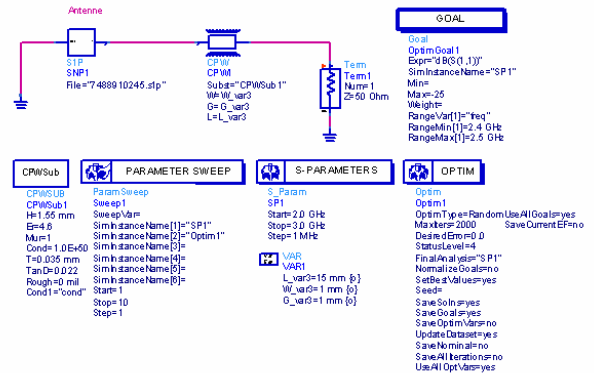


Figure 8: Impedance matching of CPW transmission line and antenna with optimisation

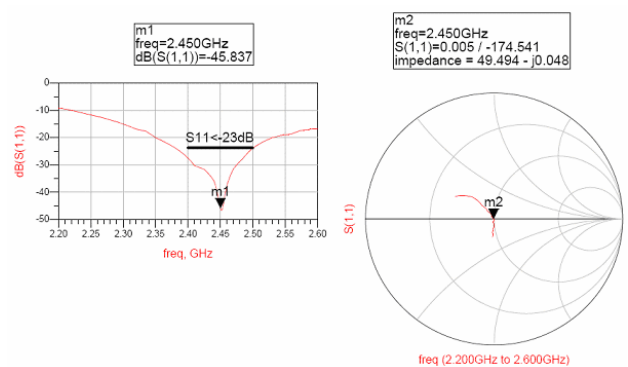


Figure 9: Results of ADS impedance matching of antenna and CPW transmission line

4.3. Impedance matching of the transceiver – bandpass filter circuit

The first case is when ports 1 and 2 of the switch are switched through. The goals of were set to:

Goal	Symbol	Value
Return loss	S_{11}, S_{22}	-25dB
Insertion loss	S_{12}	-3dB

Table 2: Impedance matching goals for the circuit

Here the ideal values of seen from ports 1 and 2 are 50Ω and 200Ω respectively. The values actually achieved are $49.319 - j4.74$ and $232.820 + j10.00$, both not too far from the ideal. The impedance seen from port 3 is in this case of no significance since port 3 is floating. The goals for return loss were not reached, with S_{11} having a minimum value of just -15dB instead of -25dB in the frequency range. In that same range S_{22} had a minimum value of -17dB. However, their attenuations at the middle frequency of the antenna 2.45GHz are more than -25dB. As for insertion loss, the target of -3dB was also not achieved. The simulated value was -3.848dB.

For the 2nd round of impedance matching where port 1 of the switch is switched through to port 3, the insertion loss is S_{13} and the return losses are S_{11} and S_{33} . The construction of the circuit and the values of the goals however remain unchanged.

The impedances seen from ports 1 and 3 are $52.342 + j3.62$ and $206.783 - j13.32$ respectively. Again these values are very close to the ideal. The goals for return loss were not reached. S_{11} has a minimum value of -16dB instead of -25dB in the frequency range. In the same range S_{33} has a minimum value of -20dB. However, both had good attenuation values at 2.45GHz of -29dB. The insertion loss estimated by the simulation was -3.57dB, short of the goal of -3dB.

CPW	Variable	Initial value	Optimised value
Balun - Transceiver	W_var	1mm	0.4mm
	G_var	1mm	1.1mm
	L_var	15mm	20.5mm
	S_var	1mm	1.2mm
Switch-Balun	W_var1	1mm	0.7mm
	G_var1	1mm	0.2mm

	L_var1	15mm	19mm
Bandpass - Switch	W_var2	1mm	1.1mm
	G_var2	1mm	0.7mm
	L_var2	15mm	5mm

Table 3: Optimization range and results for the various CPW lines

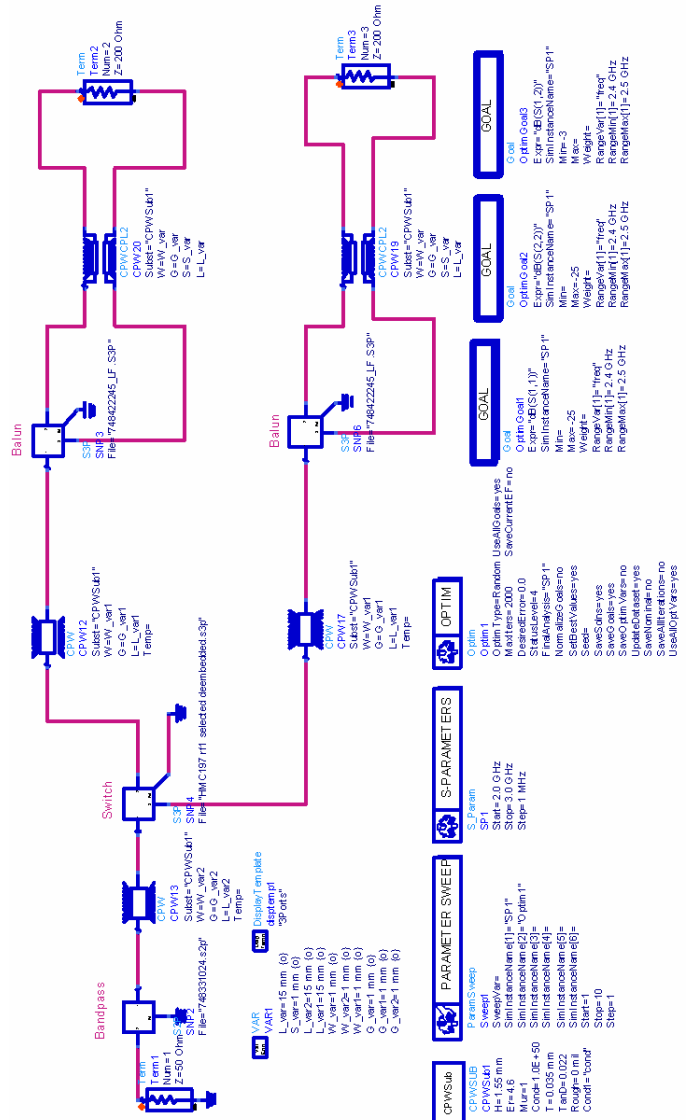


Figure 10: Impedance matching of the transceiver - bandpass filter circuit with ADS

5. Creation of the printed circuit board (PCB)

A double sided PCB was chosen for this design to make the routing of the many pins more flexible. This also allows the decoupling capacitors in the design to be placed near the components on the opposite side of the board. The board measures 160mm x 100mm, which is a standard Eurocard size.

The board material is FR4 (Flame Resistant 4), a composite of a resin epoxy.

The CPW lines were drawn according to the measurements simulated by ADS. This includes the gap between the lines of CPW couplers and the gap between the lines and the surrounding ground plane.

6. Future plans

At the end of this project, the manufactured board will be assembled and tested at the university as part of another internship.

7. References

- [BIHR07] Ulrich Bühr, Spezifikation und Entwurf eines ZigBee - Knotens, Studienarbeit Hochschule Aalen Fakultät Elektronik und Informatik, 2007
- [GIN_07] Ong Su Gin, The specification and design of a ZigBee-capable node, Studienarbeit Hochschule Aalen Fakultät Elektronik und Informatik, 2007
- [SIKORA] ZigBee: Grundlagen und Applikation - Prof. Dr. Axel Sikora, www.elektroniknet.de/topics/kommunikation/fachthemen/2004/0002
- [TWSC05] ZigBee™ and IEEE 802.15.4 - Technologies for Wireless Sensing and Control - Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners. © Freescale Semiconductor, Inc. 2005.
- [MONT00] Printed Circuit Board Design Techniques for EMC Compliance – A Handbook for Designers – Second Edition Mark I. Montrose 2000

Microelectronic Technologies for Future Wideband Communication Systems

MPC Workshop, July 2007, Ulm



Wolfgang Templ

All Rights Reserved © Alcatel-Lucent 2007, #####

Contents

- Telecommunication -Global trends
- Global Requirements from Telecom Applications
- Network Specific Challenges

- Challenges from High Speed Optical Transmission Systems (Examples)
- Microelectronic Based Solutions for High Speed Optical Transmission Systems
- Technology Selection

- GaN Based RF-Power amplifiers for Wireless Base Stations

1

Global Trends

Challenges for Microelectronics

Times are changing ...

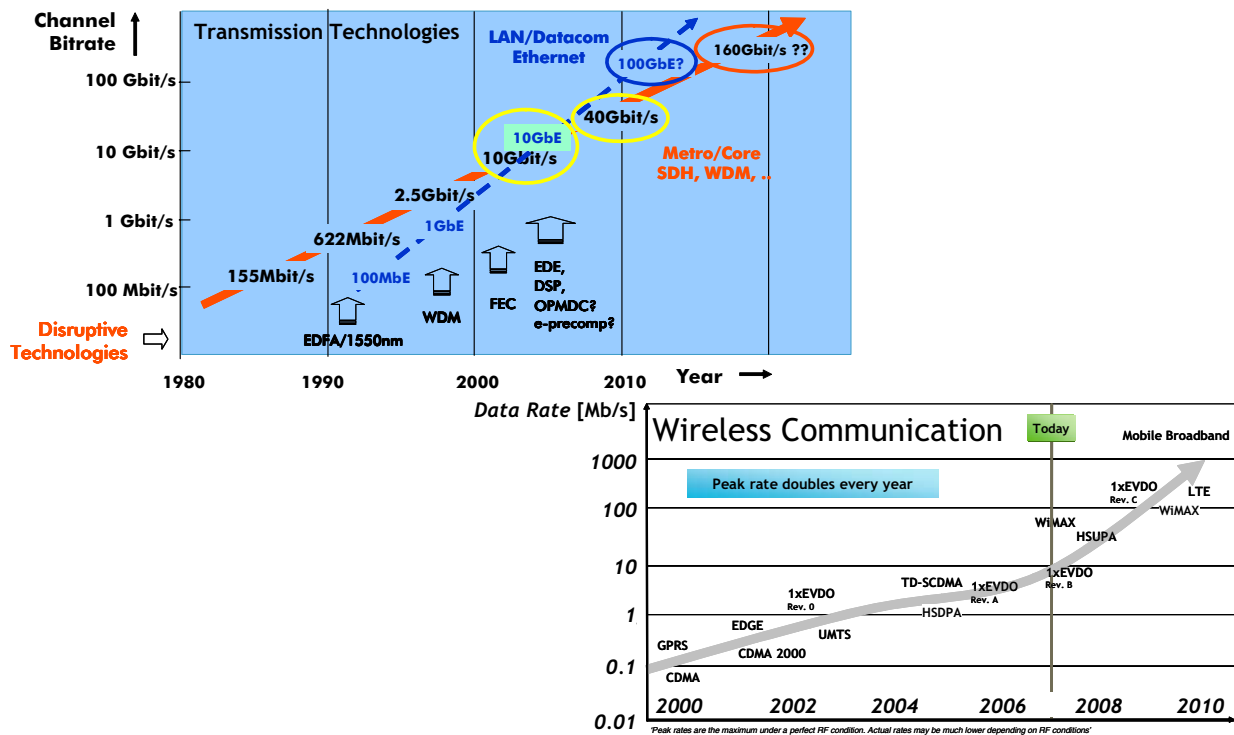


Communication in The Ice Age ...



... and today

Evolution of Data Rates - The Rush for Bandwidth -



5 | MC WS Ulm | 2007

All Rights Reserved © Alcatel-Lucent 2006, #####

Alcatel-Lucent

Global Trends in Telecommunication

Amount of **voice and data traffic rapidly growing**

Anytime and ubiquitous access to communication services

Changing nature of services, new service
(e.g. Video on demand, web2, Mobile TV, IPTV, ...)

Convergence

These scenarios are mainly **fueled by the evolution of microelectronics**

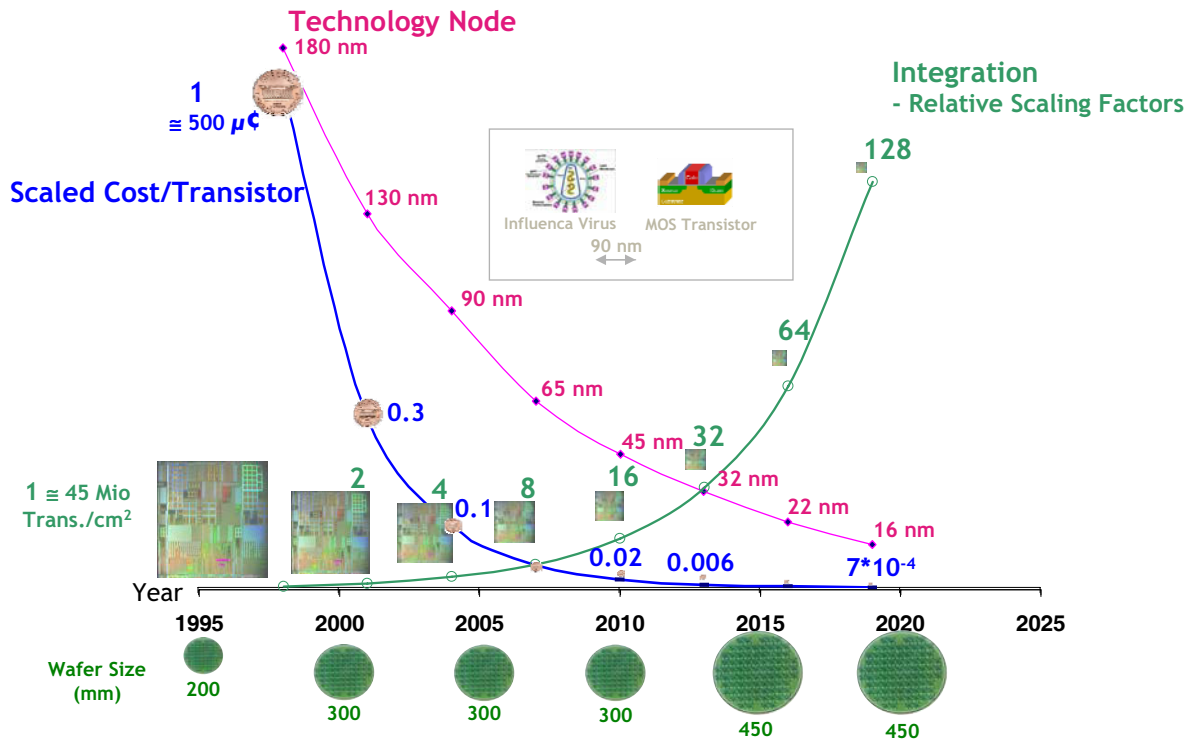
- Semiconductor technology
- Device modeling and simulation
- Circuit design
- Design automation and tool development

6 | MC WS Ulm | 2007

All Rights Reserved © Alcatel-Lucent 2006, #####

Alcatel-Lucent

Evolution of Integration Density



7 | MC WS Ulm | 2007

All Rights Reserved © Alcatel-Lucent 2006, #####

Alcatel-Lucent

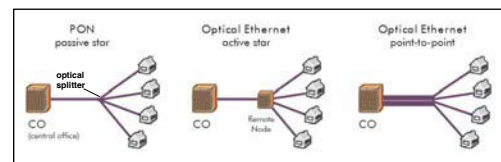
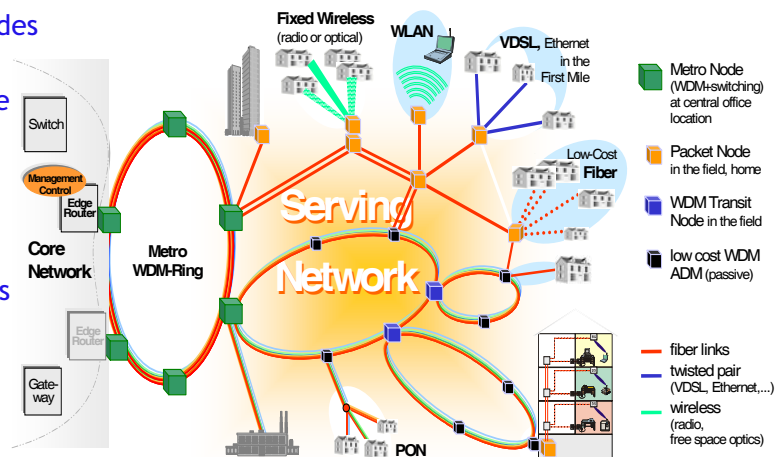
Communication Network

Core/Backbone Network

- Ultra high capacity, few nodes
- Long Link lengths
- Extremely high performance
- STM or SDH
- Ethernet considered

Access Network

- Lower capacity, many nodes
- Fixed Communication xDSL, PON, GPON, E-GPON Ethernet
- Wireless Fixed and Mobile GSM, UMTS, WIMAX
- Cost sensitive user terminal equipment (not covered in this speech)



8 | MC WS Ulm | 2007

All Rights Reserved © Alcatel-Lucent 2006, #####

Alcatel-Lucent

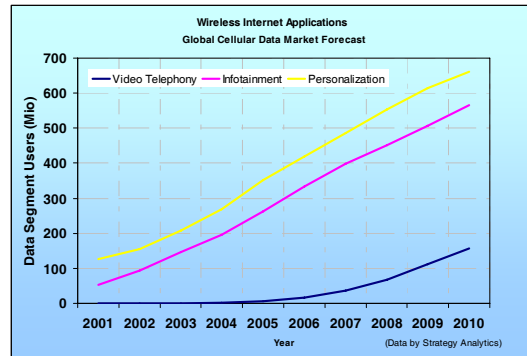
Network Specific Challenges for Microelectronics

Broadband Wireless Access

- High quality mobile communication with ubiquitous availability

Enabled by

- Efficient usage of spectral resources by advanced air interfaces
- multi-standard operation via dynamically reconfigurable systems
- Quality-of-Service and security in heterogeneous networks
 - Advanced air interfaces -> *MIMO, Spectrum efficient rf modulation techniques*
 - Power amplifiers -> *High linearity, high power efficiency*
 - Radio access networks with multi-service capability -> *Availability, reliability, QoS, Seamless handover*
 - Software defined radio, reconfigurable systems
 - 'always-best-connected' functionalities



Network Specific Challenges for Microelectronics

Core / Backbone Network

- Ultra High Speed Optical Modulator Drivers
 - Fast, High Bandwidth, High Drive Voltage, Low Energy, Low Cost
- High Bandwidth Receiver Circuits
 - Low Noise Amplifier (LNA), Transimpedance Amplifier (TIA), ...
 - high bandwidth, low noise, low supply voltage, integration, low cost
- Ultra High Speed Electronic De/Mux, Coding and Signal Processing
 - UHS ADC and DAC, (De)MUX, Equaliser, (De)Coder (Convolution)
 - Realisation of Low Cost Active Devices (advanced Si-CMOS, SiGe HBT)
 - On-Chip and Inter-Chip Interconnect (for High Speed)
- Active Devices
 - Cover Highest Speed, high Integration and Low Cost Requirements
 - New Materials (e.g. SiGe MOSFET), GaN HEMT
 - New Device structures (Quantum Well Devices, Resonant Tunneling Diodes)
- Integration and Assembly Technologies
 - System in Package (SIP) (-> high speed, high number of internal I/O)

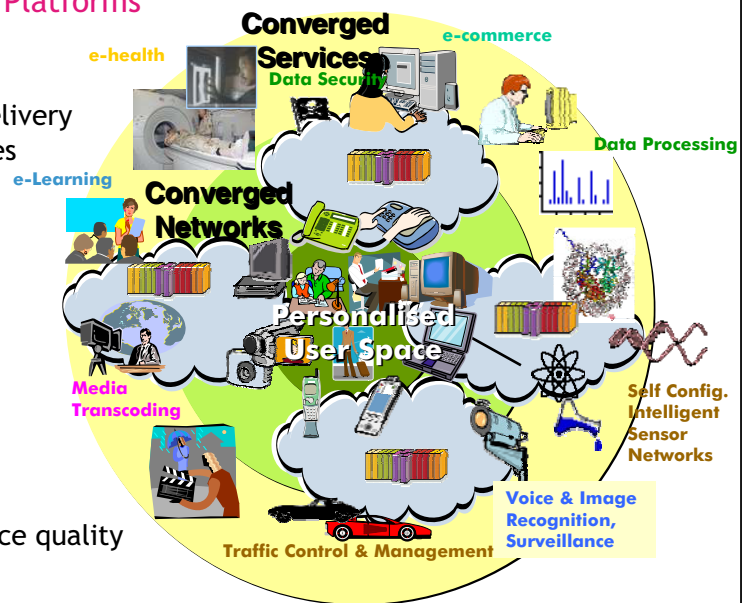
Network Specific Challenges for Microelectronics

Convergent Network and Service Platforms

- User oriented, easy-to-use services enabled by ubiquitous, personalized service delivery across operator network boundaries

... enabled by

- Interoperability of networks, network & service convergence
- Self-organising, self-operating, self-maintaining infrastructures
- Context aware provision of services enabling end-to-end service quality



Network Specific Challenges for Microelectronics

Convergent Network and Service Platforms

Flexible and Powerful Embedded Systems

- Focus on performance and reconfigurability
- Handle high system complexity
- Unified HW and SW design
- Fully automatic HW- and SW partitioning
- Dedicated hardware blocks for improving system performance
- security functions, transcoding, error and exception handling,...

Reconfigurable Multiprocessor Platforms

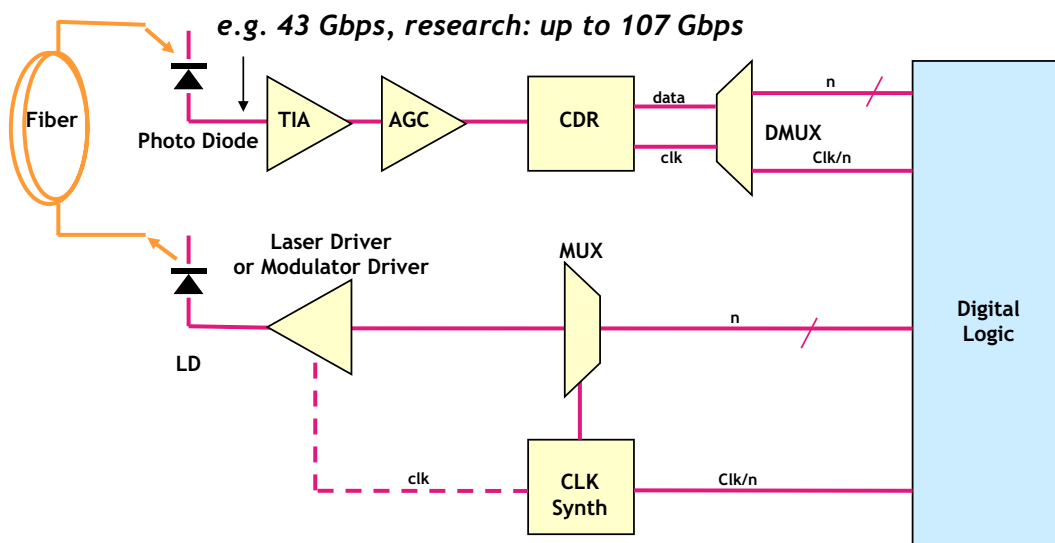
- Platform based design
- Organisation of multi-processor systems
- Supporting multiple communication standards and needs
- Dynamical Reconfiguration
- Self organisation
- Power efficiency
- On-Chip routing and interconnection networks

2

Optical Transmission Systems Challenges

Challenges for Microelectronics

Optical Communication Systems - Challenges -



Optical Transceiver Frontend (Textbook Example)

- Optical WDM de-multiplexing not considered here -

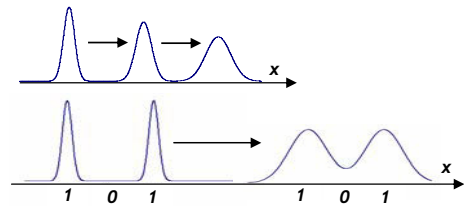
- But - as usual - real life isn't that easy ...

Optical Fiber Transmission Impairments - A Brief Summary -

Chromatic Dispersion

Light of different wavelengths travels at different speeds
 -> Pulse spreading limits link length

- Dispersion Compensation Fibre (DCF)
- Electronic Dispersion Compensation (Equaliser)



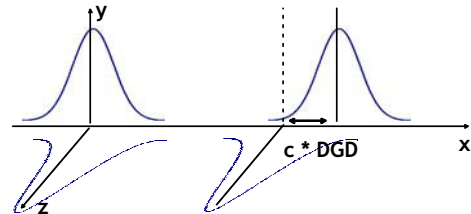
Polarisation Mode Dispersion

Different Polarisation Modes travel at different speeds

-> Superposition of time-shifted pulse
 Differential Group Delay (DGD)

-> Nasty behavior: varies over time and with temperature

- Optical PMD Compensation, Solitons
- Electronic Equalisation



Nonlinearities

Self-Phase Modulation (SPM), Stimulated Raman and Brillouin Scatterings (SRS, SBS),
 Cross Phase Modulation (CPM), Four Wave Mixing (FWM),...

Optical and electronic solutions for compensation:

Optical technologies feat. often costly, involving insertion loss and high efforts

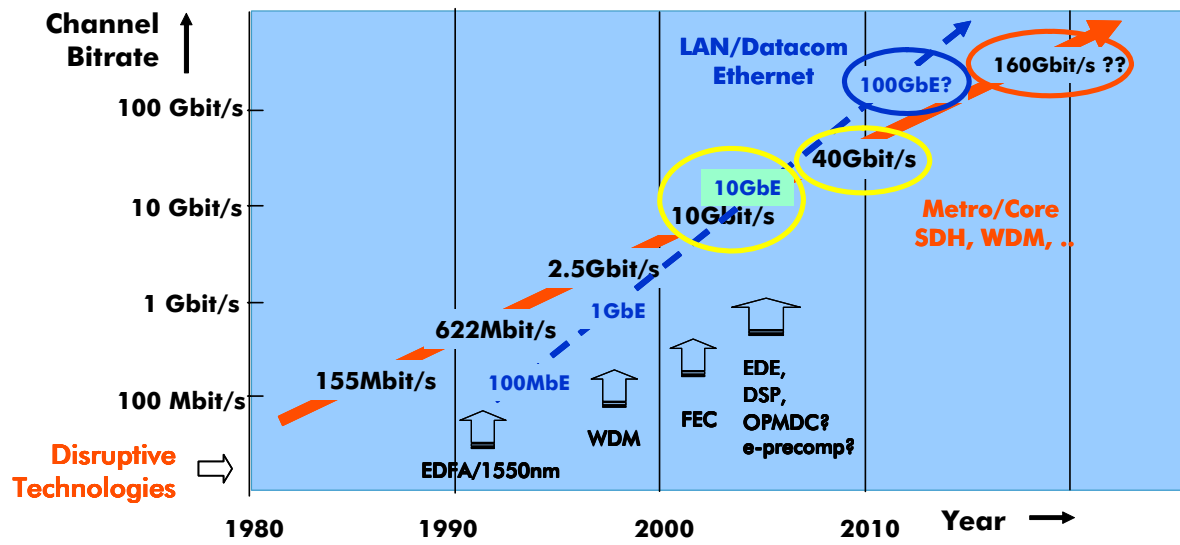
Limitations Involved By Optical Fiber Transmission Impairments

Length limitation L versus Bitrate B (without compensation)

	2.5	10	40	100	Gb/s
Attenuation (coefficient α)					
▪ $L \propto (c_{tx} - \log(B))/\alpha$	200	177	155	142	km
Chromatic Dispersion D					
▪ $L \propto 1/(B^2 \cdot D)$	900	50	3	0.6	km
Polarisation Mode Dispersion (coefficient PMD')					
▪ $L \propto 1/(B^2 \cdot \text{PMD}'^2)$	40.000	2.200	135	25	km

using typical parameters for standard single mode fibre

Disruptive Technologies Enabling „Moore's Law“ of Transmission Data Rate

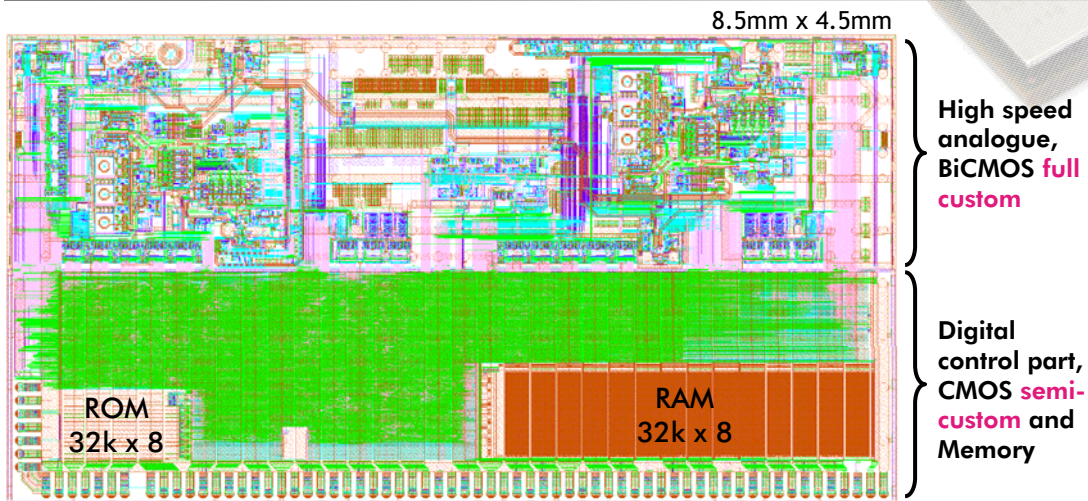


3

Optical Transmission Systems

Microelectronic Solutions - a few examples -

Solution : 10 Gbit/s Transceiver Chip



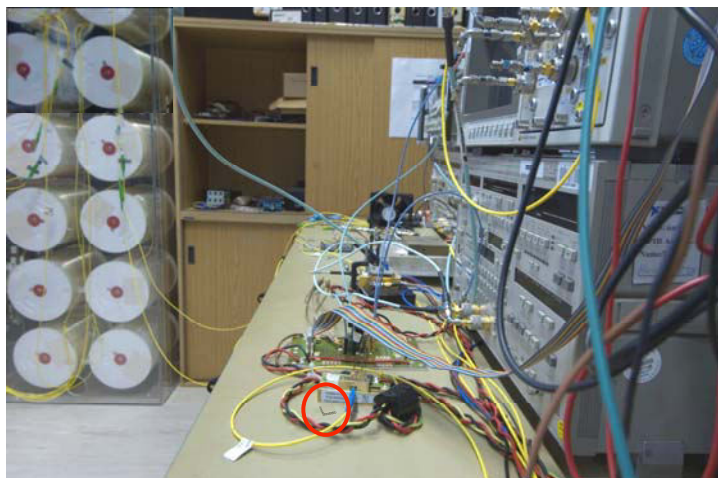
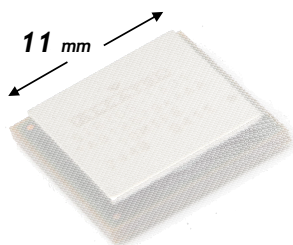
Highly complex SoC, realised in 250nm SiGe BiCMOS

Automatic *equalisation of chromatic dispersion* up to 120km SMF

Integrated components:

- CMOS and bipolar transistors
- Varactors
- RAM, ROM, (EEPROM in module)
- Inductors, MIM Capacitors, Resistors

Electronic Compensation vs. Optical Compensation

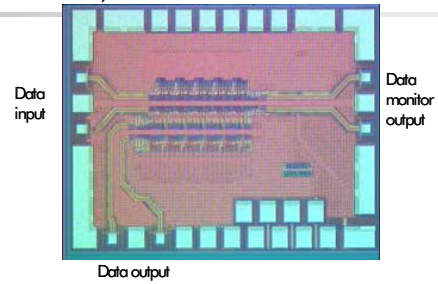
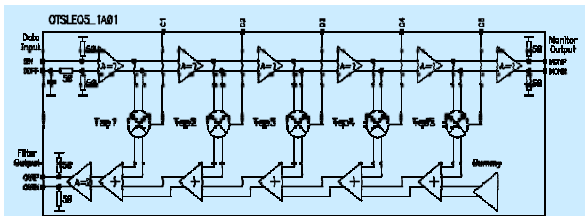
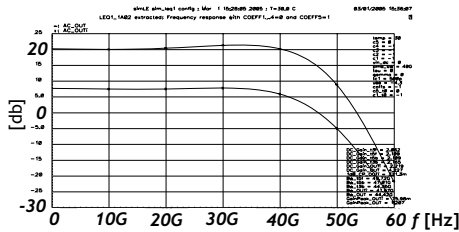


1 Chip replaces about 200 km Compensation fibre

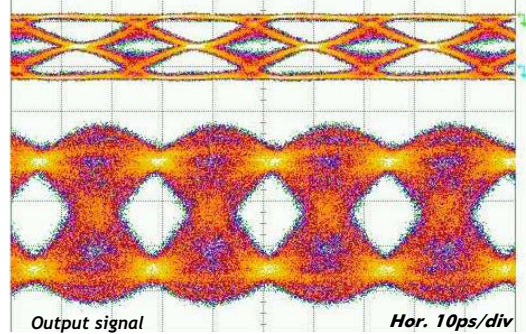
(... this means better exploitation of your invaluable lab space)

Example: 5-tap Linear Equalizer for 42 Gbit/s (Research)

- Realised with 200GHz SiGe Bipolar technology
- Single-ended input, differential output
- Delays are realised with linear amplifiers
- Fractionally spaced LE:
simulated tap spacings: 15.6 ps
- Bandwidth with only tap5 active: 42 GHz



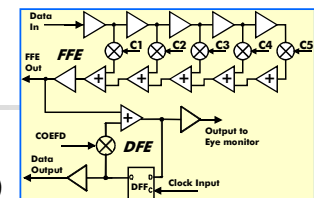
Distorted Input signal (from PMD Emulator)
(DGD = 25ps, $\Gamma = 0.667$)



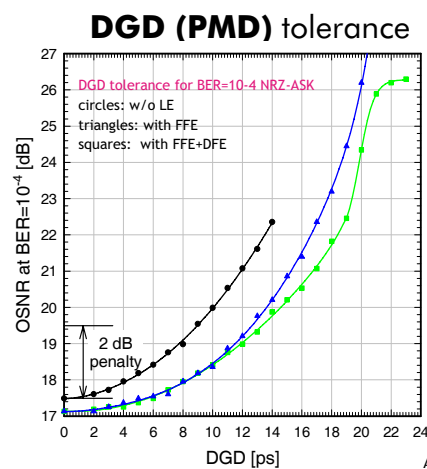
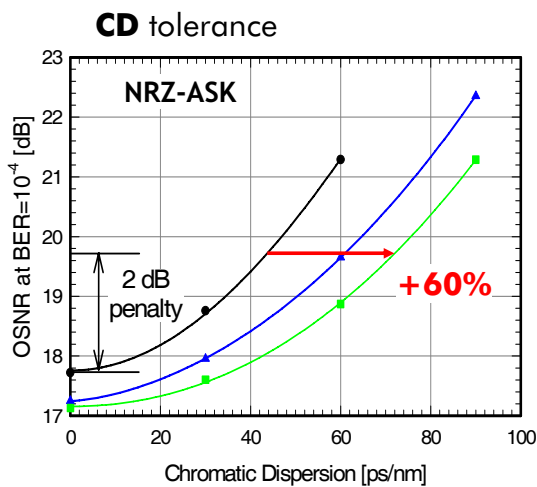
- Optimisation w.r.t. minimum BER in the range of 10^{-5} ... 10^{-4}
- Eye diagrams measured then with high OSNR

Enhancement of 43Gbit/s NRZ-ASK transmission system by electronic distortion equalization (EDE)

Experiment: Adaptive electronic equalization at 43Gbit/s by feed forward equaliser (FFE)+ Decision feedback equaliser (DFE)



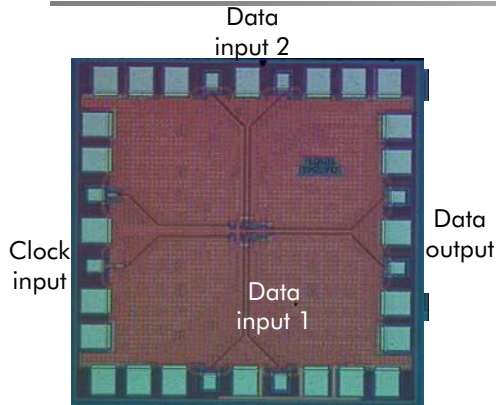
Taps for FFE: 4-quadrant multipliers
Tap for DFE: 2-quadrant multiplier
CML architecture
Chip area 2.0 x 2.0 mm²



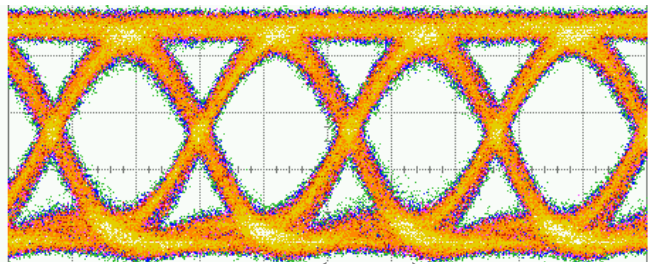
- Worldwide first electronic distortion equalization (EDE) realised and demonstrated for adaptive 43 Gbit/s distortion tolerant receivers

Abbreviations:
CD Chromatic Dispersion
EDE Electronic Distortion Equalisation
DGD Differential Group Delay
FFE: feed Forward equalizer
DFE Distributed Feedback Equalizer
PMD Polarisation Mode Dispersion
NRZ None return to zero
ASK Amplitude Shift Keying

200 GHz SiGe Prototype Circuits : 42 Gbit Linear Equalizer and 86 Gbit/2:1 MUX



85.32 Gb/s output signal of 2:1 MUX



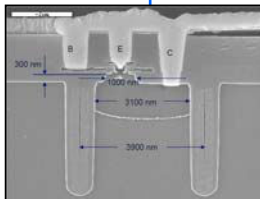
Ver.: 100mV/div, hor. 5 ps/div, 70 GHz sampling scope

- Very good signal quality of the output signal

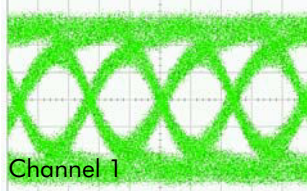
- Low Noise Level

Infineon B7HF200

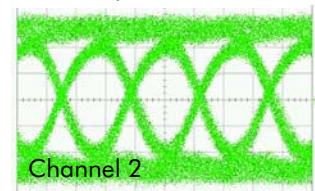
- Powerful SiGe HBT Device*)
 - FT/Fmax = 200/250 GHz
 - 3 device Options (HS, HF, HV)
- Cu based Interconnect
- Passive Components
 - Ta-Resistor
 - MIM Capacitor (1.4 fF/μm²)
 - Resistors (20, 150, 1000 Ω)
- Cadence Based Design Kit



Data input, 100 mV/div, 10 ps/div



Channel 1



Channel 2

Functionality demonstrated up to 107 Gb/s

*) REM Aufnahme mit freundlicher Genehmigung von Infineon

4

Technology Selection

Challenges for Microelectronics

A Trivial Statement

Technology and Assembly Determine Maximum Speed of Application

250

...easy said ... what can we do?

What Limits Speed? Stepping Down ...

The imagery on slides 26 and 29 are reproduced courtesy of International Business Machines Corporation. Unauthorized use not permitted.



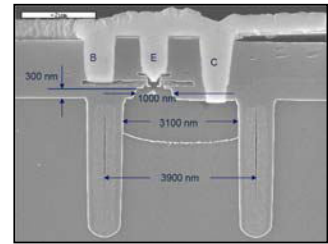
Towards 100 Gbit/s: Speed Limiting Factors - Challenges for μ -el. Devices

Speed of intrinsic transistor and intrinsic device parasitics

- Need SiGe HBT device with $f_t/f_{max} > 200\text{GHz}$

Interconnect (layout) parasitics

- Need low k dielectric, Cu based metal system, TLM option



Device model quality (passive and active devices)

- precise description of HBT high current regime (HICUM favorable)
- thermal modeling
- Statistical modeling
- device matching

Small device tolerances, good matching performance

Thermal management -> determined by design and layout

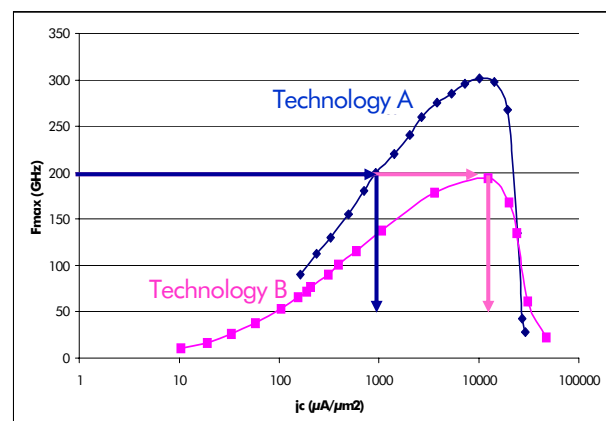
Chip assembly and packaging (low cost vs. high performance requirements)

Solution Requires tight collaboration between device manufacturer and chip design team

Technology Selection

(e.g. 200 GHz SiGe BiCMOS Technology)

- Technical:
 - SiGe-HBT Device Performance
 - Speed performance, $BV_{CE0}, F(jc)$
 $BV_{CE0} * F_T(jc) \leq 200 \text{ VGHz}$ (Johnson Limit)
may be extended to BV_{CBO} (if precise model)
 - CMOS option (performance)
 - Use CMOS whenever speed of device allows
 - Design Kit: On-Chip Device Options
 - Passive devices R, L, C (high Q)
 - On-Chip Interconnect
 - Compatibility of Design Tool Chain
 - Device Model Quality and Options
 - (rf-, thermal, matching, scaling, statistical)
- Strategic:
 - Availability, MPW Offerings and Cost
 - Foundries, Bus. Environ., Roadmaps



**Higher speed performance
transforms into reduced
Power dissipation**

Performance of On-Chip interconnect

Challenge:

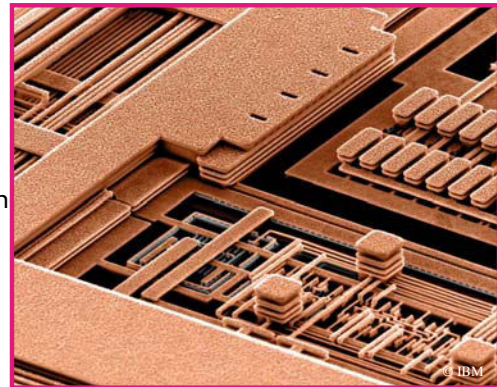
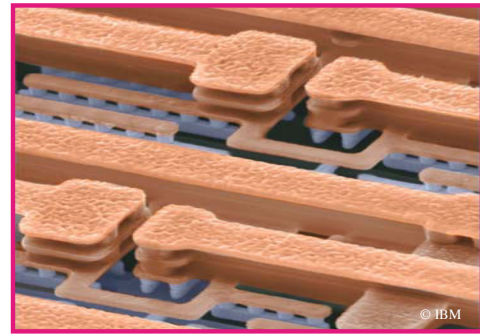
Gbit/s signal rates \longleftrightarrow increasing integration density

Complex Interconnect becomes **Show Stopper**

- Xtalk, Signal distortion and attenuation

What needs to be done?

- Precise Modelling of Interconnect Parasitics
- Intelligent circuit design and layout
- Damascene Copper, Low-K Dielectric
- Thick Metal Top Layer (Power Distribution, Inductances), Thick ILD
- High Q Inductances (BEOL) and MIM w. Trench Maze or Poly Silicon Ground Plan
- High Resistive Substrate, SOI
- TL, microstrip



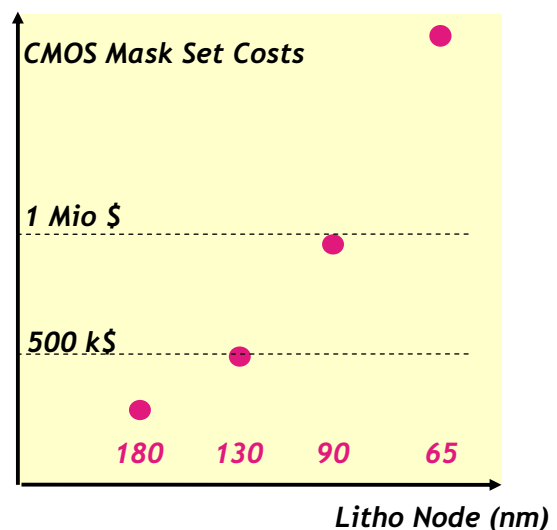
High Speed RF-CMOS

Increasing Complexity and Speed of Signal Processing

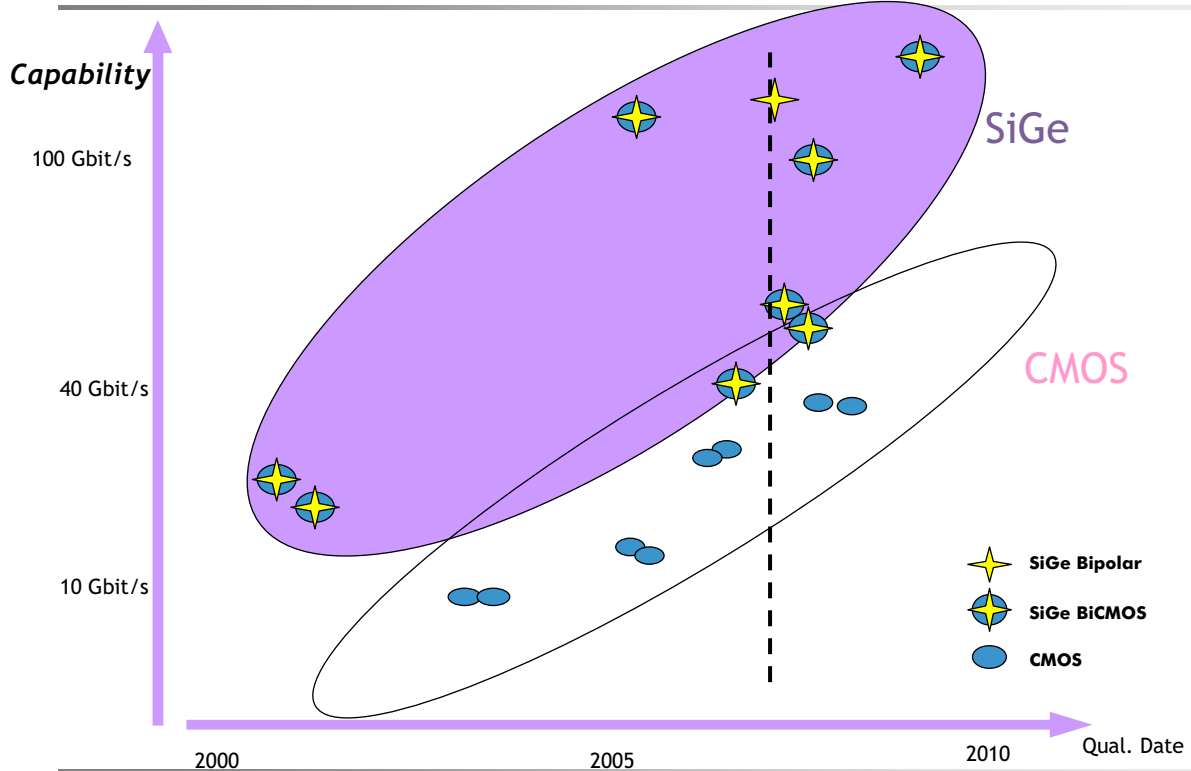
- Power consumption becomes critical criterion
SiGe bipolar based LE draws 443 mA at 4.3V
- Improving CMOS Technology Performance allows for purely CMOS based multi-Gbit/s circuits

Challenges

- Commercially:
 - Exploding mask costs
 - and
 - low production volumes
- Technically:
 - Quality of device models in targeted frequency range
 - Decreasing supply voltage (design headroom; noise)
 - Increasing leakage currents
 - Driving capacitive loads



Microelectronic Technology Roadmap



CMOS Based Solutions for 43 Gbit/s Circuits

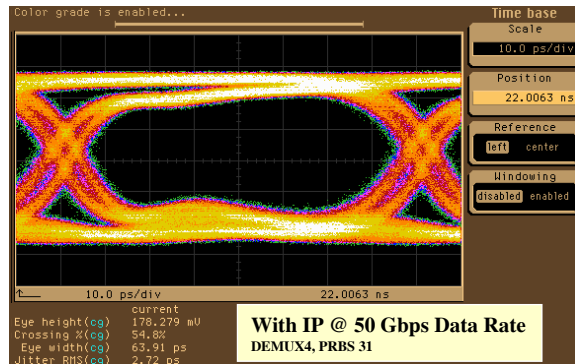
90 nm CMOS based circuits for 43 Gbit/s systems

- Enabling new applications, reduced power consumption, increased integration
- Verified demo-circuits: Sample&Hold, Comparator, Flip-Flop, Lin. Amplifier, ADC
- Demonstrated **Add-Compare-Select-Unit for 43 Gbit/s Viterbi Equaliser**
 - 32-fold parallel processing -> 1.33 GHz clock
 - Area 5200 μm^2
 - 1156 Transistors
 - $P_{\text{tot}} = 5.3 \text{ mW}$ -> Whole Viterbi Core (256 ACSUs) 1.35 W

CMOS Based 40 Gbit/s DFF

Based on 90 nm CMOS Technology

- 4:1 DeMUX operation \rightarrow
- 40 Gbit/s Data, $f_{\text{clk}} = 10 \text{ GHz}$
- $P_{\text{tot}} = 97 \mu\text{W}$ ($Z = 50 \Omega$)
- $U_{\text{ss}} = 1.2 \text{ V}$
- $U_{\text{data}} = 400 \text{ mV}_{\text{pp}}$, $U_{\text{clk}} = 600 \text{ mV}_{\text{pp}}$
- with inductive Peaking (IP): **up to 50 Gbit/s**



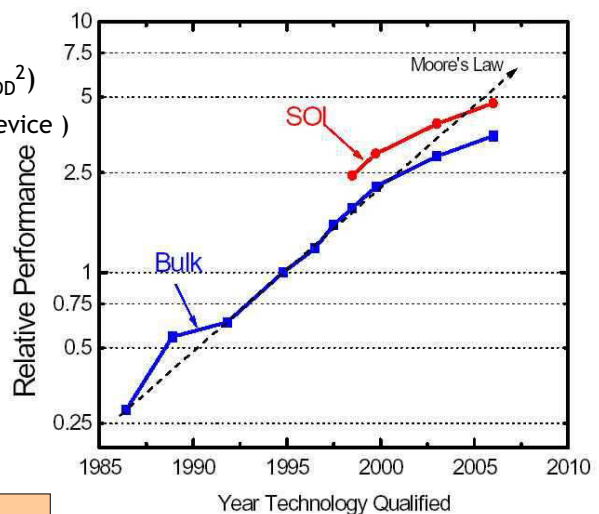
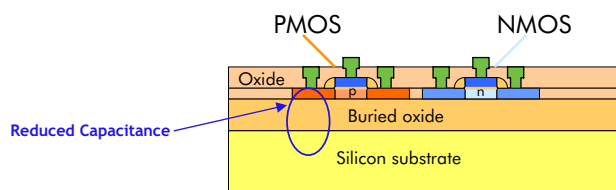
This work has been performed in collaboration with University of Stuttgart, Institut für elektrische und optische Nachrichtentechnik, INT

CMOS Technologies for High Bitrate Applications

SOI CMOS: Technology for Next Generation's HiSpeed CMOS

Silicon on Insulator

- Reduction of Power Consumption ($P_{\text{diss}} \sim C * F * V_{\text{DD}}^2$)
 - reduced capacitance (substrate network, inner device)
- Allows For Higher Integration
 - due to obsolete isolation structures
- Increased Device Speed at reduced V_{DD}
 - reduced parasitic capacitance
- Reduced Leakage Current
 - reduced sub-threshold leakage
 - reduced substrate leakage



Introduction of CMOS-SOI is equivalent to skipping one technology node

5

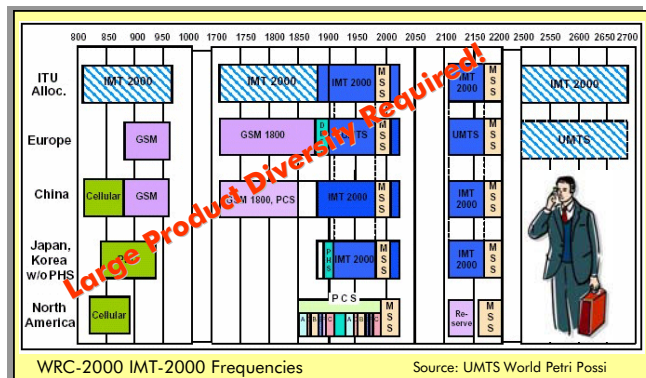
GaN Based RF Power Amplifiers for Base Stations

Wireless Communication: Coexistence of Plurality of Standards and Frequency Bands

Today's radio communication situation is characterized by

- **Different markets**
Europe, North America, China, etc.
- **Increased number of air interfaces**
 - Standards: GSM, CDMA, UMTS, ...
 - Bands: 900 MHz, 2.1 GHz, 2.6 GHz, ...

-> **Requiring large product portfolio!**



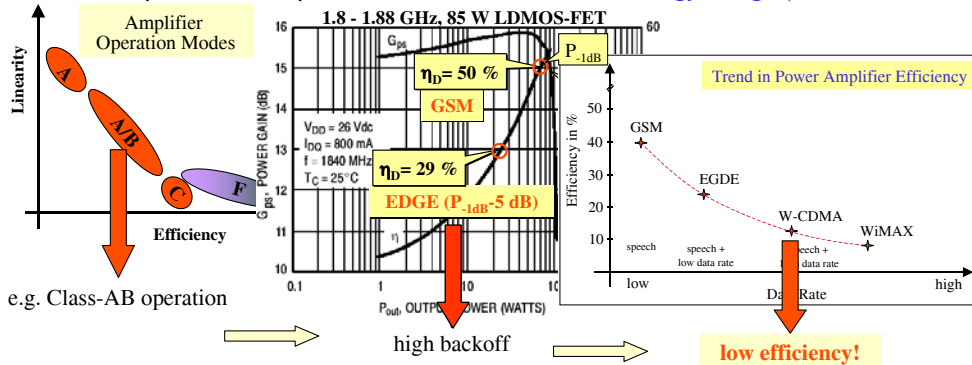
- **Future software defined base stations** provide a possibility to relax this problem, due to **coverage of several standards and frequency bands** by only one BTS.
 - ➔ **multiband, multistandard** capable amplifiers up to high power levels required!

Wireless Communication :

Reduced PA Efficiency for Complex Modulation Schemes & Different Power Levels

- Increased data rates require complex modulation schemes like QPSK
- Usage of phase- & amplitude-modulation results in varying signal envelopes
- Stringent linearity requirements (e.g. 3GPP) demand for **highly linear power amplifier**
 - PA has to be operated with high back-off from P-1dB
- The backoff itself is depending on the peak-to-average ratio of the used signal
- High backoff leads to a clearly reduced **amplifier efficiency**

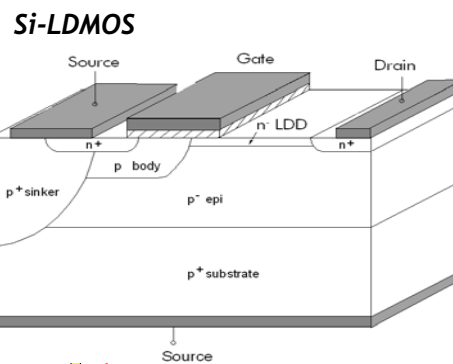
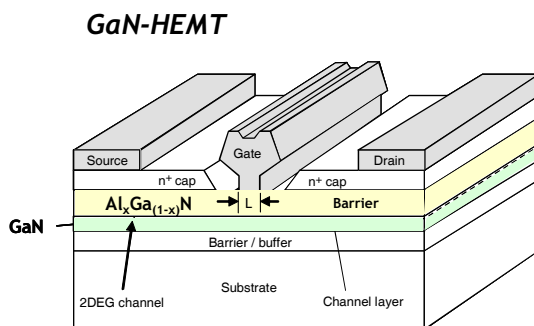
(PA Module responsible for up to **60 % of a base stations energy budget**)



→ **significant increase of efficiency for compl. modulation schemes necessary!** requires suitable **semiconductor technologies (e.g. GaN)**, **circuit concepts** and **Linearisation procedures**

Rf Power Transistor Technologies

GaN rf Power HEMT: Well timed rescue ...

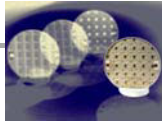


Substrate: SiC, Si or Sapphire

Parameter	Material	Si	GaAs	GaN	SiC
Energy Gap [eV]		1.1	1.4	3.4	3.2
Crit. Electr. Field [V/cm]		0.3*10 ⁶	0.4*10 ⁶	3.3*10 ⁶	2.0*10 ⁶
Saturation Velocity [cm/s]		1.0*10 ⁷	2.0*10 ⁷	2.7*10 ⁷	2.0*10 ⁷
Electron Mobility [cm ² /Vs]		1350	6000	1500	800
Thermal Conductivity [W/cmK]		1.5	0.4	1.7	4.9
Max. Operating Temperature [°C]		< 200	< 300	< 700	< 600

high frequency operation low thermal impedance

Why GaN Technology?



Compared to LDMOS, GaN provides

- higher efficiency
- higher power
- larger bandwidth
- higher transit frequency, ...

... supports/enables promising amplifier concepts, such as e.g.

- **envelope tracking**, due to
 - higher breakthrough voltage
 - reduced capacitances
- **class-S**, due to
 - high f_T
 - (switch usage of PA requires high frequencies (support of harmonics)),...

Example: Realisation of single stage 10 W amplifier in different technologies

	LDMOS	GaAs-HEMT	GaN-HEMT	SiC-MESFET
Size	10 W @ 1 W/mm: 10 mm	10 W @ 1 W/mm: 10 mm	10 W @ 5 W/mm*: 2 mm	10 W @ 2 W/mm: 5 mm
Bias V_{DC}	30 V	10 V	50 V	30 V
Capacitance C_{out}	10 pF	2 pF	0.4 pF	4 pF
R_{opt}	45 Ω	5 Ω	45 Ω	45 Ω
Z_{out}	2 Ω	5 Ω	40 Ω	10 Ω
Output Bandwidth	400 MHz	> 15 GHz	8 GHz	900 MHz
Thermal Conductivity of Substrate	1.5 W/(Kcm)	0.5 W/(Kcm)	4.9 W/(Kcm) (SiC)	4.9 W/(Kcm)
Costs	relative low	high	substr. dependent	high
Linearity	heavily depending on operation mode			
Power Added Efficiency	heavily depending on operation mode			

Red: Benefits for ET & SMPA

Green: Benefits for broadband amplifiers

* assumed for SiC substrate (Basing on realistic data from literature!)

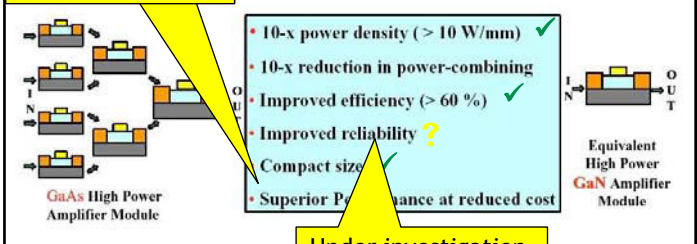
... and enables future advanced applications/products, such as **multiband/multistandard capable BTS!**

Former GaN Expectations - Current Achievements

Technology	Price/Watt	Power Density	Supply Voltage	Linearity	Frequency	Efficiency
Si LDMOS	Low Cost	Low	26 V	Very Good	< 2 GHz	Medium
GaAs HBT	Competitive	High	8 V - 26 V	Good	2 - 4 GHz	High
SiC MESFET	Competitive	Very High	48 V	Good	> 4 GHz	Medium
GaN HEMT	N/A	Very High	48 V	Promising	> 12 GHz	High

Linearisation necessary, but works very well.

Widespread target: Competitive to Si-LDMOS at least on module level!



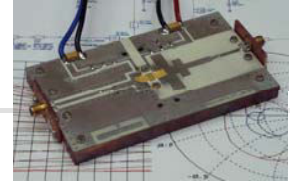
Under investigation, e.g. Nitronex showed promising results

Current Status: technically proven up to now

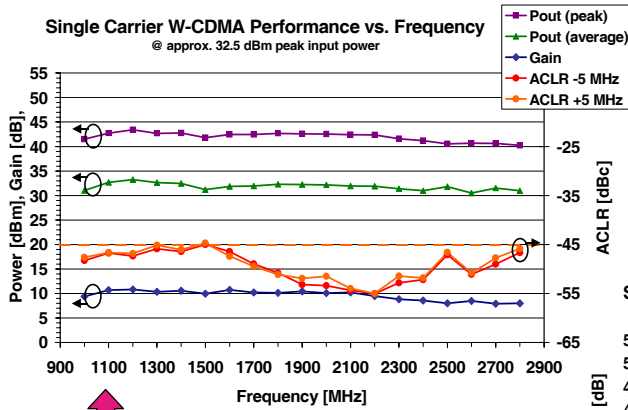
- ✓ **Power Density:** Records up to 30 W/mm (Cree), more practical: Eudyna 4-5 W/mm
- ✓ **Supply voltage:** GANGLION 35 V, RFMD 48 V, Eudyna 50 V
- ✓ **Frequency:** GANGLION $f_t = 30$ GHz, EADS PtP-applications
- ✓ **Efficiency:** Eudyna, Nitr. > 60 % pk drain efficiency

BMBF Project GANGLION: Example of Micro-BTS Amplifier

Fraunhofer
Institut
Angewandte
Festkörperphysik



Single Carrier W-CDMA Performance vs. Frequency
@ approx. 32.5 dBm peak input power

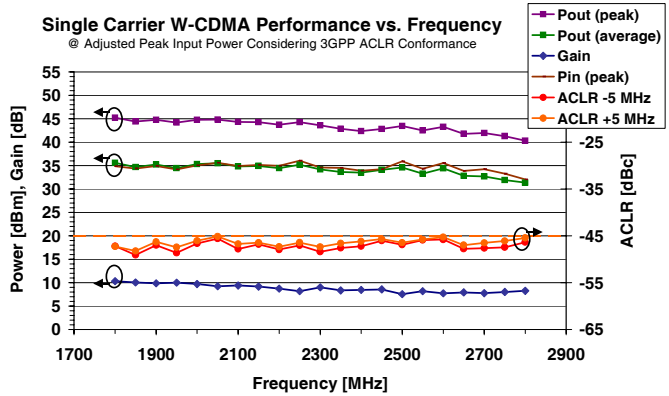


↑ @ constant input power level

→ @ adjusted input power level considering 3GPP ACLR conformance

- 3-dB bandwidth: ≈ 1.7 GHz
- total gain: ≈ 9.5 dB
- $P_{-1dB} \approx 44$ dBm (@ 2.0 GHz & $V_d = 35$ V)
- $P_{max_meas} \approx 46$ dBm (@ 2.0 GHz & $V_d = 35$ V)

Single Carrier W-CDMA Performance vs. Frequency
@ Adjusted Peak Input Power Considering 3GPP ACLR Conformance



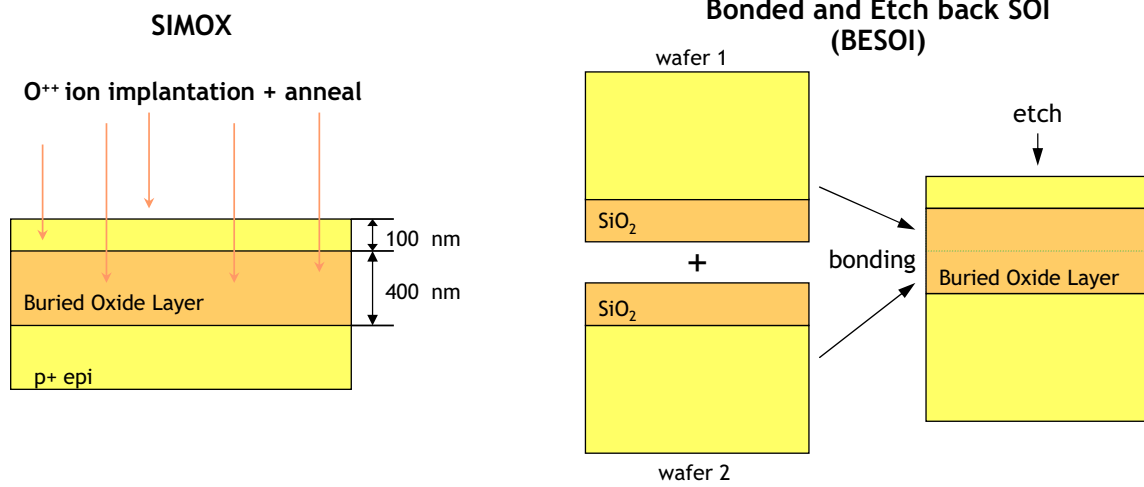
Conclusions

Conclusions

- μ -electronic technologies are key enabler for evolution of telecommunication (TC)
- μ -electronic Technologies for TC face extremely high challenges, e.g. in
 - High speed optical transmission systems
 - Wireless communication systems
- High-speed designs for optical transmission systems combine two design philosophies
- Silicon based technologies preferred, due their
 - potential for high integration with std.-CMOS
 - High degree of reliability and low costs
- Advanced SiGe BiCMOS ($f_t/f_{max} > 200\text{GHz}$) for high speed optical transmission systems
- On-chip interconnect is a bottleneck determining high speed performance
- Quality of (statistical) active and passive device models is crucial
- Combination of high speed performance and increasing complexity will demand for purely CMOS based solutions ; SOI is an interesting option
- New semiconductor technologies like e.g. GaN RF-power HEMTS enable economical realisation of multiband/multistandard capable base stations

Thank You

Attachement: Manufacturing of SOI Wafer Material



- expensive Implanters (exp. status)
- 8 defects/cm² (6 fold of bulk CMOS)
- potential to reduce cost to bulk level

- thick film SOI and thin film SOI
- expensive (costs 2 fold of SIMOX)
- process variant: SMART CUT



Bericht von der „DATE 2007“ in Nizza

Hochschule Esslingen
University of Applied Sciences
IAF Göppingen, Prof. Töpfer



„DATE“

Nizza 16. - 20.4.07 im Kongresszentrum „ACROPOLIS“

1



Bericht von der „DATE 2007“ in Nizza

Hochschule Esslingen
University of Applied Sciences
IAF Göppingen, Prof. Töpfer

- DATE: **D**esign **A**utomation & **T**est **E**urope
- ca. 300 Vorträge, deutsche Beteiligung eher spärlich
- EDA-Messe mit ca. 110 Ausstellern unter Beteiligung aller namhaften Firmen
- 8 Tutorials zu aktuellen Themen aus den Bereichen Design, Simulation und Test
- Tägliche „University-Booth“ mit Vorstellung von Uni-Projekten

2



Wichtige Topics:

- Neue Software für Simulation, Synthese, Test
- Besonderheiten der neuen 65nm-Technologie
- Test großer Chip in ausreichend kurzer Zeit
- Entwicklung von Embedded Systems auf FPGA

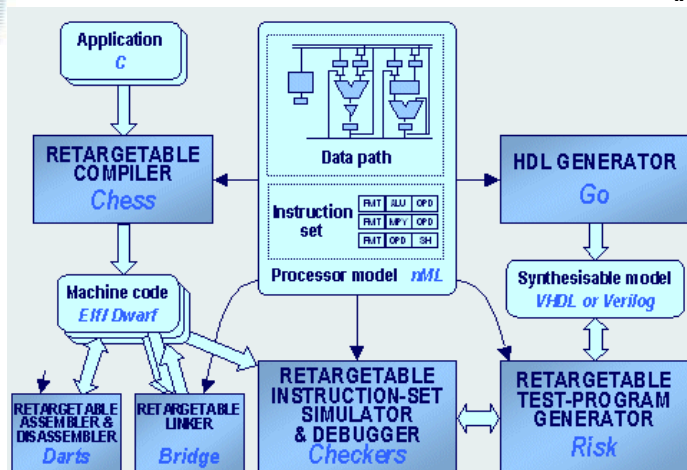
3



Target- Tools-Suite

- Fa. **Target** ist ein spin-off von IMEC mit Sitz in Leuven
- Die Target-Tool-Suite umfasst alle Tools um ein Prozessor-IP zu entwickeln, inklusive Compiler und Assembler
- Einige vorgestellte Projekte ähnlicher Art benutzten die Software der Fa. **CoWare**

4



- Beschreibung Befehlssatz Prozessor mit Sprache **nML**
- Simulation Prozessor mit **ISS**
- Generierung synthetisierbarer Verilog- oder VHDL-Code mit **GO**
- Generierung Testprogramm mit **RISK**
- **C-Compiler Chess**, Assembler **Darts** werden aus nML-Beschreibung erzeugt
- Debugger und Simulator **Checkers**

5

“Microprocessors in the Era of Terascale Integration”

S. Borkar, Intel; N. Jouppi, HP; P. Stenstrom, Uni Goteburg

Erhöhte Sub-Threshold Leck-Ströme

Reduzierung Betriebsspannung erfordert auch Reduzierung der Schwellenspannung VT
→ Dadurch entstehen Leck-Ströme an den gesperrten Transistoren → Diese Leck-Ströme machen bis zu 40 % der Stromaufnahme des Prozessors aus

Weitere Reduzierung von VT kaum noch möglich → deshalb auch kaum noch Reduzierung der Betriebsspannung unter 1V

Auch am Gate-Oxid treten Leckströme (Tunnel-Effekt) auf → durch High-K-Dielectrics sollen diese Ströme bekämpft werden

Erhöhte Soft-Error-Rate

Durch die Verkleinerung der Transistoren können erhöhte Soft-Errors durch kosmische Strahlung auftreten → es ist noch nicht abzusehen, wann dieser Effekt bei Logik relevant wird

6



Beschleunigte Alterung

Bei weiterer Skalierung kommt es durch die hohen Feldstärken zu beschleunigter Alterung des Gate-Oxids

Degradation durch heiße Elektronen (Hot Carrier Injection HCI) → dadurch ändern sich die Verzögerungszeiten

Prozessor ist schneller als Speicher

Der Geschwindigkeitsunterschied zwischen Mikroprozessor und RAM nimmt zu → Vergrößerung Cache oder Pipeline bringt nur noch wenig

Abhilfe: schnelleres RAM-Interface, RAM und CPU übereinander bonden

7



Multi-Core-Architektur

Kleinere Prozessoren haben eine bessere Power-Effizienz als große Prozessoren → deshalb Multi-Core-Konzepte zur Leistungsreduzierung

Es wird deshalb erwartet, dass die Multi-Core-Architekturen stark zunehmen

Asymmetrisches Multiprozessing: die Cores haben verschiedene Instruktions-Sätze

Aufteilung eines Programms auf mehrere Cores ist schwierig

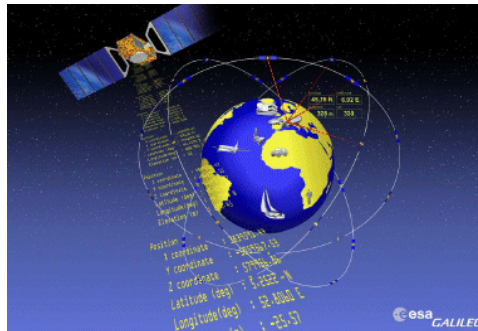
Wenn ein Programm nicht nur aus einem Thread besteht, ist die Aufteilung der Thread auf verschiedene Cores schwierig

Das mindert den Vorteil der Multi-Core-Architektur → man versucht durch eine Software das Programm auf die verschiedenen Prozessoren (Cores) aufzuteilen

8



Galileo-Chip



- Im Endstadium 30 Satelliten in 22000Km Höhe
- Zunächst sollen 4 Satelliten entwickelt werden
- Positionsbestimmung OpenService (OP): ca. 10m
- Positionsbestimmung Commercial Service (CS): 10 cm – 1m
- Signalgenerator-Chip „NSGE“ entwickelt von Alcatel Alenia, Toulouse

9



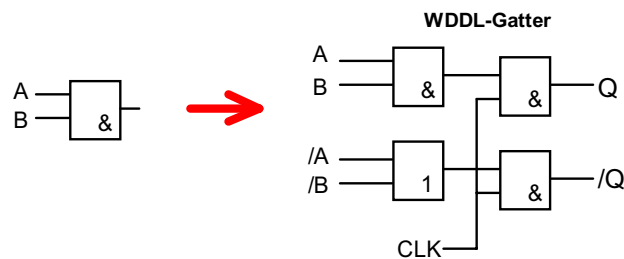
- Generiert PRN Spreading Code für mehrere Kanäle
- Das Signalgenerator-Chip „NSGE“ hat 3 Mio Gates in einer 0,18µm Radiation-Tolerant-Technologie Gate Array
- 1,8V Betriebsspannung, Leistung 6 W, 100MHz Clock
- Quellcode geschrieben in C
- Mit Mentor-Tool „Catapult“ in HDL übersetzt und synthetisiert

10

Design Methods for Security and Trust

Verbauwhede, Schaumomount, Uni Leuven

- Für das unerlaubte Auslesen des Schlüssels aus einem Crypto-System (side channel attack) gibt es verschiedene Ansätze
- Ein Angriffspunkt unter vielen ist die Aufzeichnung Prozessor-Stroms
- Zur Verhinderung wird ein „constant power design“ vorgeschlagen
- Die CMOS-Gatter werden vor der Synthese durch **Wave Dynamic Differential Logic-Gater (WDDL)** mit symmetrischen Pfaden ersetzt
- Dadurch gleicher Energieverbrauch an jeder Flanke



11

12