

## 2. Labor für den Entwurf integrierter Anwenderschaltkreise

Dipl.-Ing.(FH) Bernd Reinke  
an der  
Fachhochschule Offenburg

Die Fachhochschule Offenburg bietet seit dem Wintersemester 1990/91 den Studenten des Fachbereichs Nachrichtentechnik das Wahlpflichtfach ASIC-Design an. Schon kurz nach der Errichtung des ASIC-Design-Centers im Frühjahr 1990 ermöglicht sie damit künftigen Ingenieuren eine Ausbildung in einem Bereich, der in der modernen Schaltungsentwicklung nicht mehr wegzudenken ist.

### Organisation und CAE Einrichtung:

Der zeitliche Umfang des Wahlpflichtfachs ist auf vier Semesterwochenstunden festgelegt. Jeweils zwei Semesterwochenstunden werden durch Vorlesung bzw. durch Laborarbeit abgedeckt. Labor und Vorlesung sind dabei zeitlich voneinander getrennt. Angeboten wird das Wahlpflichtfach innerhalb des Hauptstudiums (fünftes bis achttes Semester). Die den Studenten zur Verfügung stehende Entwicklungsumgebung besteht aus fünf Workstations (Typ Apollo DN3500 mit 19" Farbmonitor) im Token-Ring sowie einer Laserdrucker- bzw. einer DINA0 HP-Plotter Ausgabeeinheit. Entwicklungssoftware ist IDEA (Version 7.0) der Firma Mentor Graphics.

### Entwurfsmethoden

#### a) schematische Darstellung

Das "Geysky-Dreieck", das im herkömmlichen Schaltungsentwurf als auch im Chipentwurf

Anwendung findet, verdeutlicht den Weg, den die Studenten bei der Entwicklung eines kundenspezifischen IC's beschreiten.

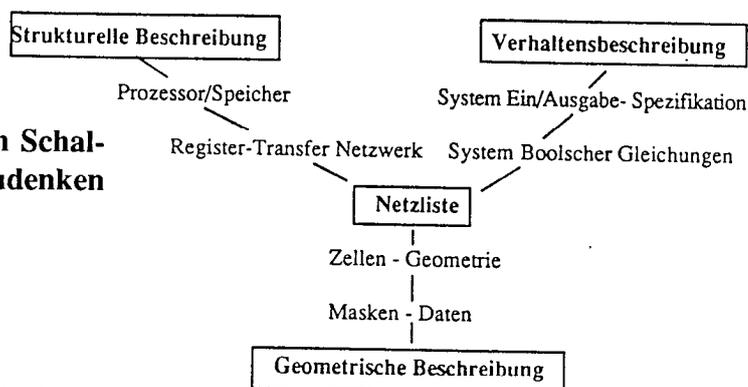


Bild 1: Geysky-Dreieck

Das Geysky-Dreieck beinhaltet drei Beschreibungsformen im Entwurfsprozeß:

#### - strukturelle Beschreibungsform

Sie gibt die Struktur einer Schaltung bildhaft als auch beschreibend wieder. Beispiele hierzu sind Blockschaltbilder, Schaltungsbeschreibende Sprachen (z.B. VHDL) und der häufig eingesetzte Schaltplan (Verbindungsplan).

#### - Verhaltensbeschreibung

Die Verhaltensbeschreibung erfaßt die Funktion einer Schaltung durch Ein- Ausgangsspezifikationen. Die eigentliche Struktur der Schaltung ist bei dieser Beschreibungsform nicht von Bedeutung. Vertreter der Verhaltensbeschrei-

bung sind Zustandsdiagramme, Impulsdia-  
gramme und algorithmisch- mathematische  
Funktionsbeschreibungen.

- geometrische Beschreibungsform

Die funktionsfähige testbare Schaltung, die ent-  
weder als Platine oder als Chip vorliegt wird  
durch deren Platinenlayout oder deren Ferti-  
gungsmasken beschrieben. Die geometrische  
Beschreibungsform ist daher eine  
sehr fertigungsnahe Art der Beschrei-  
bung.

Da der Entwurfsprozeß bis zum Prototyp einer  
Platine oder eines Chips alle drei Beschrei-  
bungsformen benutzt, und ab einer gewissen  
Komplexität sinnvollerweise rechnergestützt  
abläuft, wird die Netzliste als eine allen gemein-  
same Datenbasis für den Entwurf eingeführt.

b) Umsetzung in den Laborablauf

Der Laborablauf richtet sich weitgehend nach  
dem klassischen Entwurfsmodell, das den  
Schaltplan als Entwurfsbasis vorsieht. Über die  
Gatter-Netzliste, die aus dem Schaltplan erzeugt

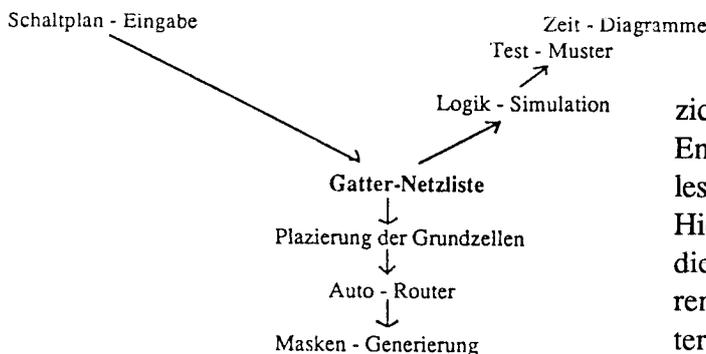


Bild 2: klassisches Entwurfsmodell

wird, führt der Weg zu Schaltungssimulation.  
Sie wird in der untersten Hierarchiestufe

(Einzeltransistoren) analog und in der  
übergeordneten Hierarchiestufe (Gatter) digi-  
tal durchgeführt. Nach Schalplaneingabe und  
Simulation erfolgt die Umsetzung der Schal-  
tung in entsprechende Fertigungsmasken, wel-  
che für Standard CMOS Prozesse üblich sind.  
Bild 3 zeigt die allgemein zur Ausbildung zur  
Verfügung stehenden Programme entsprechend  
der Anordnung im Geysky Diagramm.

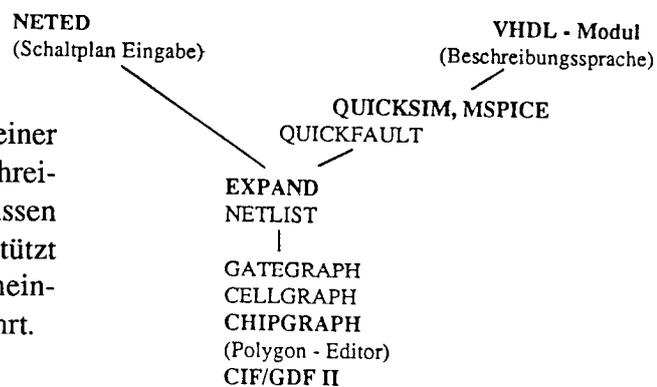


Bild 3: Entwicklungsprogramme

In digitalen Schaltungen steht dem klassischen  
Entwurf eine Schaltungsentwurfsmethode  
gegenüber, die gerade heute durch  
Verfügbarkeit moderner Schaltungs-  
beschreibungssprachen immer mehr  
in den Vordergrund rückt. Sie ver-  
zichtet vollständig auf den Schaltplan als  
Entwurfsbasis und beschreibt die Schaltung in  
lesbarer boolescher als auch algorithmischer Form.  
Hier sei allein die Sprache VHDL erwähnt,  
die ganze Schaltungsmodule (Mikroprozessoren,  
Controller, Sequenzer...) in sehr kompakter  
Form beschreibt.

Laborablauf

Die Übersicht zeigt den derzeitigen Laborversuchsablauf:

preter (Shell) wird geübt. Weiterhin wird die in Bild 4 dargestellte funktionsfähige Digitalschaltung mit Hilfe des Programms NETED (NETwork EDitor) eingegeben. Die Logikelemente stammen aus der IMS-Gate-Forest Bibliothek.

Versuch	Verwendetes Programm	Beispiel	
1	Betriebssystem Apollo, Schematische Eingabe Plotten, Prüfen, Hierarchie, Netzliste, Symbole	AEGIS, NETED, SYMED	Nand, "Würfel"
2	Analogsimulation  Pegel, Stimuli, Delays, Ausgabe von Plots, Model-Files	MSPICE	CMOS- NAND  MOS - Trans.
3	Digitalsimulation  Stimuli, Delays, Darstellung Plotten	QUICKSIM	"Würfel"  Kombin. Logik
4	Zell - Design  Grundzelle, Layer, PDF - File Edition, Ausgabe, Bedienung von CHIPGRAPH	CHIPGRAPH	CMOS -NAND
5	Plazierung von Zellen  Plazierung von Zellen einer gegebenen Bibliothek	CHIPGRAPH	Bibliotheks- zellen, "Würfel"
6	Verdrahten von Zellen  Routen Stromversorgung Routen Signalverbindungen Belegung der Anschlußpads komplette Dokumentation des Entwurfs,	CHIPGRAPH	"Würfel"  Fortsetzung Versuch 5

## Übersicht: Laborversuche

Versuch 1 gibt einen Einblick in die Systemumgebung. Der Umgang mit den Entwicklungsumgebung auf Betriebssystemebene (Aegis), mit dem Display Manager und dem Befehlsinter-

In Versuch 2 wird das Nand-Gatter, dargestellt in Bild 6, anhand der Spice-Modelldaten der IMS-Gate-Forest Transistoren untersucht. Verzögerungszeiten, Kennlinien und Pegel werden

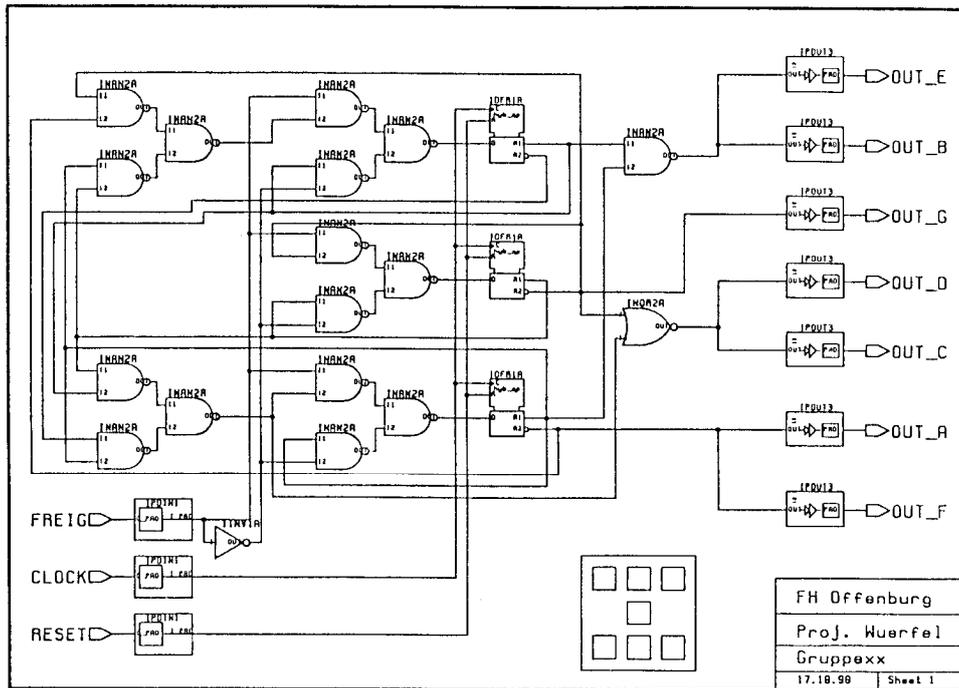


Bild 4: Schaltung zu Versuch1 (Würfel)

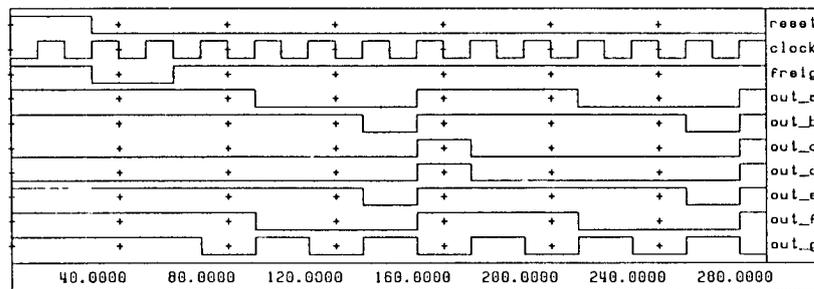


Bild 5: Simulationsergebnis zu Versuch 3

mit dem Programm MSPICE simuliert und ausgewertet.

Versuch 3 behandelt die Simulation der in Versuch 1 eingegebenen digitalen Schaltung. Anhand der Simulationsergebnisse (Bild 5) soll die Funktion der Schaltung nachgewiesen werden.

In Versuch 4 erfolgt der Übergang vom logischen zum physikalischen Entwurf, der eigent-

lichen Fertigungsmaske. Es wird eine einzelne Zelle (Nand-Gatter), die aus mehreren Masken besteht, mit Hilfe des Polygon-Editors Chipgraph gezeichnet. Durch den Aufbau der einzelnen Masken und der Kenntnis über den Fertigungsprozeß (CMOS) kann die spätere elektrische Funktion der Geometrie hergeleitet werden. Der Versuch gibt damit einen Einblick in den Aufbau einer einfachen CMOS- und Grundzellenstruktur auf unterster Hierarchieebene im

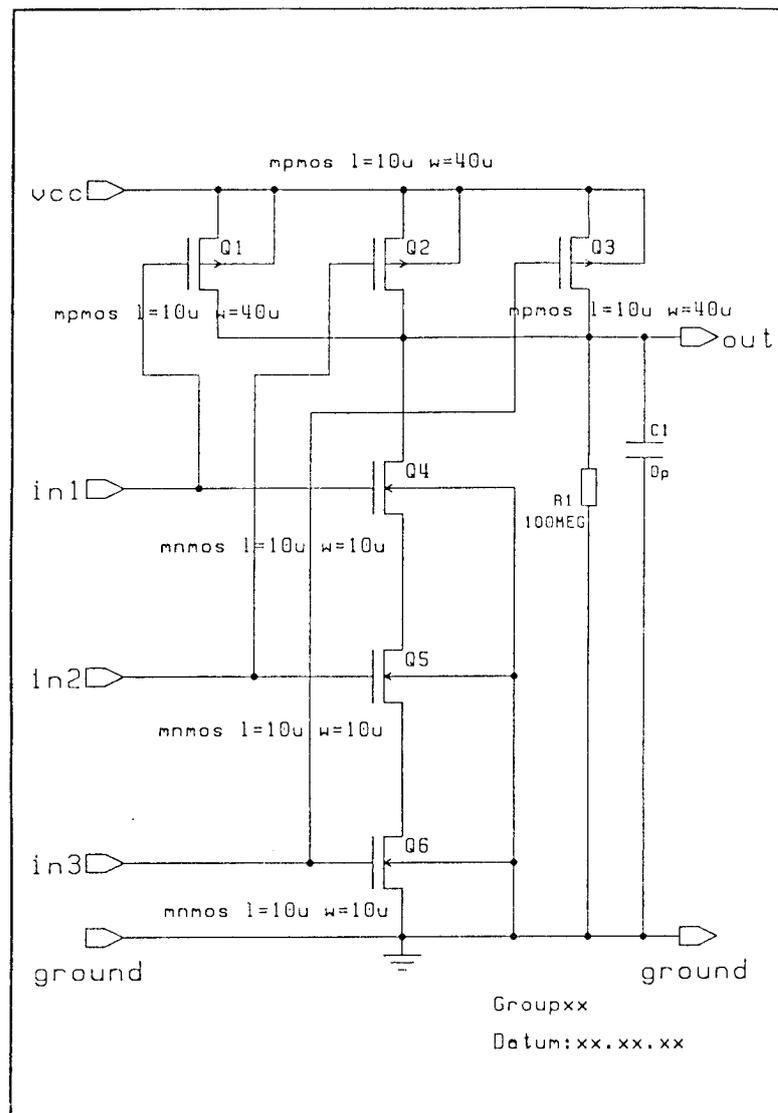


Bild 6: Schaltung zu Versuch 2 (Nand-Gatter)

Maskenentwurf. Diese Ebene ist normalerweise nur dem Full-Custom-Designer vorbehalten.

In Versuch 5 und Versuch 6 wird die kombinatorische bzw. sequentielle Logik von Versuch 1 auf einem Chip plaziert und unter Einhaltung der vorgegebenen Design-Rules von Hand verdrahtet (Bild 7,8,9,10). Ziel ist hierbei nicht die vollständige Verdrahtung und Funktion als vielmehr das Verständnis für Verdrahtungsregeln und der allgemeinen Design-Regeln. Weiteres Ziel ist das Verständnis für hierarchische Strukturen im gesamten Entwicklungsablauf. Der letzte Schritt ist das Flachklopfen (flatten) des fertigen Entwurfs.

### Zusammenfassung

Das Labor vermittelt in sechs Versuchen die wichtigsten Stadien des Entwurfs integrierter Schaltkreise. Die Versuche umfassen die Schaltungsplaneingabe, die analoge und digitale Simulation sowie das Arbeiten mit einem Polygoneditor auf Maskenebene. Die Versuche geben damit einen Einblick in Problemstellungen bei einer ASIC-Entwicklung ohne dabei den Umfang eines Labors zu überschreiten.

### Literatur:

- Entwurf Integrierter Anwenderschaltkreise (ASIC)  
Vorlesung an der FH Offenburg  
Prof.Dr.-Ing. Dirk Jansen

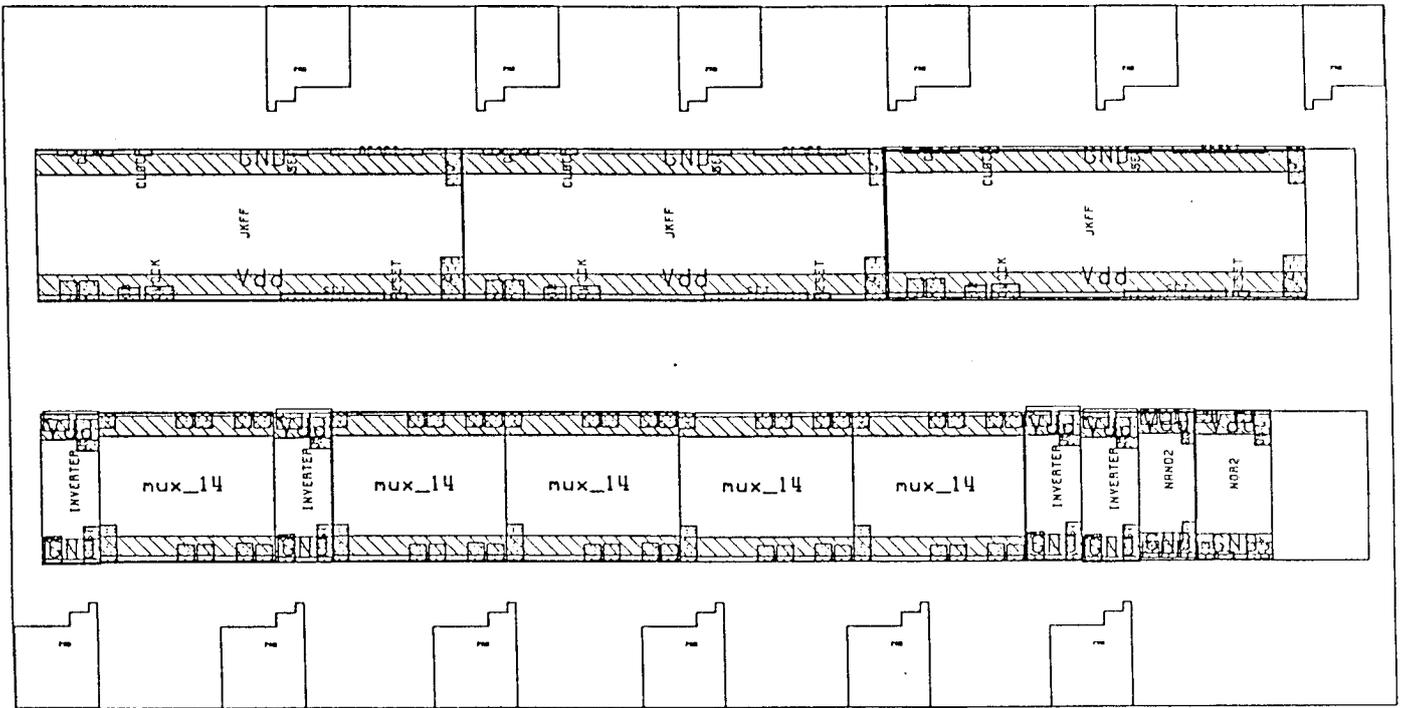


Bild 7: Platzierung der Zellen

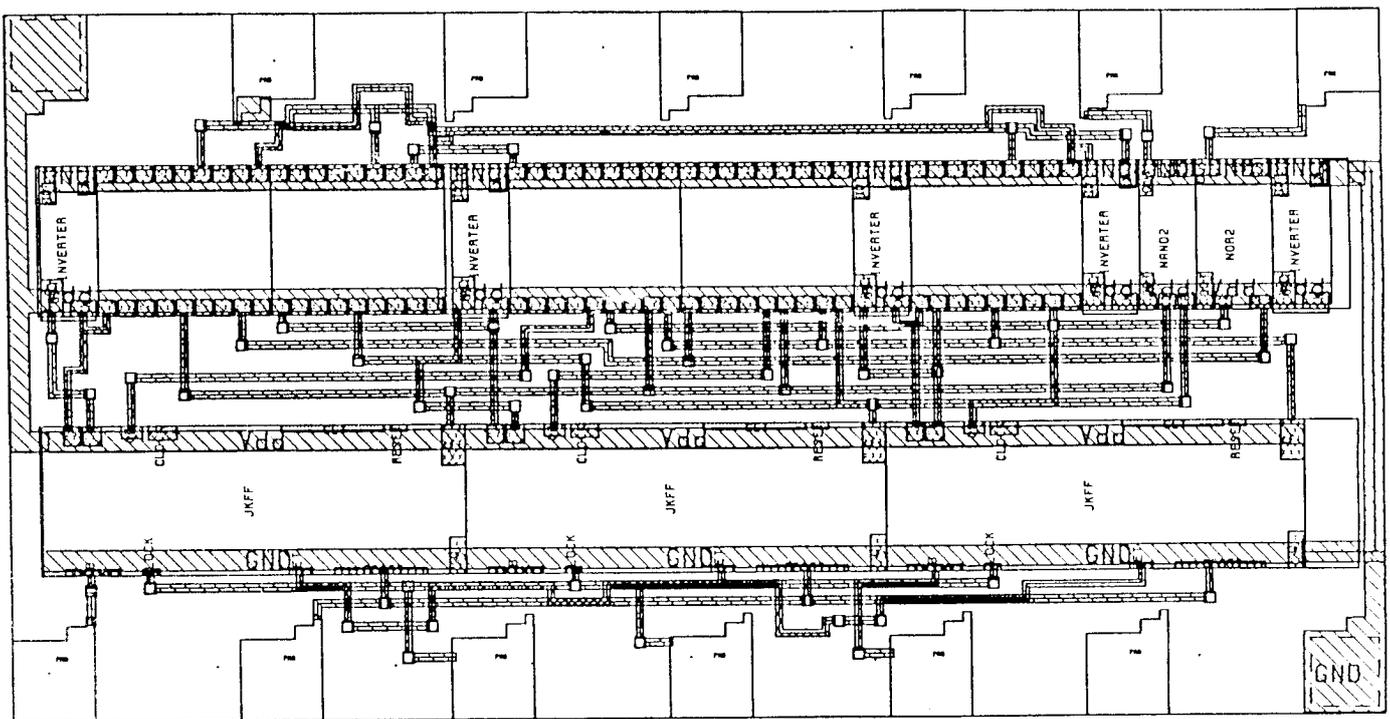


Bild 8: Verdrahtung der Zellen

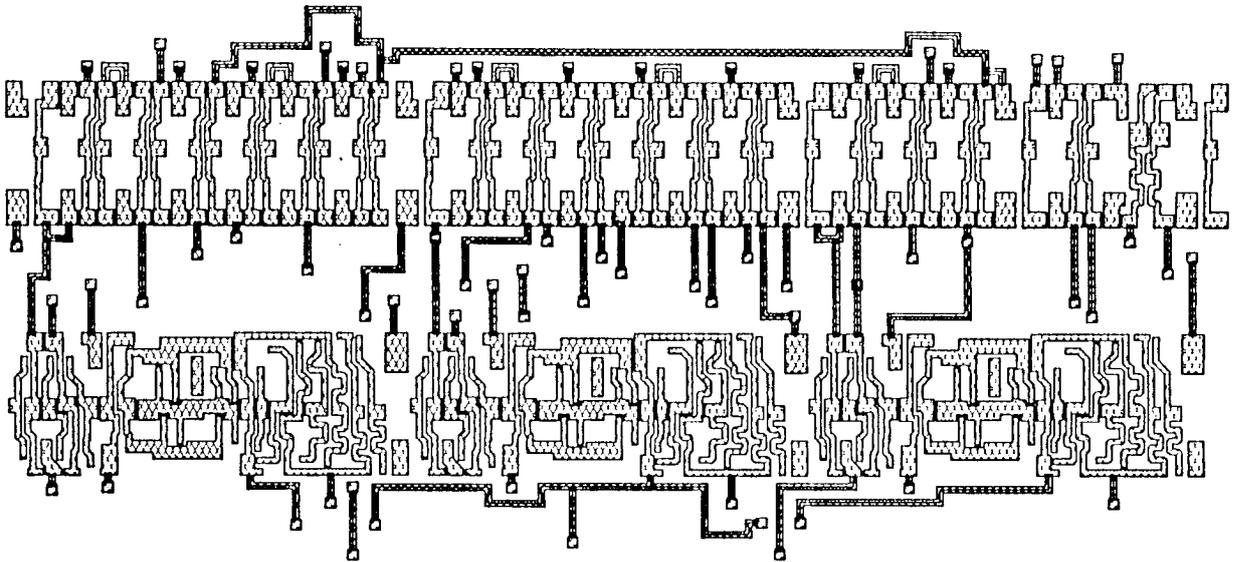


Bild 9: flachgeklopfter Entwurf (Poly-Ebene)

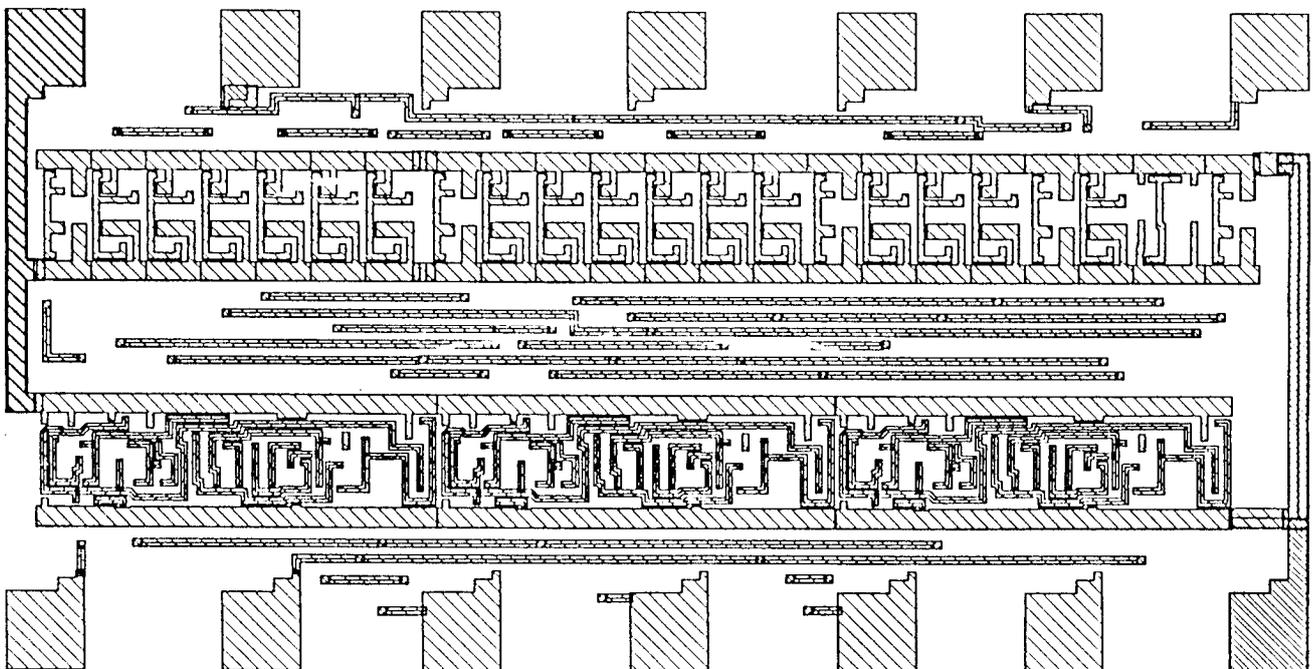


Bild 10: flachgeklopfter Entwurf (Metal-Ebene)