

5. Integration einer Costas Loop auf einen Analog-Schaltkreis (ASIC)

Michael Kern

Fachhochschule Offenburg

Seit einiger Zeit wird an der Fachhochschule in Offenburg ein Entwicklungsprojekt verfolgt, an dessen Ende ein GPS Empfänger stehen soll. Dabei handelt es sich um einen Satellitenempfänger, mit dem weltweit eine genaue dreidimensionale Standortbestimmung durchgeführt werden kann. Für diesen Empfänger sollte ein Großteil der Analogschaltung, bestehend aus ZF Verstärker, Costas Loop Synchrondemodulator und Pegeldetektor, in das Transistorarray B500a von AEG integriert werden. Das Chipdesign wurde im Labor für ASIC Design an der FH Offenburg während des Wintersemesters 1990/91 erstellt. Gefertigt wurde der Chip von der Firma AEG in Ulm, wobei die Fertigungszeit des ASIC 6 Wochen betragen hat.

Einführung

Nach derzeitiger Planung wird NAVSTAR/GPS auf 18 Satelliten (und drei in Reserve) aufgebaut, die in 20200 Kilometern Höhe gleichmäßig um die Erde verteilt sind. In dieser Höhe umkreist ein Satellit die Erde zweimal täglich (plus/minus vier Minuten).

Die Verteilung der Umlaufbahnen sichert die laufende weltweite Abdeckung. Die Umlaufbahnen werden so gehalten, daß von jedem Punkt der Erde aus jederzeit wenigstens vier Satelliten "in Sicht" sind. Vier sind zur Fixpunktbestimmung mindestens erforderlich.

Die Positionsbestimmung wird nun auf eine Laufzeitmessung der Signale vom Satelliten zum Empfänger zurückgeführt. Multipliziert man diese Laufzeit mit der Lichtgeschwindigkeit, erhält man die Entfernung zum entsprechenden Satelliten. Dadurch, daß die Satelliten ihre genaue Position im Raum mit übermitteln, kann eine dreidimensionale Positionsbestimmung des Empfängers durchgeführt werden (vgl.[1]).

Die Art der Entfernungsberechnung setzt jedoch eine sehr genaue Messung der Laufzeit voraus. Da die Empfänger meist nur mit Quarzuhren ausgestattet sind, ist eine Abweichung bei der Zeitmessung zwischen dem Ausstrahlen eines Signals und seinem Empfang im GPS Empfänger unvermeidlich. Um die Zeitverschiebung auszugleichen bedient man sich nun eines vierten Satelliten, der die im Empfänger fehlende Atomuhr ersetzt.

Empfängersystem der FH Offenburg

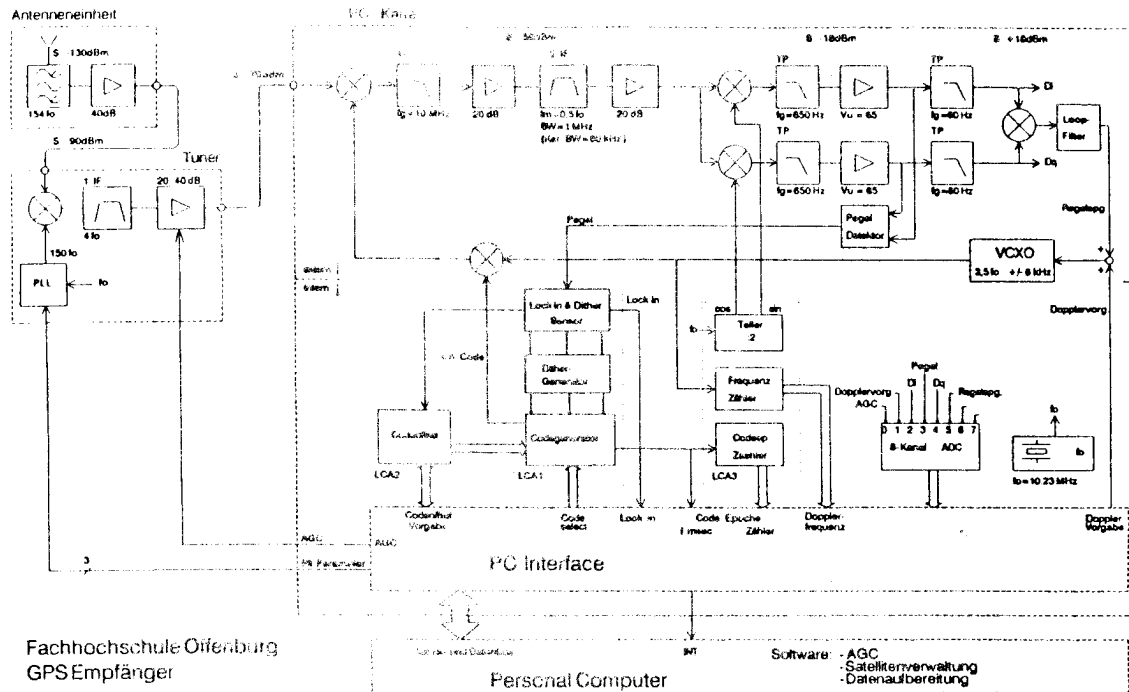


Abb. 1: Blockschaltbild des GPS Empfängers

Im Blockschaltbild erkennt man auf der linken Seite die Antenneneinheit mit einem nachgeschalteten Verstärker zur Kompensation der Leitungsdämpfung. Im Tuner erfolgt dann eine Umsetzung auf eine erste Zwischenfrequenz von 40.92 MHz.

Diese ZF wird noch einmal verstärkt und einem weiteren Mischer zugeführt. In diesem Mischen wird das ankommende Signal mit dem im Empfänger erzeugten C/A Code korreliert und gleichzeitig auf eine zweite Zwischenfrequenz von 5.115 MHz umgesetzt.

Die Trägersynchronisierung erfolgt mit Hilfe eines Costas Loop Synchrondemodulators. Die Regelspannung der Costas Loop steuert zusammen mit der Dopplervorgabe einen spannungsgesteuerten Quarzoszillator (VCXO) an, der die Dopplerverschiebung des Signals ausregelt.

Der digitale Teil des GPS Empfängers wurde von dem Absolventen Hans Fiesel in einer Diplomarbeit während des Sommersemesters 1990 entwickelt und in drei Logic Cell Arrays (LCA) integriert. (vgl.[4])

Layout des Transistorarrays B500a von AEG

Das Bipolararray B500a setzt sich aus sechs Standardzellen und drei Zellen für besondere Anwendungen zusammen.

Innerhalb dieser Zellen befindet sich eine Vielzahl von Bauelementen, die man für die jeweilige Anwendung auswählen und zu einer Schaltung zusammenfügen kann. In den einzelnen Zellen können nun verschiedenen Grundschaltungen übersichtlich realisiert werden. Eine der sechs zur Verfügung stehenden Standardzellen enthält die folgenden Bauelemente:

- | | |
|-----------------------------|----------------------|
| 13 Transistoren | NPN1 |
| 7 Transistoren | PNP1 |
| 2 Transistoren | PNPSUB1 |
| 1 Zenerdiode | Z1 |
| 1 Kapazitätsbox | (insgesamt 24 pF) |
| 15 diffundierte Widerstände | (insgesamt 13,23 kΩ) |
| 18 implantierte Widerstände | (insgesamt 316 kΩ) |

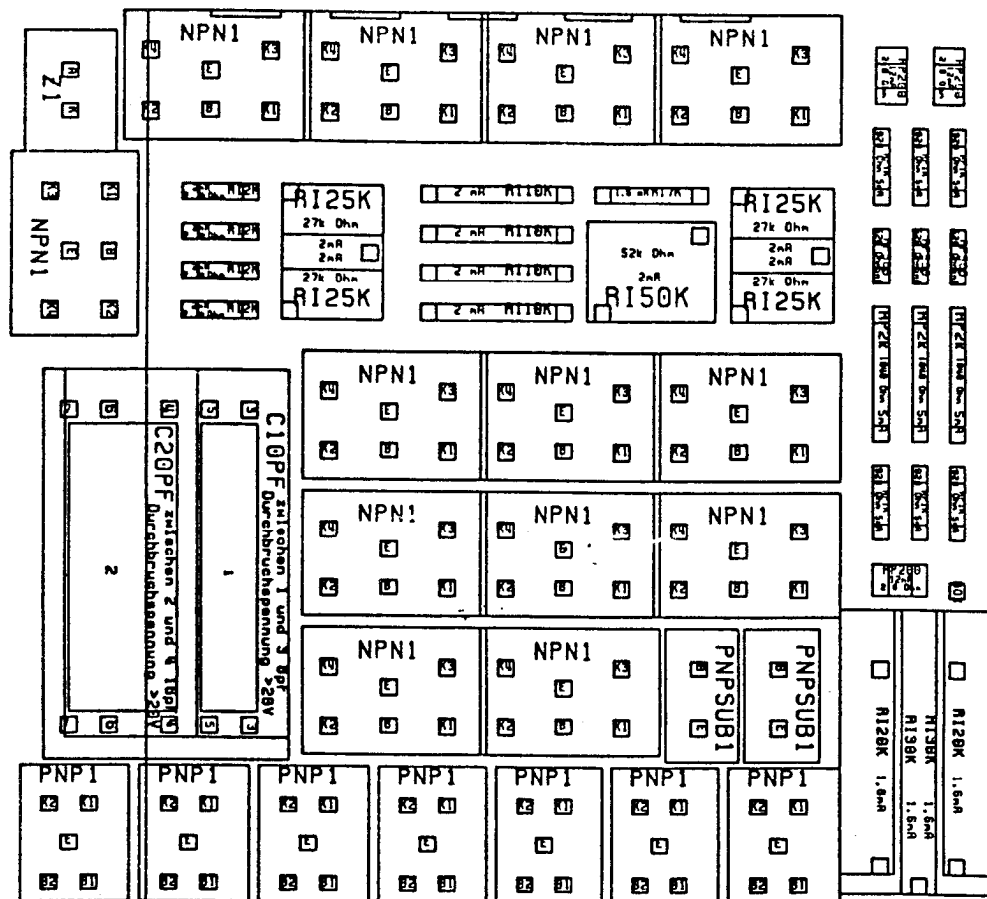


Abb. 2: Layout einer Standardzelle des B 500a (vgl.[2])

ASIC Entwicklungssystem

Die Chipentwicklung wurde im Labor für ASIC Design an der Fachhochschule in Offenburg durchgeführt. Die Anlage besteht aus fünf Workstations der Klasse Apollo DN 3500, die über ein Ringbussystem vernetzt sind. Als Ausgabegeräte sind ein HP 7586 Draft Master und ein HP Laser Jet III vorhanden.

Die folgende Tabelle veranschaulicht die einzelnen Entwicklungsschritte eines Chipdesigns mit der entsprechenden Software.

	Entwicklungsschritte	Software
1	Entwurf der Schaltung	Neted Symed Libraries
2	Umsetzung der Schaltung für die Simulation	Expand
3	Simulation der Schaltung	Mspice
4	Umsetzung der Schaltung ins Layout des B 500a	Chipgraph
5	Konvertierung der Chip- graph-Daten in das von AEG gewünschte CIF-Format	CIFtrans

Tab. 1: Darstellung der einzelnen Entwicklungsschritte

Mit Hilfe von NETED erfolgt zunächst die Schaltplaneingabe. In umfangreichen Bibliotheken sind die Symbole der Bauteile abgelegt, die dann mit dem Schaltplaneditor platziert und verbunden werden können. Mit dem Syboleditor SYMED besteht die Möglichkeit einzelne Bauteile zu editieren, diese zu verändern oder auch neue Bauteile zu kreieren.

EXPAND setzt einen mit NETED und SYMED entworfenen Schaltplan so um, daß eine Verarbeitung durch einen Analogsimulator möglich wird.

Die einzelnen Schaltungsteile wurden ausschließlich mit dem Simulationsprogramm MSpice simuliert und getestet.

CHIPGRAPH ist ein Graphikeditor, mit dessen Hilfe die einzelnen Bauteile der B500a Oberfläche unter Beachtung der Layoutregeln verdrahtet werden können.

Schaltungsbeschreibung

In Abb. 3 ist der Teil der Schaltung dargestellt, der im ASIC realisiert wurde. Zu erkennen ist im Bild links der ZF Verstärker mit daran anschließender Costas Loop. Rechts unten innerhalb des B500a befindet sich der Pegeldetektor, bestehend aus zwei Gleichrichterschaltungen, deren Ausgangssignale addiert und verstärkt werden.

Die Gesamtverstärkung der Costas Schleife konnte aus Platzgründen nicht im ASIC realisiert werden, da zum einen jeder der extern dargestellten Operationsverstärker noch einmal eine Standardzelle in Anspruch genommen hätte und zum anderen nicht genügend Anschlußpads vorhanden waren.

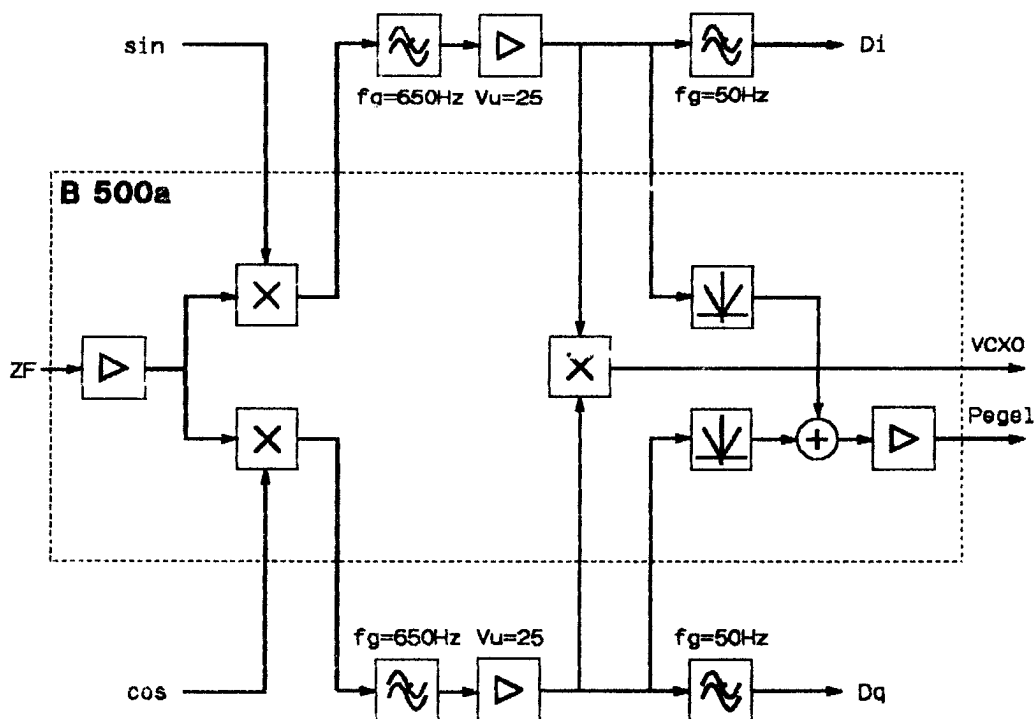


Abb. 3: B 500a Blockschaltbild

Bei dem ZF-Signal, welches demoduliert werden soll, handelt es sich um ein digital moduliertes Sinussignal. Abb. 4 zeigt die Entstehung eines solchen Signals mittels Phasenumtastung (PSK).

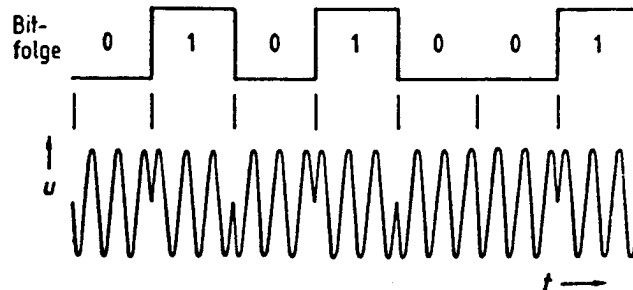


Abb. 4: Phasenumtastung einer Trägerschwingung (vgl.[3])

Mit jedem Bitwechsel des Codesignals $c(t)$ wird die Phasenlage der Trägerschwingung um 180° geändert.

Zur Demodulation wird eine Costas Regelschleife verwendet, mit der eine phasenstarre Nachführung des Trägersignals erreicht wird und die daraus resultierende Synchrondemodulation des ZF-Signals. In Abb. 5 ist das Prinzipschaltbild des ZF Zuges mit Costas Loop Synchrondemodulator dargestellt. Der Verstärker am Eingang der Schaltung ist notwendig, um das ZF-Signal auf einen für die Verarbeitung durch die Costas Loop mindestens erforderlichen Pegel, zu verstärken. Nach der Verstärkung wird das ZF-Signal gleichzeitig zwei Synchrondemodulatoren zugeführt, deren Referenzträger, vom VCO einer Regelschleife kommend, um 90° zueinander verschoben sind.

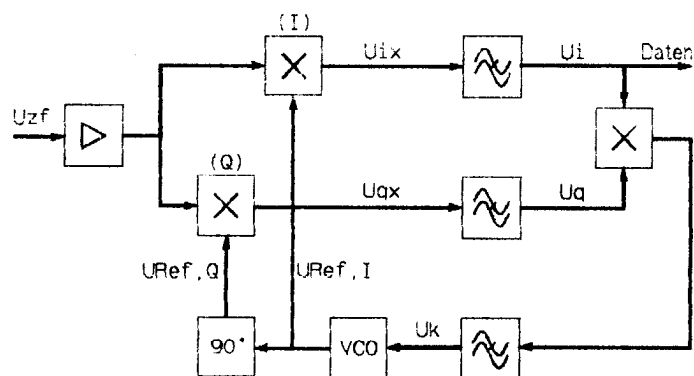


Abb. 5: Prinzipschaltbild der Trägerrückgewinnung mittels Costas Schleife

Der In-Phase-Demodulator (I) erhält den Referenzträger mit der richtigen Frequenz und im eingerasteten Zustand auch in der gleichen Phasenlage gegenüber dem ZF-Signal. Die Korrekturspannung U_k wird zu Null, da der Mittelwert des Quadraturdemodulators (Q) im eingerasteten Zustand ebenfalls zu Null wird. Somit behält die Referenzträgerschwingung vom VCO ihre Frequenz und Phasenlage bei. Am Ausgang der beiden Synchrondemodulatoren erhält man nach Unterdrückung der Frequenzkomponenten bei $2 \cdot f_r$ das Datensignal U_i und seine Quadraturkomponente U_q .

Bei einer um α abweichenden Phase des ZF-Signals gegenüber dem Referenzträger wird sich am Ausgang der Costas Loop eine Korrekturspannung U_k einstellen, die den VCO solange nachregelt, bis Referenz- und ZF-Signal wieder in Phase sind.

ZF Verstärker

Der ZF Verstärker hat die Aufgabe, das relativ kleine ZF Eingangssignal von ca. -70 dBm auf einen, für die Verarbeitung durch die Costas Loop notwendigen Pegel, zu verstärken.

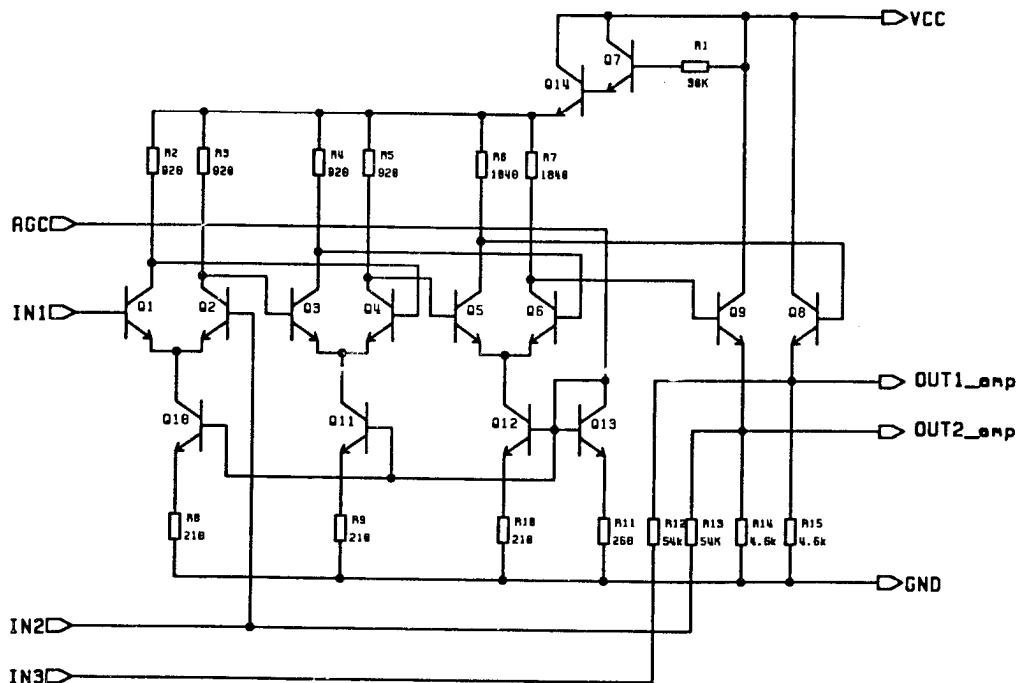


Abb. 6: Realisierte Schaltung des ZF Verstärkers

Der ZF Verstärker besteht im wesentlichen aus drei kaskadierten Differenzverstärkerstufen Q1...Q6. Die Spannungsversorgung dieser Stufen erfolgt über eine Darlingtonschaltung, bestehend aus den Transistoren Q7 und Q14.

Über den Pin AGC kann über einen extern angeordneten Widerstand ein Strom eingespeist werden, mit dem dann eine Stromeinstellung der Stromquellen Q10...Q12 vorgenommen werden kann. Dadurch wird eine Stromeinstellung der einzelnen Differenzverstärkerstufen möglich und somit eine Verstärkungseinstellung der Gesamtschaltung.

Die Kollektorschaltung am Ausgang, bestehend aus den Transistoren Q8 und Q9, dient als Impedanzwandler. Mit ihrer Hilfe wird der hohe Ausgangswiderstand der dritten Differenzverstärkerstufe auf einen wesentlich geringeren herabgesetzt.

Die beiden Rückkoppelwiderstände sorgen dafür, daß der Differenzeingang der beiden Transistoren Q1 und Q2 im Ruhezustand ohne Eingangssignal auf identischem Gleichspannungspotential liegt.

Vierquadranten-Multiplizierer

Die Costas Loop besteht aus drei Analog Multiplizierern, deren Schaltungen hier näher beschrieben werden.

Zwei analoge Spannungen U_x und U_y können vorzeichenrichtig miteinander multipliziert werden. Die beiden Synchrondemodulatoren besitzen jeweils einen differentiellen Eingang für das ZF Signal und einen massebezogenen Eingang für das Referenzsignal im Gegensatz zum dritten Multiplizierer, der zwei Differenzeingänge für U_x und U_y besitzt.

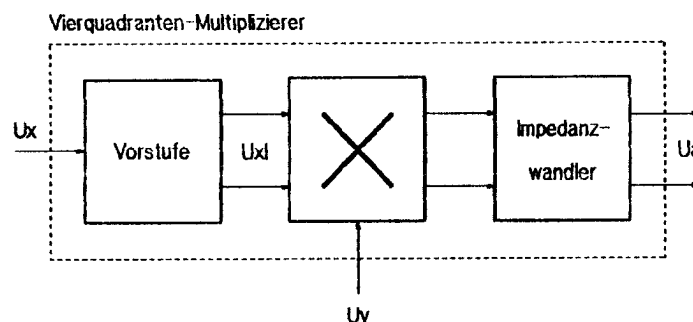


Abb. 7: Blockschaltbild des Multiplizierers

Abb. 8 zeigt die realisierte Schaltung des Vierquadranten-Multiplizierers.

Die Vorstufe hat zwei Aufgaben zu erfüllen. Die Eingangsspannung U_x bleibt nicht auf sehr kleine Werte begrenzt, da durch die Vorstufe eine Logarithmierung des Eingangssignales vorgenommen wird und dadurch der Eingang der folgenden Multipliziererstufe nicht übersteuert wird. Es ergibt sich außerdem eine gute Temperaturkompensation, da die Temperaturspannung U_T bei der Berechnung der Ausgangsspannung U_a aus dem Gleichungssystem herausfällt.

Im eigentlichen Multiplizierer sind zwei Differenzverstärkerstufen, bestehend aus den Transistorpaaren Q3-Q4 und Q5-Q6, parallel geschaltet. Der Emitterstrom dieser beiden Transistorpaare wird durch die Transistoren Q9 und Q10 gegensinnig mit U_y gesteuert. Q9 und Q10 bilden einen Differenzverstärker mit Stromgegenkopplung, dessen Kollektoren die Ausgänge von zwei gesteuerten Stromquellen bilden.

Mit Hilfe der Impedanzwandlerstufe, bestehend aus Q16 und Q17, am Ausgang des Multiplizierers wird der relativ hohe Ausgangswiderstand in eine niedrige Impedanz transformiert.

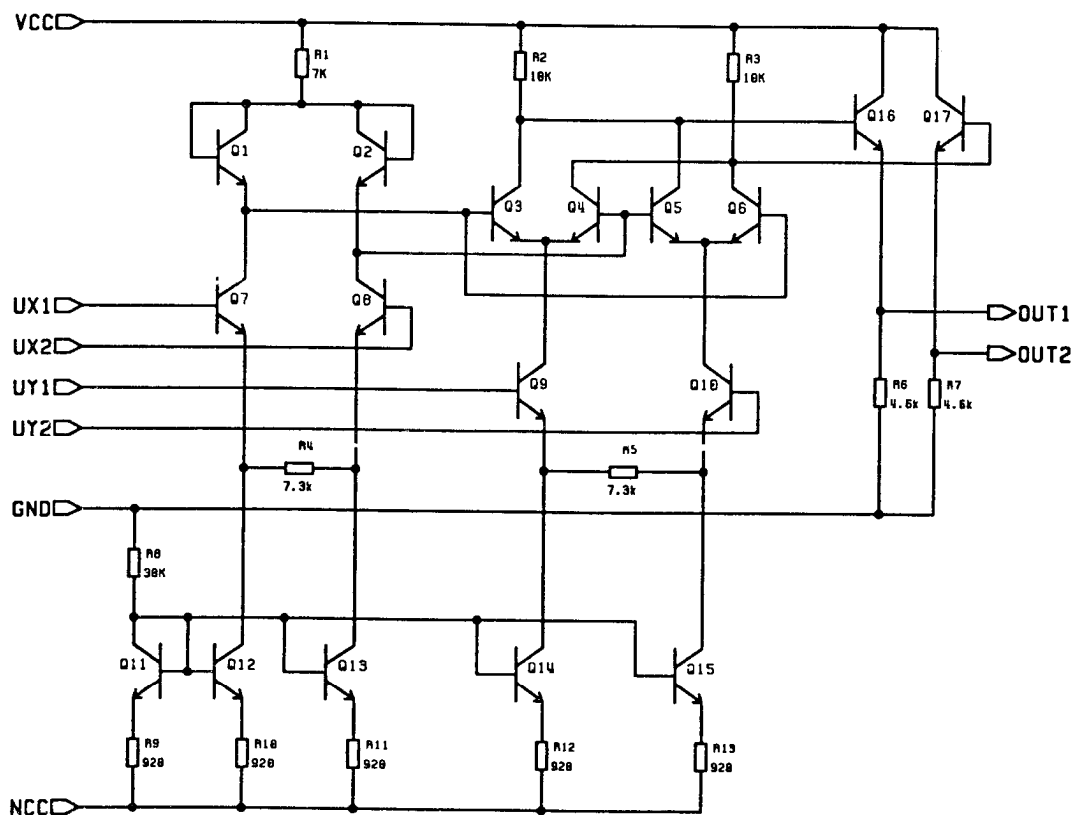


Abb. 8: Realisierte Schaltung des Multiplizierers

Gleichrichter

Die Funktion der Vollweggleichrichterschaltung soll an Hand des Schaltbildes in Abb. 9 erklärt werden.

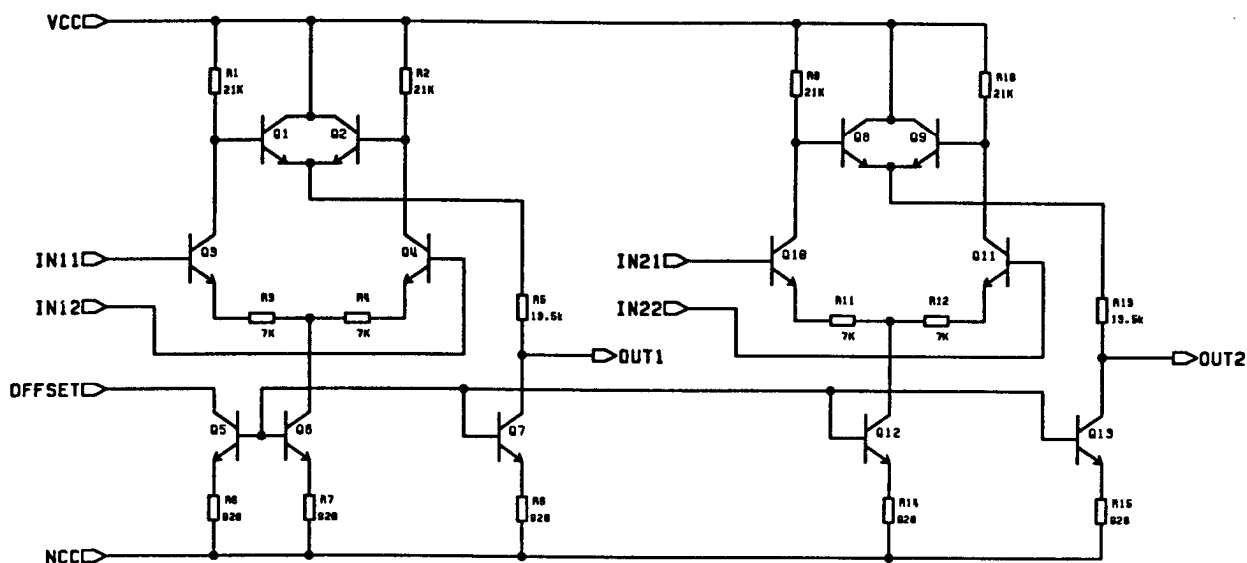


Abb. 9: Schaltbild der Doppelgleichrichterschaltung

Bei den beiden als Differenzverstärker geschalteten Transistoren Q3 und Q4 steht ein invertierender und ein nicht invertierender Ausgang zur Verfügung. Mit den beiden parallel geschalteten Emitterfolgern Q1, Q2 wird nun das jeweils positivere Kollektorpotential an den Ausgang übertragen. Der Widerstand R5 bewirkt in Verbindung mit der Stromquelle Q7 einen Levelshift der Ausgangsspannung des Emitterfolgers.

Durch die Einstellung des Stromquellenstromes von außen über den Pin OFFSET kann der Ausgang OUT1 im Ruhezustand der Schaltung auf 0 Volt eingestellt werden.

Die beiden Ausgangspins OUT1 und OUT2 sind jedoch aus Platzgründen nicht nach außen geführt. Es existiert lediglich ein Testpin mit der Bezeichnung OUTREC mit dessen Hilfe die beiden Gleichrichterschaltungen abgeglichen werden können.

Operationsverstärker als Addierer

Mit Hilfe des Operationsverstärkers werden die beiden Ausgangssignale des Vollweggleichrichters addiert und verstärkt. Die Schaltung des OP's ist in Abb. 10 dargestellt.

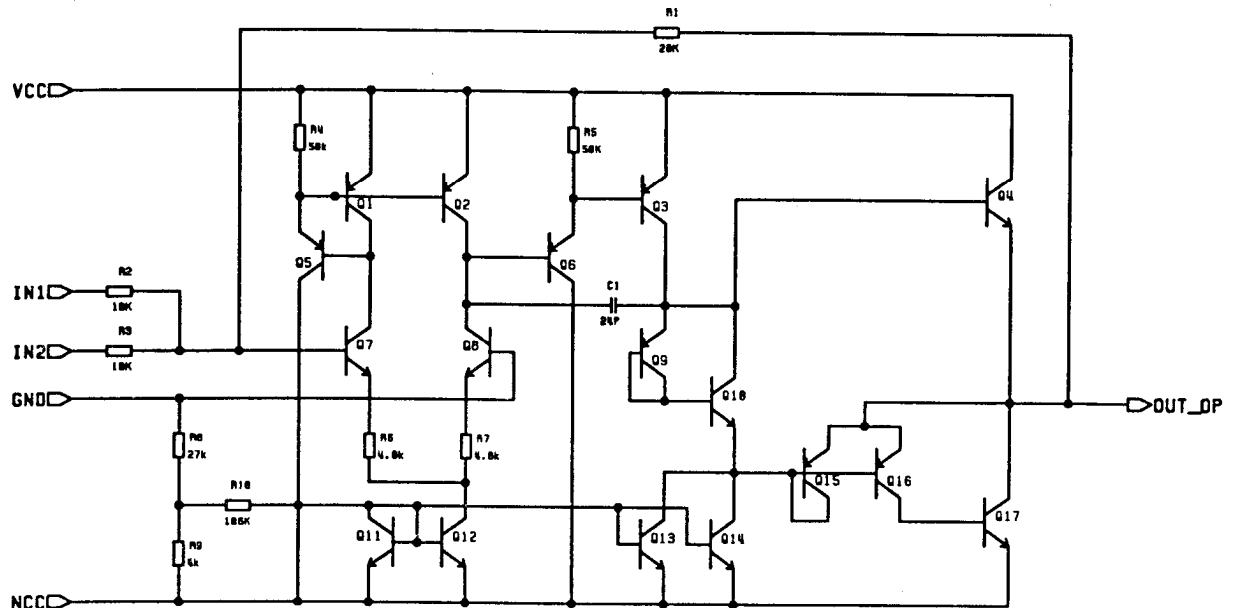


Abb. 10: Schaltung des Operationsverstärkers HSR1

Die Schaltung des Operationsverstärkers wurde aus einer früheren Diplomarbeit übernommen, da die Schaltung dort schon funktionsfähig war und somit nicht neu entwickelt werden mußte (vgl. [5]).

Außerdem war es von Vorteil, daß die Schaltung vom Bauteileaufwand her in einer Standardzelle untergebracht werden konnte, da für die Realisierung des Operationsverstärkers nur eine Zelle zur Verfügung stand.

Der Operationsverstärker besteht aus einer Differenzverstärker-Eingangsstufe mit den Transistoren Q7 und Q8, der Zwischenstufe in Darlington-Schaltung mit Q3 und Q6, sowie der Endstufe.

Hier ist eine Unterteilung in die Treiberstufe, bestehend aus Q9 und Q10, und die Gegentakt-Endstufe möglich. Sie setzt sich aus dem Transistor Q4 in Verbindung mit der PNP Darlingtonschaltung aus Q15, Q16 und Q17 zusammen.

Als Emitterwiderstand der Treiberstufe kommt im wesentlichen eine Konstantstromschaltung zur Geltung, die sich aus dem als Diode geschalteten Transistor Q11 und der Parallelschaltung aus Q13 und Q14 zusammensetzt.

Die StromEinstellung der Differenzverstärker-Eingangsstufe wird ebenfalls über den Stromspiegel Q11 in Verbindung mit Q12 vorgenommen.

Über den Kondensator C1 erfolgt eine Frequenzgangkompensation des Operationsverstärkers.

Der Operationsverstärker ist mit den beiden Widerständen R2 und R3 in Verbindung mit dem Rückkoppelwiderstand R1 als Addierer beschaltet. Die beiden Eingangsspannungen IN1 und IN2 werden addiert und um den Faktor 2 verstärkt.

Da der Operationsverstärker von der Gleichrichterschaltung ausschließlich positive Eingangssignale erhält, stellt sich ein Ausgangssignal am Pin OUT_OP ein, das immer negativ ist (invertierender Verstärker).

Testschaltung zur Inbetriebnahme des ASIC

Um die von AEG gelieferten Chips zu testen, wurde eine Testschaltung entwickelt und aufgebaut.

Auf einer Platine im Europaformat wurde ein Testsockel, sowie die zum Testen notwendige Peripherie plazierte. Dabei wurde berücksichtigt, daß sowohl die Einzelblöcke der Schaltung als auch die Gesamtfunktion getestet werden konnte.

Zum Testen der Gesamtfunktion mußten noch die beiden um 90° verschobenen Referenzträger generiert werden. Zu diesem Zweck wurde ein GAL 16V8 verwendet, das mit einem extern erzeugten Taktsignal von $f = 20\text{MHz}$ getaktet wurde.

Zur Verstärkung der beiden Ausgangssignale der Synchron-demodulatoren wurde außerdem je ein Operationsverstärker benötigt, der ebenfalls auf der Platine angeordnet ist.

Die Zuführung des ZF-Signals, sowie des 20MHz TTL Taktes, erfolgte über ein 50 Ω Koaxialkabel, um die Signale möglichst störungsfrei zum jeweiligen IC zu übertragen.

Auf der folgenden Seite ist die Gesamtschaltung der Testplatine dargestellt.

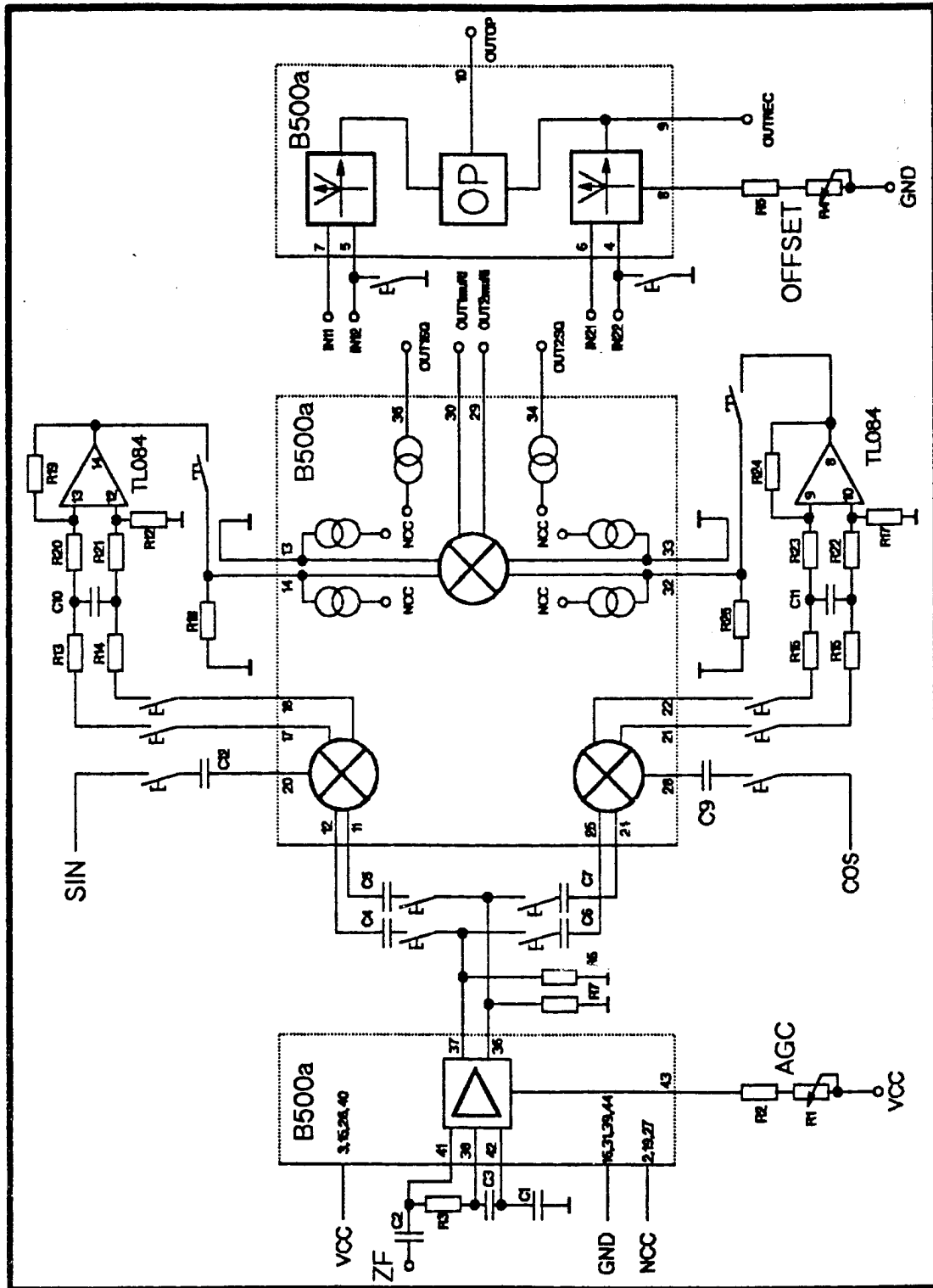


Abb. 11: Schaltung der Testplatte

Zusammenfassung

Abschließend kann die Entwicklung auf der Basis des Analog-Schaltkreises B500a als sehr erfolgreich betrachtet werden. Ein Großteil der Anlogschaltung des GPS Empfängers, bestehend aus ZF Verstärker, Costas Loop Synchronmodulator und Pegeldetektor, konnte in das Transistorarray implementiert werden.

Für das GPS Projekt bedeutet die Entwicklung des Schaltkreises einen weiteren Schritt in Richtung Miniaturisierung des gesamten Empfängersystems.

Diese Arbeit hat aber auch die Zuverlässigkeit des Entwicklungssystems gezeigt, da die in der Simulationsphase ermittelten Parameter der Schaltung bis auf wenige Abweichungen gut mit den Testergebnissen des Chips übereinstimmen. Das bedeutet auch, daß die verwendeten Spice-Modelle nahezu identisch sind mit den tatsächlich im Chip vorhandenen Bauteilen.

Spätere Entwicklungen können nun auf die Ergebnisse dieser Arbeit zurückgreifen, bzw. die hier entwickelten Schaltungsteile modifizieren.

Literaturverzeichnis

- [1] Donald J. Clausing: Moderne Flugnavigation, Motor Buch Verlag
- [2] AEG Entwicklungszentrum für integrierte Anlogschaltungen Transistorarrays für integrierte Anlogschaltungen Serie A
- [3] Mäusl: Digitale Modulationsverfahren, Hüthig Verlag
- [4] Fiesel Hans: Diplomarbeit: Digitalteil eines GPS Empfängers, FH Offenburg
- [5] Schweigert, Wolfgang: Diplomarbeit: Entwicklung von Operationsverstärkern, FH Ulm