

Fortschritte in der Entwicklung von Anwendungsspezifischen Integrierten Schaltungen (ASIC)

**Bericht von der CICC 93 - St. Diego/Kalifornien, USA
vom 9. - 12. Mai 1993**

**Prof. Dr.-Ing. Dirk Jansen
Fachhochschule Offenburg**

**Vortrag anlässlich des Workshops der
Multiprojekt-Chip Gruppe der Fachhochschulen BW
- Ravensburg/Weingarten -**

Übersicht:

- 1. Die CICC 93**
- 2. Technologische Trends**
- 3. Gate Arrays**
- 4. Programmierbare ASICs**
- 5. Herausragende Anwendungen**
- 6. Zusammenfassung**

1. CICC 93 : Custom Integrated Circuit Conference, St. Diego / USA

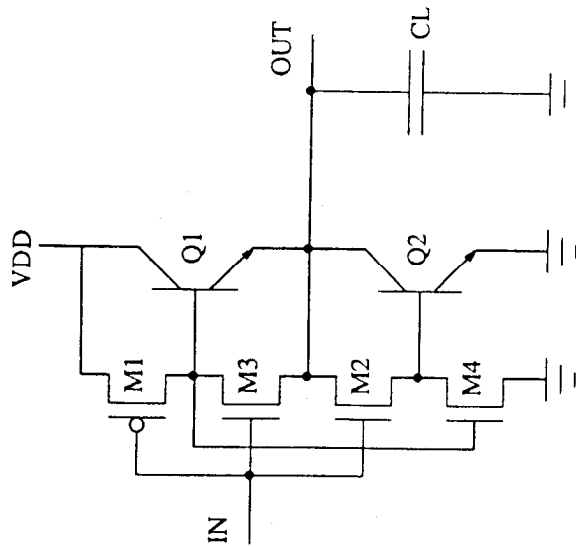
- 9. - 12. Mai 1993 in St. Diego / USA
- ca. 600 Teilnehmer, überwiegend USA/Fernost, geringe europ. Beteiligung
- 195 Vorträge in 4 Sälen parallel
- 4 Evening Sessions mit Podiums-Diskussionen
- 12 Tutorials bzw. Educational Sessions am Tag zuvor (Sonntag !)
- Spezialmesse von ASIC-Herstellern und CAE-Firmen

Thema:

- breites Forum sowohl für Anbieter als auch für Anwender von ASIC's
 - ↳ Technologien (CMOS, BiCMOS, Bipolar, Low Voltage CMOS ...)
 - ↳ Tools (CAE-Methoden, Algorithmen, Modellierung)
 - ↳ fertigungsgerechter Entwurf (Test, Zuverlässigkeit)
 - ↳ neue Bausteine (Gate Arrays, FPGA's)
 - ↳ Applikationen (analog, digital)

Teilnehmer der MPC-Gruppe:

Prof. Dr. Albert, Prof. Ritzert, Prof. Dr. Khakzar, Prof. Dr. Jansen, Prof. Dr. Toepfer, Prof. Nielinger



BiCMOS - Driver

SRAM - Read Access Time (2k x 21, 5V)

Module	CMOS	BiCMOS
Address Buffer	1.0	0.8
Word Decode	2.4	1.2
Cell	1.0	1.0
Sense Ampl. + Output Buffer	3.5	1.5
Summe	7.9 ns	4.5 ns

kombiniert CMOS mit Bipolar-Eigenschaften

0.8 μm - Standard BiCMOS - Prozeß

NPN-Transistor mit $f_T = 7 \text{ GHz}$

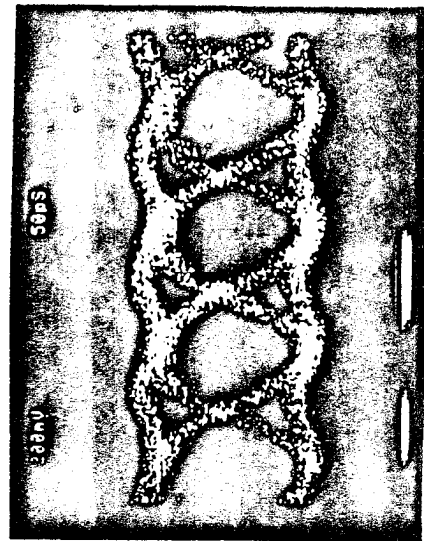
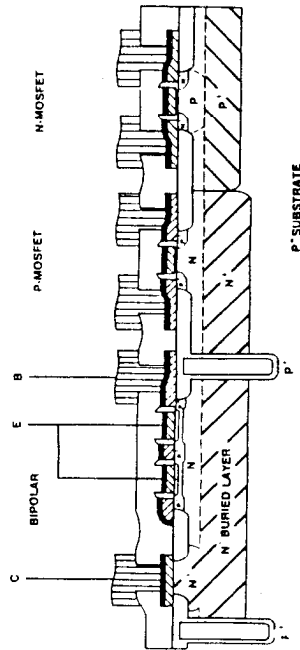
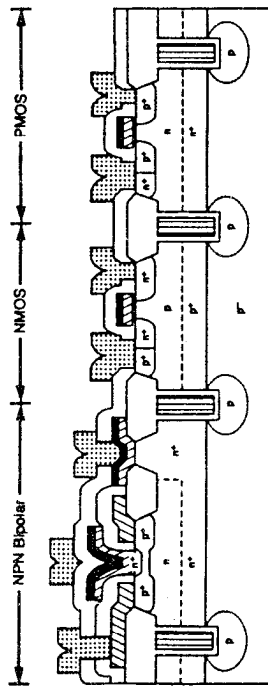
Eingangsseitig 1 CMOS-Load

Ausgangsseitig hohe Treiberleistung, da niederohmig

wirksam in Applikationen, die hohes Fan-Out erfordern

Geschwindigkeitserhöhung von Decodern und Sense-Amplifiern in SRAM

Quelle: AT&T, T.E. Ham et al.



8 Gbit/sec - Entscheider

BiCMOS kombiniert Eigenschaften von CMOS und Bipolar-Technik

höchste Geschwindigkeiten durch ECL-artige Schaltungstechnik erreichbar bei gleichzeitig niedrigem Leistungsverbrauch

Schlüsselement: schneller Bipolar-Transistor in CMOS-verträglicher Technologie

Super self aligned BiCMOS-Prozess, minimisiert die Basis-Kollektor-Kapazität C_{BC} und den Basis-Widerstand R_B

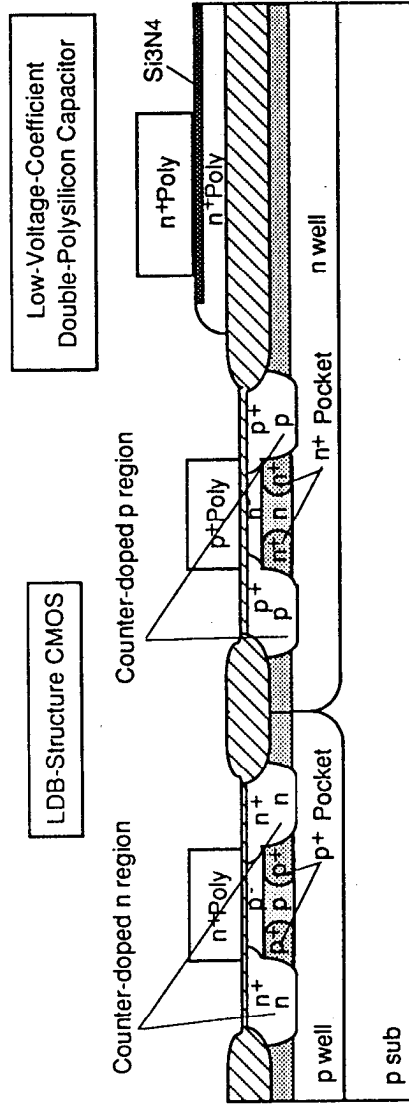
Eigenschaften:

- ↘ 0.5 μm - Lithographie
- ↘ Transitfrequenz $f_T = 34 \text{ GHz}$
- ↘ CMOS - Gate - Delay $t_{pd} = 50 \text{ ps}$

Quelle: AT&T, T.M. Liu et al.

2.3 Technologische Trends: 0.3 μm CMOS - Technologie (Hitachi)

- 0.3 μm - Kanallänge
- MOSFET mit laterally doped buried layer (LDB)
- für niedrige Betriebsspannung
- geringe Variationen der Schwellspannung V_{th}
- hohe Stromtreiber-Fähigkeit
- 1.5 V ... 3 V Betriebsspannung
- für digital & analog geeignet



Querschnitt durch 0.3 μm CMOS-Technologie für gemischte analog/digitale Schaltungen

Daten:

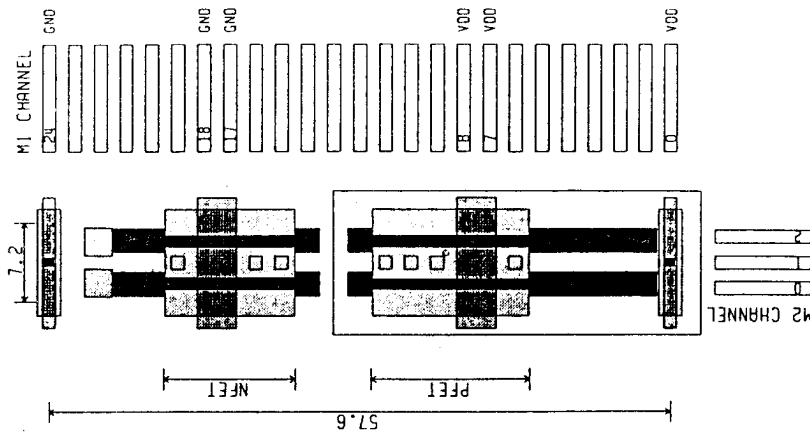
L_{eff}	= 0.3 μm
t_{ox}	= 6 nm
V_{tn}/V_{tp}	= 0.5 / -0.5 V
$I_{d satn}$	= 0.17 mA/ μm @ 1.5 V
$I_{d satp}$	= 0.08 mA/ μm @ -1.5 V
V_{DSSmax}	= 5.8 V
Insulator	= Si_3N_4 38 nm

Quelle: ULSI Research Center, Hitachi
Masafumi Miyamoto et al.

3.1 Gate Arrays:

CMOS Gate Arrays 250 k

(IBM - Nippon)



Gate Array Basic Cell Structure

Daten:

2 - NAND

$t_{pd} = 245 \text{ ps @ } 3.3 \text{ V}$

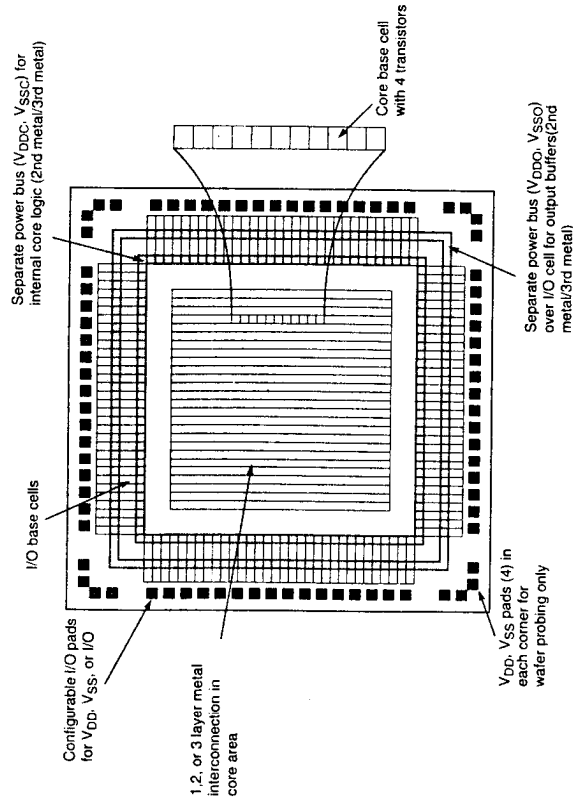
Leistungsaufnahme:

$1.3 \mu\text{W}/\text{MHz}/\text{Gate}$

- 3.3 V Betriebsspannung (2.7 ... 3.8 V) CMOS - Sea of Gates - Array
 - 0.45 μm effektive Kanallänge, $t_{ox} = 11.5 \text{ nm}$
 - 2.4 μm Metal Pitch - Verdrahtungsraster
 - 3 Metallisierungsebenen
 - 0.8 μm Lithographie für Low Cost/Low Power Circuits
 - 260 000 Gatter (NAND-Äquivalente)
 - I/O-Zellen mit ESD-Protection (3 kV) und Slew Rate Control
 - Umfangreiche Standard-Bibliothek incl. Macro-Zellen verfügbar
- Quelle: Makoto Ueda et al.

IBM Yasu Technology Application Laboratory

- 500 k nutzbare Gatter (10 k ... 774 k raw gates)
- 0.5 μm - 3.3 V - CMOS - Prozeß
- Sea of Gates Struktur
- 3 Lagen-Verdrahtung (Metall)
- 110 psec Gatterlaufzeit (2-NAND)
- spezielle Taktverteilungszellen mit geringem skew
- RAM bis 144 kBit auf dem Chip möglich
- Umfangreiche Bibliothek einschließlich Makrozellen wie PCI, UARTs, SCSI
- JTAG Boundary Scan und Scan Path ATVG
- für alle modernen Entwicklungsplattformen, u.a. Mentor



MSM10R0000 Array-Architektur

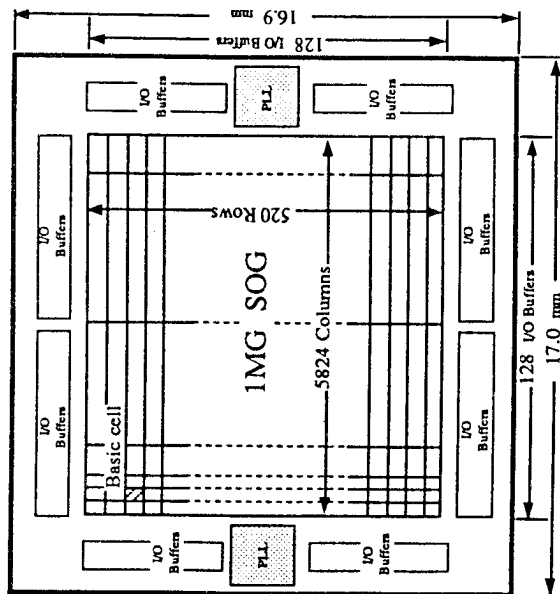
Quelle: OKI Data Sheet, MSM10R0000 Family

3.3 Gate Arrays:

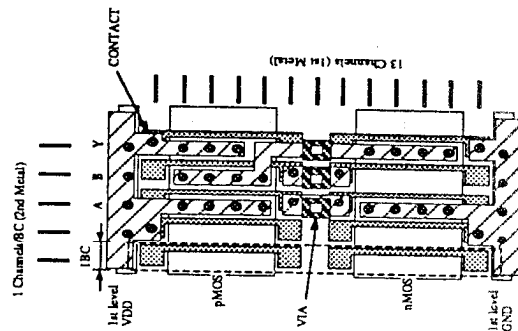
CMOS Gate Array (SOG)

(Mitsubishi)

- 1 Mio. Gates, 3 Mio. Basic Cells
- Cell-Größe $2.5 \times 28 \mu\text{m}^2$
- 0.5 μm CMOS 1 Poly - 3 Metall-Lagen - Prozeß
- Chip-Größe $17 \times 16.9 \text{ mm}^2$
- 512 I/O-Cells, 1 PLL-Cell (analog)
- 85 ps (F.O. = 1) Delay, > 100 MHz Operating Frequency
- RAM-Cells 64×64 mit $4.6 \text{ nsec } t_{\text{acc}}$
- 0.9 $\mu\text{W}/\text{MHz}/\text{Gate}$ Power Dissipation
- 3.3 V Betriebsspannung



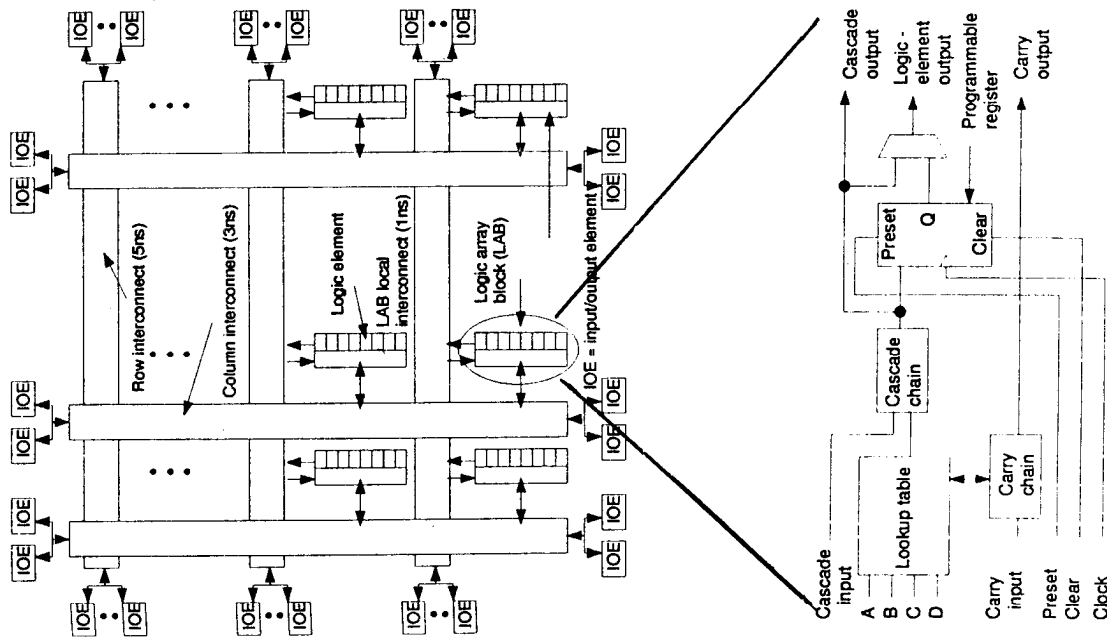
Chip-Floorplan eines 1 MG CMOS SOG

Layout eines
2-NAND

Quelle: Nobuyuki Ikeda et al.

ASIC Design Engineering Center, Mitsubishi El. Corp.

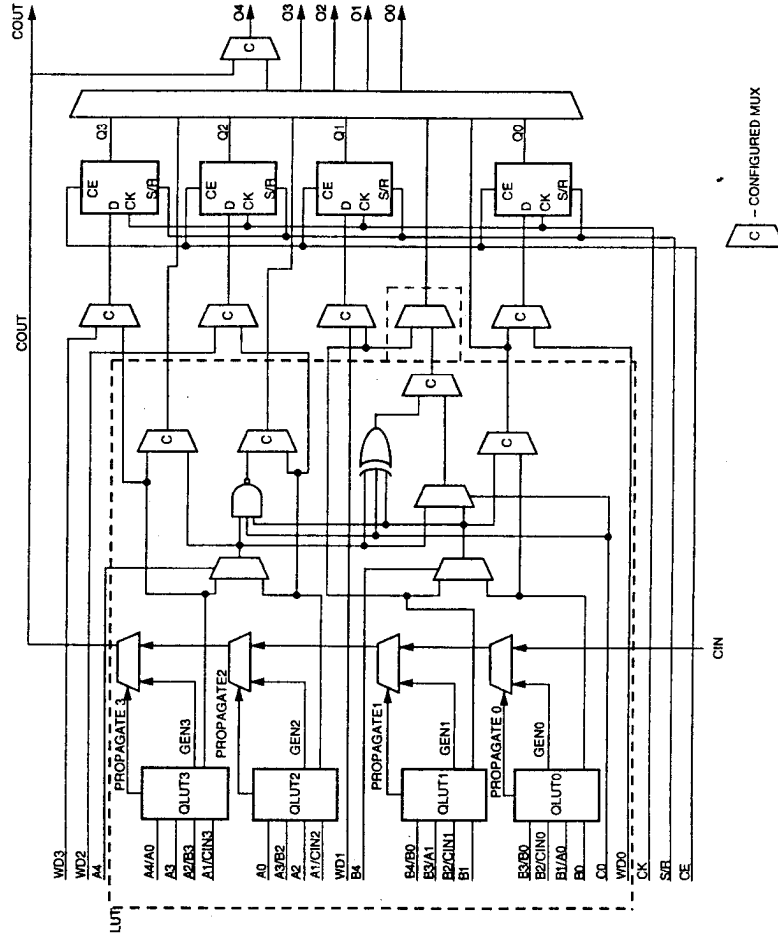
FLEX = Flexible Logic Element Matrix (8000er - Serie)



- "Dual Granularity" Architektur
- 1 Bit Logical Element (LE) zu je 8 in einem LAB (Logical Array Block) zusammengefaßt
- lokales Routing im LAB
- LABs über globales Routing miteinander verbunden
- Baustein EPL81188 enthält 1188 Register und ca. 12000 Gatter, organisiert als 6 rows x 21 columns
- 180 I/O - Elemente, 232 Pin PGA / 240 Pin QFP
- Delays: lokal 1 nsec, horizontal 6 nsec, vertikal 9 nsec
- hohe Systemtaktrate, hohe Dichte, gute Entwurfssystematik
- Software für PC

Quelle: Richard Cliff et al.
Altera Corporation.

ORCA = Optimized Reconfigurable Cell Array



- optimiert für Datenpfad / RAM-ROM-Strukturen
- FPU ist 4 Bit breit (Nibble-Breite)
- konfigurierbar als:
 - 4 Bit Adder/Subtractor
 - 4 Bit Counter
 - 4 Bit Comparator etc. mit fast carry
- oder für Kontrollfunktionen:
 - 4 x 4 Bit - Funktion
 - 2 x 5 Bit - "
 - 1 x 6 Bit - "

- RAM/ROM mit 16 x 4 Bit
- Multi-Level-Routing
- RAM-based Architektur in 0.6 μ m Technologie
- Download bei Anlegen der Betriebsspannung (ähnlich XILINX)
- von 3500 ... 22 000 Gattern,
max 2304 Register / 36 864 RAM-Bits
- Array-Größe von 10 x 10 ... 24 x 24
- 33 MHz ... 80 MHz Taktfrequenz
- Software für PC und SUN Workstations

- **Multimedia, insbesondere Video-Compression und Codec-Chips**
 - ↳ **Motion Video Compression LSI (OKI)**
 - ↳ **Motion Estimation Processor LSI (Mitsubishi)**
 - ↳ **Multistandard Video Codec (C-Cube)**

- **Microprozessoren und Signalprozessoren**
 - ↳ **3.3 V, 2.8 Mio. Transistors - BiCMOS - RISC - Processor (Hitachi)**
($f_T = 15 \text{ GHz}$, $L_{\text{eff}} = 0.6 \mu\text{m}$, $T_{\text{ox}} = 9 \text{ nm}$, 4-Lagen Metall-Verdrahtung, 120 MHz)
 - ↳ **2.4 nsec - 16 Bit - Arithmetic Logic Unit (NEC)**
(0.5 μm CMOS, 3-Lagen Verdrahtung, 3.3 V, 200 mW @ 300 MHz)
 - ↳ **Font Rendering Processor mit RISC CPU (Fuji XEROX Co.)**
(0.8 μm CMOS, 20 MHz, 127 k Transistoren, für Drucker)
 - ↳ **Signal Processor Core LSI (NEC)**
(0.5 μm BiCMOS, 300 MHz, 16 Bit, DCT, Video Compression)

5.2 Herausragende Anwendungen (high performance circuits)

- **Communication ASIC's**
 - **Direct Sequence Spread Spectrum Transceiver Chip (Cylink)**
(Correlator, Digital PLL, Detection Logic)
 - **300 MHz BiCMOS Serial Data Transceiver (MIT)**
(1.2 μm BiCMOS, 2 d PLL's, 30 MHz parallel Interface, 1 W, Jitter 63/50 ps)

- **Embedded Processors (Motorola) mit Gate Array**
 - **68 000 kombiniert mit CMOS Gate Array und Interface Strukturen**

- **1.16 GHz Dual-Modulus 1.2 μm CMOS Prescaler (Swiss Fed. Inst. of Techn., ETH Zürich)**
 - **Standard CMOS Prozeß verwendet, leicht integrierbar**

- CICC 93 gibt Einsicht in neuesten Stand der ASIC-Entwicklung
- Technischer Stand:
 - ↳ Gate Arrays: > 1 Mio. Gates, < 100 psec Delay
 - ↳ Technologie < 0.5 μm CMOS
 - ↳ BiCMOS zukünftige Technologie
 - ↳ Taktfrequenzen bis 300 MHz
 - ↳ FPGA's für Anwendungen < 10 000 Gates
- Es gibt fast nichts, was nicht in Gate Arrays (digital) paßt !
- Technologietreiber: Multimedia, Kommunikationstechnik, Prozessoren
- Europäische Industrie praktisch nicht vertreten (und nicht konkurrenzfähig ?!)