

Entwurf eines Lottozahlengenerators als integrierte Schaltung

F. Klöser, D. Jansen

ASIC Design Center, Fachhochschule Offenburg

email: f.kloeser@fh-offenburg.de

Februar 96

Im Frühjahr 1995 entstand die Idee, einen Lottozahlengenerator als Demonstrations- und Studienobjekt, für die Anwendung komplexer digitaler Entwurfsmethoden, zu entwerfen. Mit Hilfe der Schaltung ist es möglich, 6 verschiedene Zahlen zufällig aus 49 Zahlen zu ermitteln. Bei der Ziehung der einzelnen Zahlen werden verschiedene Töne und Melodien erzeugt. Die Schaltung ist so konzipiert, daß eine einfache Bedienung möglich ist. Der Chip wurde als Standardzellen-Entwurf mit einer Fläche von ca. 7 um^2 geroutet.

Spezifikation [1]

Es soll ein chipkartengroßer Lottozahlengenerator gebaut werden, dessen komplette Logik in einem einzigen integrierten Baustein konzentriert ist. Die Anzeige erfolgt über ein Array von LEDs. Die Schaltung wird von einer Batterie versorgt und benötigt nur ein Bedienelement. Zur Aktivierung dient eine einzige Taste. Die Dauer des Tastendrucks bestimmt die zu ermittelnde Zahl. Dieser Vorgang wiederholt sich für alle 6 Zahlen. Eine Betätigung der Taste nach der Ziehung der 6. Zahl löscht die Anzeige und der Vorgang beginnt von vorne. Die Dauer des Tastendrucks wird modulo N ausgezählt, beim Loslassen der Taste setzt ein Ausrollvorgang ein, bis schließlich die ermittelte Zahl angezeigt wird.

Die Anzeige erfolgt durch eine feldförmige Anordnung (7x7) von SMD-LEDs, die durch eine entsprechende, mit Ziffern beschriftete Abdeckung leuchten. Der Ausrollvorgang ist ebenfalls transparent anzuzeigen. Das Ausrollen ist durch ein „Klickgeräusch“ zu melden, das bei jeder neuen Zahl ertönt. Die ermittelten Zahlen 1. bis 6. Zahl, sind jeweils durch eine Tonfolge aus 2 Tönen, wovon der

1. Ton gleich ist, der zweite Ton mit jeder Zahl in der Höhe zunimmt, zu signalisieren. Die Ziehung der 6. Zahl ist durch eine Melodie „Badnerlied“ (hier: Offenburg liegt im Herzen von Baden) anzuzeigen. Alle Takte und Frequenzen sind synchron von einem Uhrenquarz abzuleiten. Der Ausrollvorgang ist wie, in der bereits früher realisierten Schaltung „Elektronischer Würfel“ [2], zu verwirklichen. Die Tonerzeugung ist mit einem NCO (Numeric Control Oscillator) aufzubauen, die Tonfolgeerzeugung mit einem sequentiellen Zustandsautomaten (FSM). Der Zufalls-generator muß die Forderung erfüllen, daß bereits bestimmte Lottozahlen bei der weiteren Auswahl nicht neu bestimmt werden können. Die Realisierung des Generators erfolgt mit einem Zähler mit One-Hot-Codierung. Dabei werden bereits schon ermittelte Zahlen aus der Zählerkette herausgenommen. Der Generator ist durch eine primäre Taktfrequenz anzusteuern, erst im Ausrollvorgang, nach Loslassen des Tasters, ist diese zu vermindern. Die Ziehung der Zahlen wird durch einen sequentiellen Zustandsautomat (FSM) überwacht. Die Deaktivierung erfolgt automatisch nachdem die Taste einige Sekunden nicht mehr gedrückt wurde. Die Timeout-Schaltung ist unabhängig von den anderen Schaltungsteilen und wird durch Loslassen der Taste getriggert. Die Ansteuerung der Anzeige erfolgt durch ein Multiplexsystem aus 4 x 13 Leitungen. Mit Aktivierung der Schaltung soll ein asynchroner Reset erfolgen.

Gliederung in Baugruppen

Aus dem Blockschaltbild (Abb. 1) des Lottozahlengenerators ist zu erkennen, daß dieser grundsätzlich aus vier Einheiten besteht. Im einzelnen sind dies:

- TIMER
- MELODY
- CONTROL
- ROLLOUT

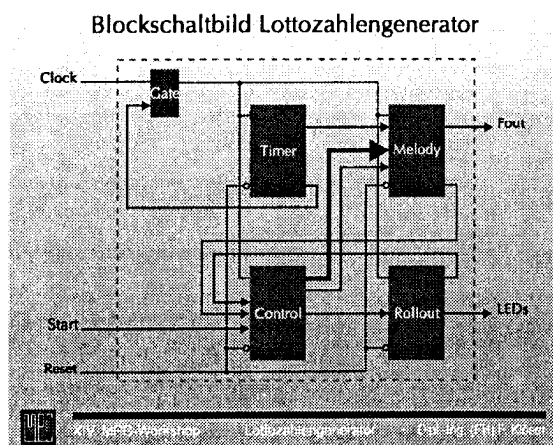


Abb. 1: Blockschaltbild Lottozahlengenerator

Die einzelnen Einheiten werden im folgenden beschrieben.

Timer

Der TIMER erfüllt zwei Funktionen. Zum einen erzeugt er aus der Primärtaktfrequenz von 32 kHz die für die Ton- und Melodieerzeugung erforderlichen Frequenzen und stellt diese der Einheit MELODY zur Verfügung. Die zweite Aufgabe des TIMERS ist die Deaktivierung der Schaltung. Der TIMER enthält eine Art „Watchdog“ der beim Loslassen der Taste getriggert wird. Erfolgt nun eine gewisse Zeit keine Betätigung der Taste, wird mit Hilfe eines Timeout-Signals die Taktversorgung über das GATE für die restlichen Schaltungsteile unterbrochen.

Control

Die Einheit CONTROL ist ein sequentieller Zustandsautomat (FSM) mit der der Ablauf der Ziehung der einzelnen Zahlen gesteuert und überwacht wird. Wie aus dem Zustandsdiagramm (Abb. 2) zu erkennen ist,

geht bei der erstmaligen Betätigung der Taste die FSM in den Zustand *reset* über. In diesem Zustand werden alle anderen Schaltungsteile zurückgesetzt und in einen Urzustand gebracht. Für die Ziehung einer Zahl sind insgesamt vier Zustände erforderlich.

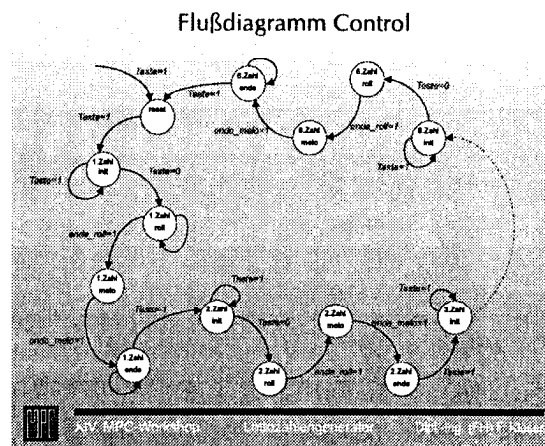


Abb. 2: Zustandsdiagramm Control

Im einzelnen sind dies die Zustände *init*, *roll*, *melo* und *ende*. Im Zustand *init* wird z.B. die entsprechende Melodie für die Ziehung der Zahl ausgewählt. Im nächsten Zustand *roll* wird der Ausrollvorgang und die eigentliche Ziehung der Zahl gestartet. Ist das Ende des Ausrollvorgangs erreicht, geht die FSM in den Zustand *melo* über, indem die entsprechenden Töne oder die Melodie erzeugt wird. Ist auch hier das Ende erreicht, wartet die Schaltung im Zustand *ende* auf eine erneute Betätigung der Taste. Dieser Vorgang wiederholt sich, bis schließlich alle 6 Zahlen bestimmt wurden.

Melody

Wie im Blockschaltbild (Abb. 3) der Einheit MELODY zu erkennen ist, wurde diese in zwei Blöcke aufgeteilt, da die Erzeugung des „Klicks“ beim Ausrollvorgang mit einem NCO und einer FSM zu aufwendig gewesen wäre.

Bei jeder Zustandsänderung des Zufallsgenerators (Zähler mit One-Hot-Codierung) wird mit Hilfe der Einheit CLICK für 2 ms ein Signal mit 4 kHz an den Ausgang **Fout** angelegt. Dieses Signal erzeugt im Schallwandler ein kurzes Klickgeräusch.

Für die eigentliche Erzeugung der Töne und der Melodie sind die Einheiten MELOCTRL und NCO zuständig. Tritt ein Startsignal an der Einheit MELOCTRL auf, werden verschiedenen Bit-Vektoren mit einem Takt von 10 Hz an den NCO angelegt.

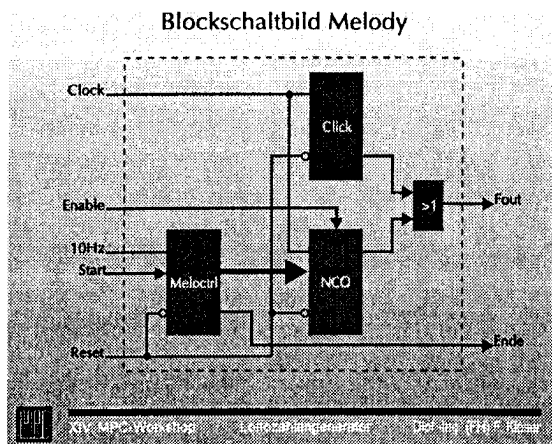


Abb. 3: Blockschaltbild Melody

Der NCO wiederum erzeugt aus den Bit-Vektoren eine dazu proportionale Frequenz. Diese wird wieder über den Ausgang **Fout** an den Schallwandler gegeben. Nun ist es möglich, mit zusätzlichen Steuerleitungen die FSM MELOCTRL so zu steuern, daß verschiedene Bit-Vektoren-Sequenzen an den NCO angelegt und somit verschiedene Tonfolgen mit Hilfe des NCO erzeugt werden. Aus Abb. 4 ist der prinzipielle Aufbau des NCO zu erkennen.

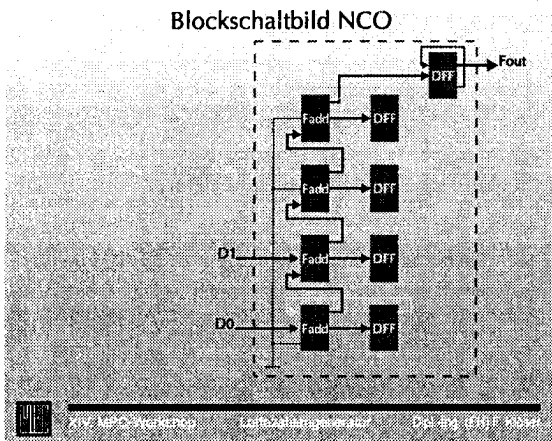


Abb. 4: Blockschaltbild NCO

Der NCO ist eigentlich ein Addierer, bei dem das Ergebnis zwischengespeichert und wieder auf den Eingang des Addierers gegeben wird. Dies bedeutet, daß ein bestimmter Eingangswert bei jedem Takt auf sich selbst aufaddiert wird. Nach einer bestimmten Anzahl von Takten wird der Wertebereich des Addierers überschritten und ein **Carry** tritt am Ausgang des Addierers auf. Dieses Signal wird dazu benutzt, bei jedem Überlauf ein Flip-Flop zu toggeln. Dabei entsteht eine symmetrische Frequenz am Ausgang des Flip-Flops. Diese

Frequenz ist proportional zum Eingangswert des Addierers, da für einen „großen“ Eingangswert weniger Takte notwendig sind, bis es zu einem Überlauf kommt als bei einem „kleinen“ Eingangswert. Damit wird das Flip-Flop öfter getoggelt und somit eine größere Frequenz am Ausgang des Flip-Flops erzeugt. Der Eingangswert DATA für eine gewünschte Frequenz am Ausgang des NCO läßt sich mit Hilfe folgender Formel bestimmen:

$$DATA = \frac{2^N \cdot f_{ton}}{f_{osz}}$$

wobei N die Bitbreite und f_{osz} die Taktfrequenz des Addierer sind und f_{ton} die gewünschte Ausgangsfrequenz.

Rollout

In der Einheit ROLLOUT erfolgt die Generierung des Ausrollvorgangs mit den Blöcken COUNTER und NCO. Weiterhin enthält die Einheit die Blöcke SHIFTER (Zufallsgenerator) und den Block MUX (Multiplexer) zur Ansteuerung der LED-Matrix. Der Ablauf wird mit Hilfe der Einheit ROLLCTRL gesteuert und überwacht. In Abb. 5 ist das Blockschaltbild der Einheit ROLLOUT dargestellt.

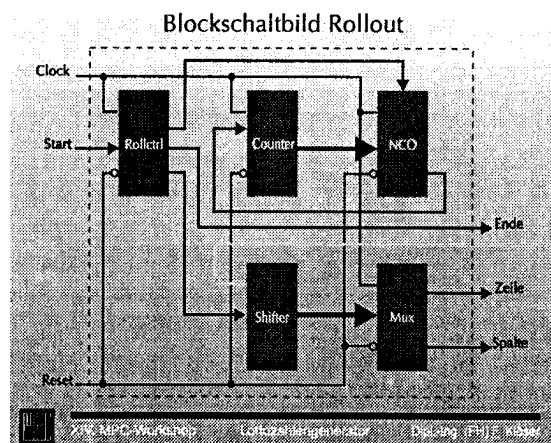


Abb. 5: Blockschaltbild Rollout

Wird die Taste des Lottozahlengenerators betätigt, wird ein Startsignal an der Einheit ROLLCTRL erzeugt. Solange die Taste gedrückt ist, wird über eine Steuerleitung alle Eingänge des NCOs auf logisch „1“ gelegt. Somit entsteht am Ausgang des NCOs eine maximale Frequenz von 16 kHz bei einer Primärtaktfrequenz von 32 kHz. Beim

Loslassen der Taste setzt der Ausrollvorgang ein. Nun wird an den Eingang des NCOs der Ausgang des COUNTERs gelegt. Dieser COUNTER ist ein Rückwärtszähler und wird mit jedem Überlauf des NCOs dekrementiert. Der Eingangswert des NCOs wird somit stetig verringert und somit verlängert sich die Zeit bis der COUNTER wieder dekrementiert wird. Somit entsteht am Ausgang des NCOs eine Frequenz die stetig mit einer Exponentialfunktion bis auf Null verringert wird. Mit dieser Frequenz wird die Einheit SHIFTER getaktet. Die Einheit SHIFTER ist ein Zähler von 1 bis 49 mit One-Hot-Codierung. Dies bedeutet, daß jeder Zählerzustand durch ein Flip-Flop realisiert wird. Grund hierfür ist, daß bei Beendigung des Ausrollvorgangs der Zählerzustand zwischen-gespeichert und das entsprechende Flip-Flop aus der Zählerkette herausgenommen wird. Dies ist notwendig, da eine bereits ermittelte Zahl nicht erneut gezogen werden darf. Die Einheit MUX (Multiplexer) dient anschließend dazu den 49 bit breiten Vektor in eine 4x13 Matrix aufzulösen und die LEDs der Anzeige anzusteuern.

Layout

Das Design wurde erfolgreich mit Hilfe der ES2 1,0u Library geroutet. In Abb. 6 ist das Layout dargestellt.

Layout Lottozahlengenerator

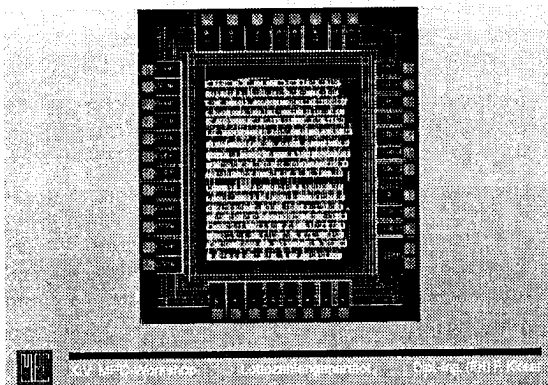


Abb. 6: Layout Lottozahlengenerator

In zwischen erfolgte ein Rerouting auf die ES2 ECPD 0,7 u-Bibliothek. Die Chipfläche beträgt bei Standardtechnologie ca. $7 \mu\text{m}^2$, der Chip ist Padbegrenzt. Ein Mappen auf andere Bibliotheken wie z.B. auf Gate-Arrays ist leicht möglich.

Zusammenfassung

Mit Hilfe der Schaltung ist es möglich, 6 verschiedene Zahlen zufällig aus 49 Zahlen zu ermitteln. Bei der Ziehung der einzelnen Zahlen werden verschiedene Töne und Melodien erzeugt. Die Schaltung ist so konzipiert, daß eine einfache Bedienung möglich ist. Der Chip wurde als Standardzellen-Entwurf mit einer Fläche von ca. $7 \mu\text{m}^2$ geroutet.

Literaturverzeichnis

- ¹ D. Jansen, „Spezifikation Projekt Lottozahlengenerator“, Februar 1995
- ² J. Schweiker, „Entwicklung eines Einchip-Würfels in ES2-Standardzellentechnologie“, SS1993
- ³ U. von Heyne, H. Zwigart, „Entwicklung eines Einchip-Lottozahlengenerators in ES2-Standardzellentechnologie“, SS1995



Verbesserung einer digitalen Winkel- und Lagemeßschaltung

Carsten Löffler, Thomas Munz
Gerald Kampe, Werner Zimmermann
Fachhochschule für Technik Esslingen

1. Einleitung

Zur Lagemessung bei linearen oder rotatorischen Bewegungen, z.B. in Computer-Mäusen oder in Werkzeugmaschinen, werden heute bevorzugt Inkrementalgeber eingesetzt. Dabei kommen sowohl optische Geber mit 'Strichscheiben' und Lichtschranken als auch induktive Geber mit Zahnrädern zum Einsatz. Um mit diesen Gebern neben der Position auch die Bewegungsrichtung erfassen zu können, liefern die Geber in der Regel zwei um eine viertel Periode gegeneinander versetzte Signale.

Die von den Sensoren gelieferten Signale sind näherungsweise sinusförmig, werden aber wegen der einfacheren Signalverarbeitung häufig in Rechtecksignale umgeformt. Die gewünschte Lagemessung kann dann sehr einfach durch digitale Vor/Rückwärtszähler erfolgen. Da die Inkrementzahl der Geber aus mechanischen Gründen begrenzt ist, kann eine erheblich höhere Auflösung des Meßwerts nur erreicht werden, wenn die analogen sinusförmigen Signale direkt ausgewertet werden, anstatt lediglich deren Nulldurchgänge zu verwenden, wie dies bei der Umformung dieser Signale in Rechtecksignale geschieht. Die Bereitstellung eines digitalen Lagemeßwerts wird dabei allerdings erheblich aufwendiger.

Ein mögliches Meßprinzip arbeitet mit einer PLL-Schaltung (Bild 1), bei der über einen Regelkreis das von einem gesteuerten Oszillator erzeugte Quadratursignal $\sin\varphi$, $\cos\varphi$ dem Winkelgebersignal $\sin\alpha$, $\cos\alpha$ phasengetreu nachgeführt wird. Die 'Regeldifferenz' $u_M = \sin\alpha \cdot \cos\varphi - \sin\varphi \cdot \cos\alpha = \sin(\alpha - \varphi)$ wird dabei in einem Quadraturphasenvergleich gebildet. Bei geeigneter Auslegung erzwingt der Regler $u_M = 0$ und damit $\varphi \approx \alpha$, auch wenn $\alpha = \alpha(t)$ ein zeitlich veränderlicher Wert ist. Der Phasenwinkel φ des erzeugten Quadratursignals stellt damit den gewünschten Meßwert für den Phasenwinkel α dar.

Das Grundprinzip dieses Meßverfahrens sowie eine erste Umsetzung in eine digitale Schaltung wurde bereits in [1] vorgestellt. Als Werkzeuge wurden die VHDL-Umgebung und die Simulations- und Syntheseprogramme des MENTOR-CAE-Systems eingesetzt. Die gestellten Anforderungen (Bild 1) entsprechen einem Winkelmeßsystem mit einem Geber mit 1024 Inkrementen je Umdrehung bei einer maximalen Drehzahl von 10000 1/min. Als Winkelauflösung des Meßsystems waren $64 \cdot 1024$ Schritte je Umdrehung bei Maximaldrehzahl (=max. Ein-

gangsfrequenz der sinusförmigen Signale) schrittweise zunehmend bis zu $1024 \cdot 1024$ Schritte bei sehr niedrigen Drehzahlen gefordert. Bei Verarbeitung von Rechtecksignalen wäre dagegen lediglich eine Auflösung von $4 \cdot 1024$ Schritten je Umdrehung möglich. Der Meßgenauigkeit soll mindestens halb so groß sein wie die Auflösung, dh. mindestens 9bit je Inkrement des Winkelgebers bei niedrigen Frequenzen.

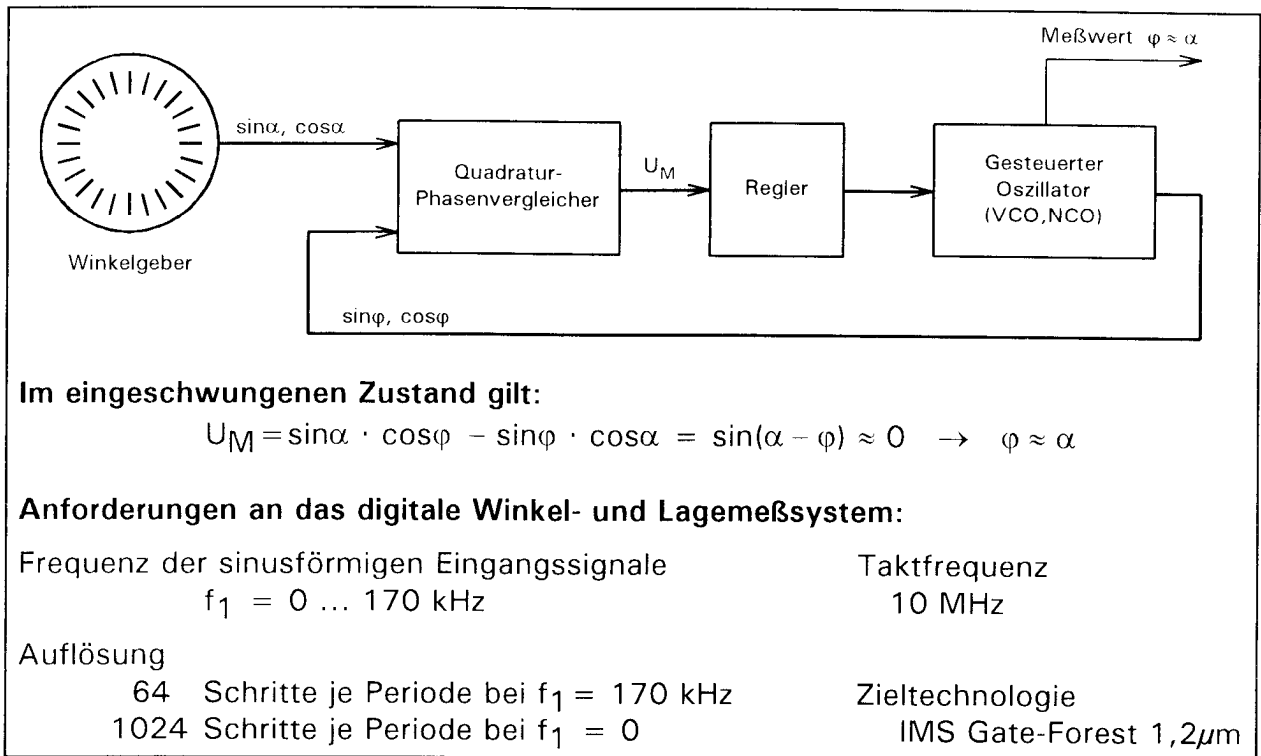


Bild 1 Grundprinzip des Winkelmeßsystems

2. Digitaler Phasenregelkreis

Im Phasenvergleichler müssen die Produkte $\sin\alpha \cdot \cos\phi$ und $\sin\phi \cdot \cos\alpha$ der beiden Quadratursignale $\sin\alpha$, $\cos\alpha$ und $\sin\phi$, $\cos\phi$ sowie deren Summe (bzw. Differenz) gebildet werden (Bild 2). Der digitale Schaltungsaufwand für die beiden Multiplikationen wird deutlich reduziert, wenn lediglich die Signale $\sin\phi$, $\cos\phi$ als n bit breite digitale Parallelworte vorliegen und die Sensorsignale $\sin\alpha$, $\cos\alpha$ als 1 bit breite serielle Datenströme (Bitstrom) verarbeitet werden. Dies vereinfacht auch die Analog-Digitalumsetzung der ursprünglich analogen Sensorsignale. Statt schneller paralleler A/D-Umsetzer sind lediglich 1-bit-Umsetzer erforderlich, wie sie in Form von Sigma-Delta-Umsetzern auch in digitalen Schaltungstechnologien verhältnismäßig einfach hergestellt werden können. (Bemerkung: Die Sigma-Delta-Umsetzer wurden als Verhaltensmodell in VHDL beschrieben, aber nicht synthetisiert).

Der steuerbare Oszillator wird durch einen Vor-Rückwärtszähler mit fester Taktfrequenz realisiert, der ein Sinus-Cosinus-ROM ansteuert. Die Zählrichtung wird durch einen Zweipunktreg-

ler (Komparator) 'moduliert' und dadurch die (mittlere) Zählfrequenz eingestellt. Die Regeldifferenz $\sin(\alpha-\varphi)$ muß aufgrund der '1-bit-Multiplikation', die durch einfache XOR-Glieder realisiert wird, vor dem Zweipunktregler noch tiefpaßgefiltert werden. Die Taktfrequenz f_T des Zählers, die auch der Taktfrequenz der Sigma-Delta-Umsetzer entspricht, muß dabei stets größer sein als das Produkt aus Eingangsfrequenz f_1 und gewünschter Auflösung N . Aus diesem Grund wird die Zählerschrittweite und damit die Auflösung von $N=1024$ bei kleinen Eingangsfrequenzen in 2er-Stufen bis auf $N=64$ bei großen Eingangsfrequenzen reduziert.

Der Zählerstand φ des Vor-Rückwärtszählers stellt gleichzeitig den gewünschten digitalen Meßwert für die Winkelposition α dar.

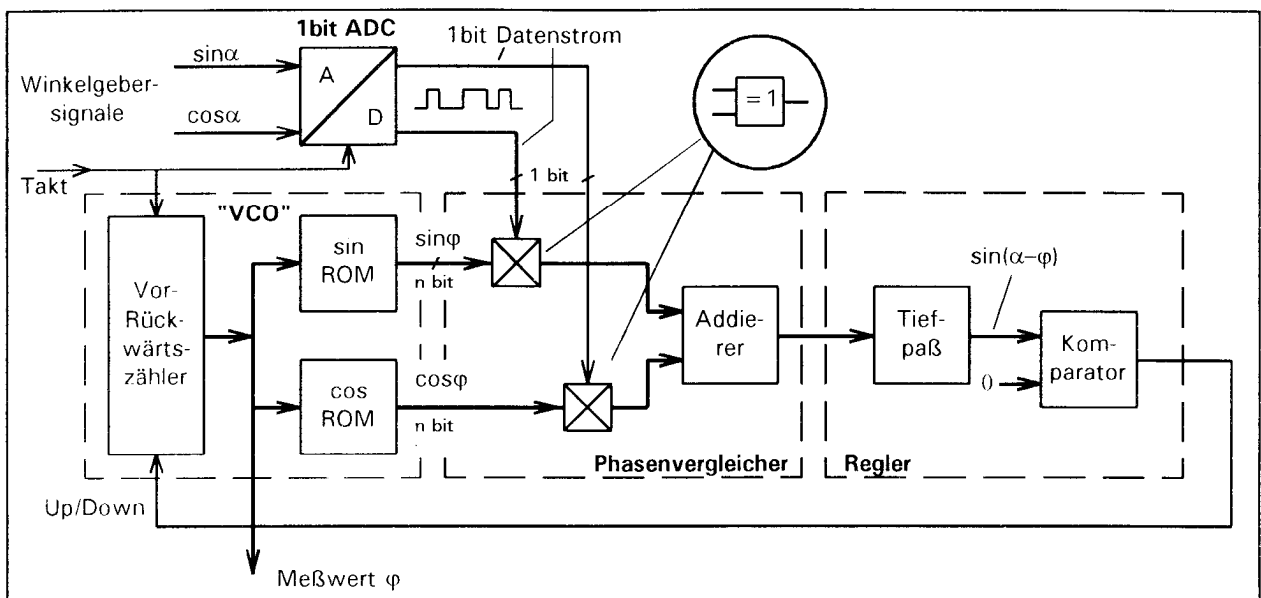
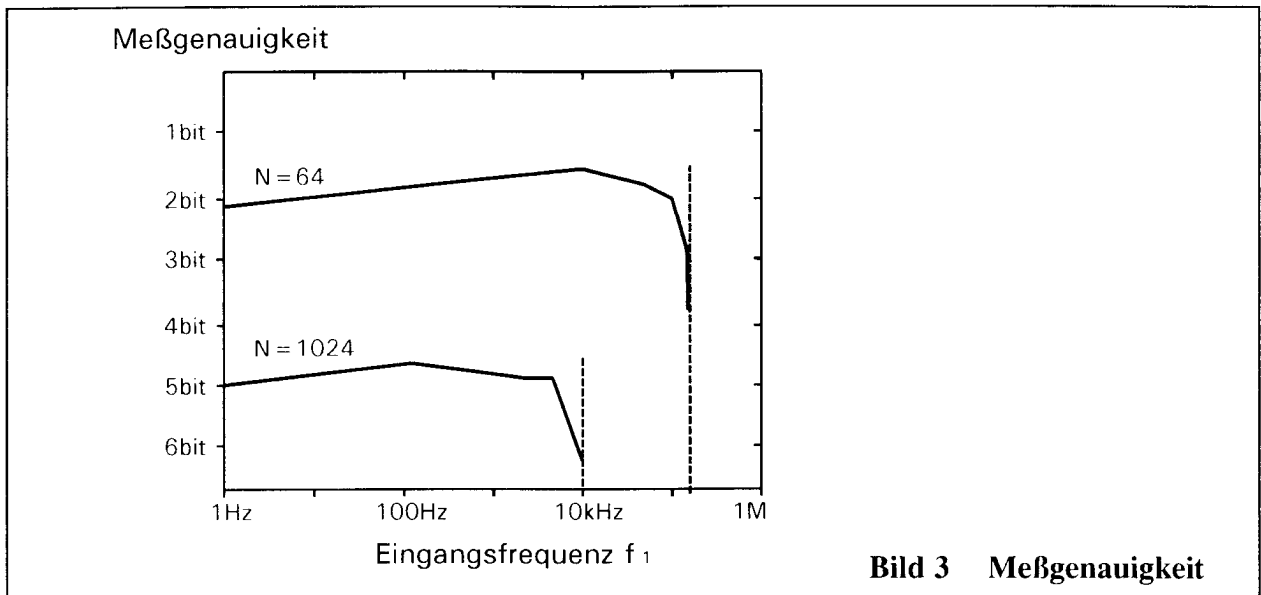


Bild 2 Schaltungskonzept

3. Probleme des ursprünglichen Schaltungskonzepts

Der Regelkreis nach Bild 2 erreicht die in Bild 3 dargestellte Meßgenauigkeit und verfehlt mit einem Wert von etwa 5bit bei niedrigen Eingangsfrequenzen das Ziel von 9bit deutlich. Ursachen hierfür sind einerseits die Darstellung der Gebersignale $\sin\alpha$ und $\cos\alpha$ als 1bit-Datenströme und andererseits die nur deshalb notwendige Tiefpassfilterung innerhalb des PLL-Regelkreises, die beide zu einem schwankenden, 'verrauschten' Meßwert führen. Eine theoretische Untersuchung mit regelungstechnischen Methoden zeigt widersprüchliche Anforderungen (Bild 4). Im Hinblick auf die 1bit-Datenströme sollte die Filterzeitkonstante möglichst groß sein, um die hierdurch verursachte Schwankungsbreite zu reduzieren. Andererseits erhöht eine große Zeitkonstante die Amplitude des stationären Grenzyklus, die der Zweipunktregelkreis im eingeschwungenen Zustand ausführt.



Als zusätzliches Problem ergibt sich, daß das im Regelkreis liegende ROM, das eine Sinus- und eine Cosinustabelle enthalten muß, wegen der erforderlichen Größe in einer Gate-Array-Technologie nicht oder zumindest nicht wirtschaftlich sinnvoll realisiert werden kann. Bei einem externen ROM dagegen muß mit Zugriffszeiten im Bereich von 100ns gerechnet werden, so daß sich die Verzögerung im Regelkreis nochmals erhöht und die Meßgenauigkeit weiter verschlechtert.

Probleme des Schaltungskonzepts

Genauigkeit nicht ausreichend

- Ursachen:
1. Verzögerungen durch Abtastung und Tiefpaß in der Regelschleife
 2. Ripple durch die 1-bit-Datenströme
 3. Taktfrequenz durch Zugriffszeit des ROMs begrenzt

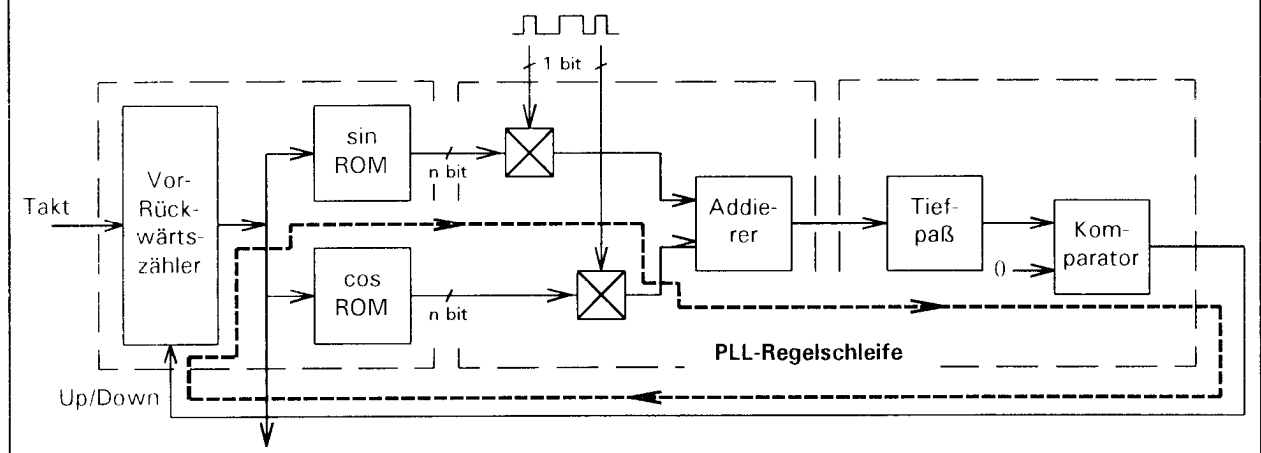


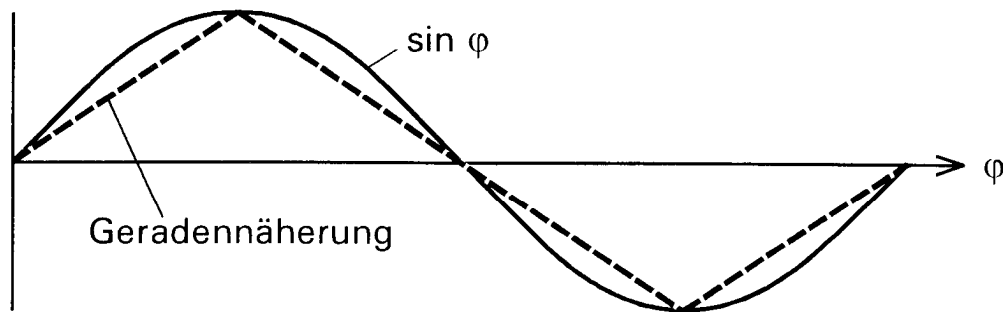
Bild 4 Probleme des ursprünglichen Schaltungskonzepts

4. Verbesserung des Schaltungskonzepts

Das ROM kann vermieden werden, wenn die Sinus- und die Cosinusfunktion durch Geraden angenähert werden (Bild 5). Die bei dieser Realisierung entstehende "Verzerrung" des Meßwertes kann durch eine "Entzerrerkennlinie" korrigiert werden. Die Entzerrung findet sinnvoll

Problemlösung:

- Geradennäherungen statt Sinus- und Cosinusfunktion
 - ROM kann entfallen → reduziert Verzögerung in der Regelschleife
 - Verzerrung des Meßwerts → Entzerrung (außerhalb der Regelschleife)



- Zusätzliche Filterung außerhalb der Regelschleife

Bild 5 Ansatz zur Verbesserung der Meßgenauigkeit

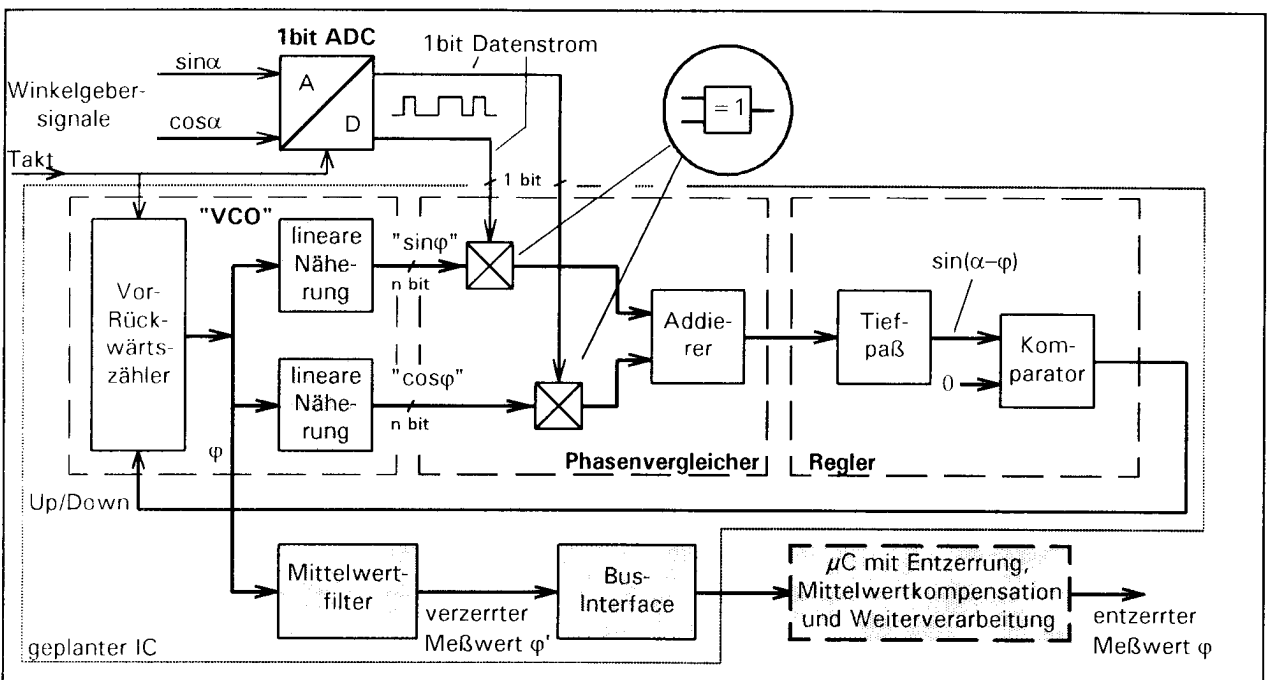


Bild 6 Verbessertes Schaltungskonzept (neue Schaltungsteile grau hinterlegt)



erweise in einem Mikroprozessor statt, der in der Regel ohnehin zur Weiterverarbeitung des Meßwertes benötigt wird (Bild 6). Da der Mikroprozessor außerhalb der Regelschleife liegt, darf er mit einer wesentlich kleineren Abtastrate arbeiten als die PLL-Regelschleife.

Eine deutliche Verbesserung der Meßgenauigkeit ist nun möglich, da die Verzögerungen innerhalb des Kreises verringert wurden und dafür außerhalb des Kreises eine weitere Tiefpaßfilterung vorgesehen wird. Dieses Filter reduziert die Schwankungsbreite, dh. das 'Meßrauschen', erheblich. Gleichzeitig entsteht allerdings ein zur Eingangsfrequenz und der Zeitkonstante dieses Tiefpasses näherungsweise proportionaler Mittelwertfehler, der aber im Mikroprozessor ebenfalls einfach kompensiert werden kann.

5. Ergebnisse

Die Schaltung wurde in VHDL beschrieben, mit Mentor QuickVHDL bzw. der kompatiblen Version VSystem/Windows simuliert und mit Mentor Autologic in die Zieltechnologie IMS Gate Forest 1.2 μ m synthetisiert (Bild 7).

Syntheseergebnisse IMS 1,2 μ m

- Breite der Datenpfade noch nicht optimiert
- Direkte Synthese in die Zieltechnologie mit einmaliger Optimierung

	Gatterzahl	Verzögerungszeit
Regelschleife "VCO"- Phasenvergleichs- Regler	12000	125 ns
Mittelwertfilter	2000	50 ns

Bild 7 Ergebnisse der Schaltungssynthese

Die Schaltung erweist sich weiterhin als zeitkritisch. Die Gesamtverzögerungszeit innerhalb der Regelschleife beträgt ca. 125ns (Worst Case), so daß der Kreis bei einer Taktperiode von 100ns in einer zweistufigen Pipeline-Struktur realisiert werden muß. Wie die Simulationsergebnisse in Bild 8 und die Darstellung des Meßfehlers in Bild 9 zeigen, kann durch die zusätzliche Filterung außerhalb des Regelkreises aber trotzdem die gewünschte Genauigkeit von bis zu 9bit bei niedrigen Eingangsfrequenzen erreicht werden.

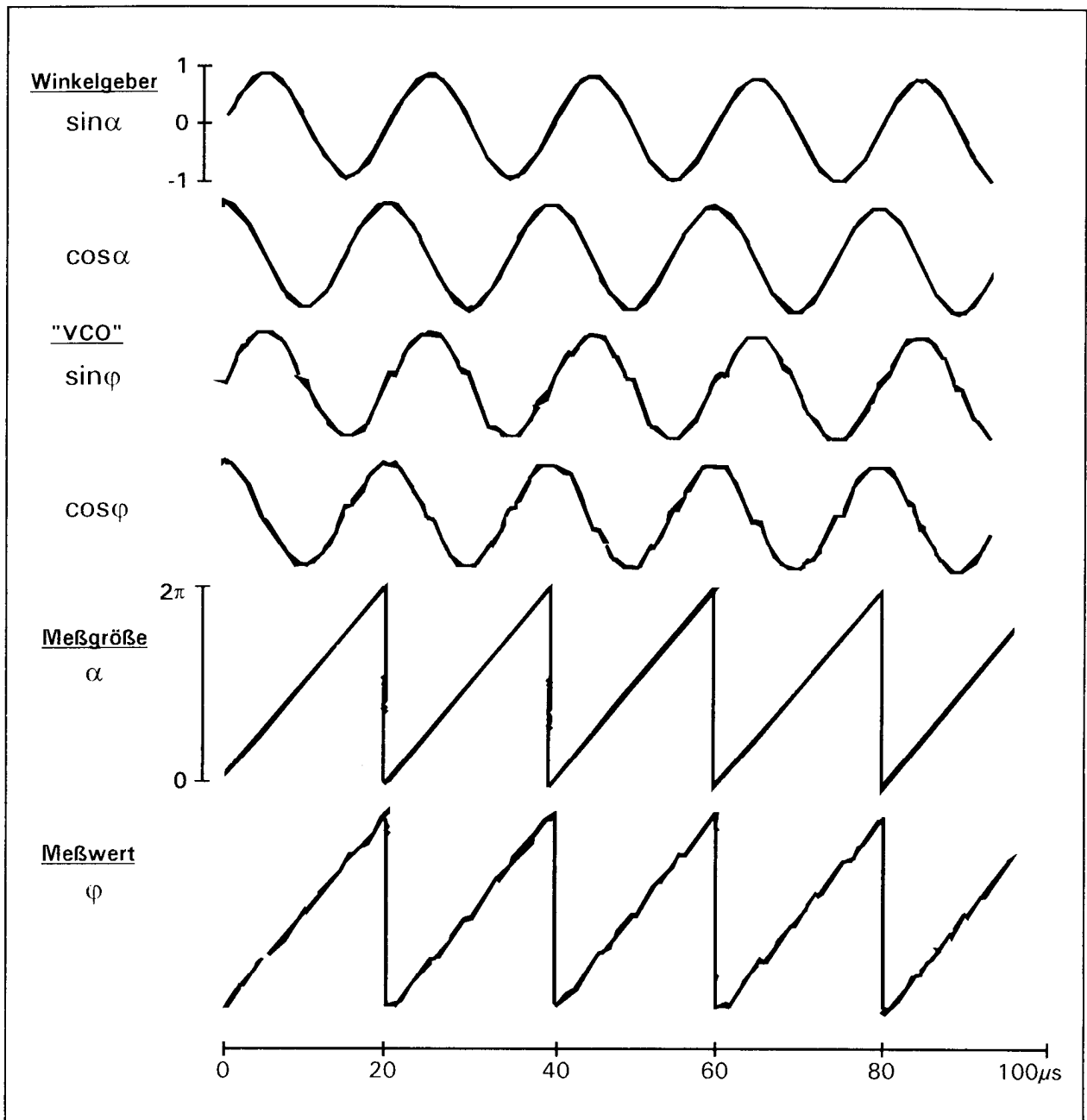


Bild 8 Simulationsergebnisse
(Eingangsfrequenz $f_1 = 50\text{kHz}$, Auflösung $N = 128$)

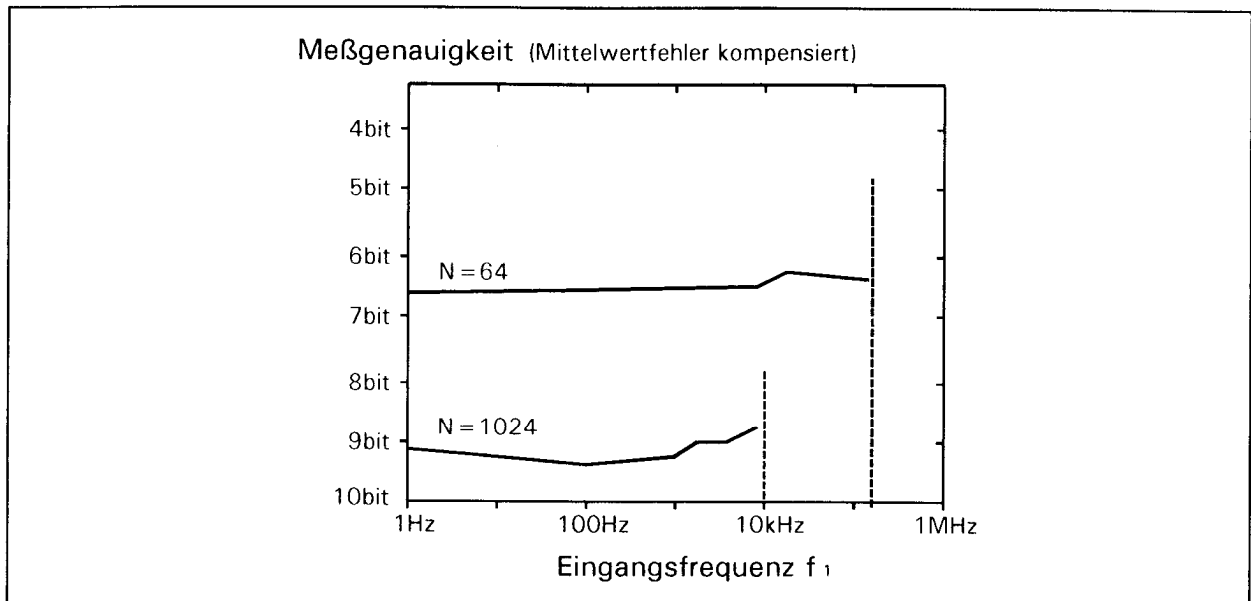
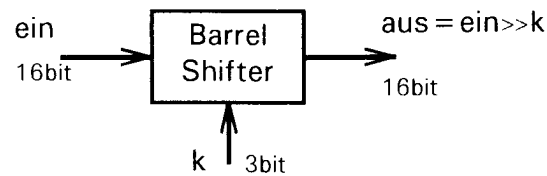


Bild 9 Meßgenauigkeit des neuen Schaltungskonzepts

Bei der Erstellung der Schaltungsbeschreibung wurde der Entwurf ausgehend von algorithmischen Beschreibungen schrittweise verfeinert. Je hardwarenäher die Beschreibung ausgeführt wurde [2], desto besser waren die Syntheseresultate, wie am Beispiel eines Barrel Shifters gezeigt werden kann (Bild 10). Ein derartiger Barrel Shifter wird in den beiden Tiefpaßfiltern jeweils in zweifacher Ausführung benötigt, um deren Zeitkonstante in Abhängigkeit von der Auflösung umzuschalten. Der Barrel Shifter soll das Eingangswort um eine durch die Steuergröße k vorgebbare Stellenzahl nach rechts verschieben. Die algorithmische Beschreibung als FOR-Schleife mit variablem Schleifenendwert ist gar nicht synthetisierbar, die Lösung mit festem Schleifenendwert und IF-Abfrage der Steuergröße benötigt eine unverhältnismässig lange Synthesedauer und führt zu einem extremen Flächenbedarf. Erst die hardwarenahe Beschreibung als gesteuerter Multiplexer mit einer CASE-Struktur ergibt eine brauchbare Lösung.

6. Zusammenfassung

Im Rahmen von zwei Diplomarbeiten [3,4] wurde das Schaltungsprinzip eines digitalen Winkel- und Lagemeßsystems auf Basis eines phasenstarrten Regelkreises soweit verbessert, daß die geforderte Meßgenauigkeit von 9bit je Inkrement des Winkelgebers bei niedrigen Eingangsfrequenzen erreicht wurde. Die Schaltung liegt als VHDL-Beschreibung und synthetisierte Netzliste vor. Nach der Verfügbarkeit der IMS Gate Forest $0,8\mu\text{m}$ Technologie wird die Schaltung nochmals synthetisiert und anschließend am Institut für Mikroelektronik Stuttgart gefertigt werden.



VHDL-Code	relativer Flächenbedarf
<u>FOR-Schleife mit variablem Schleifenendwert</u> FOR i IN ein'LEFT-1-k DOWNTO 0 LOOP ... END LOOP;	nicht synthetisierbar
<u>FOR-Schleife mit festem Schleifenendwert und IF-Abfrage</u> FOR i IN ein'LEFT-1 DOWNTO 0 LOOP IF k = 2 THEN ... ELSIF k = 3 THEN END IF; END LOOP;	790 %
<u>CASE-Abfrage</u> CASE k IS WHEN '2' => ... WHEN '3' => END CASE;	100 %

Bild 10 VHDL-Beschreibungsstil und Synthesergebnis

Literatur

- [1] Kröner, M.; Meybohm, A.; Kampe, G.; Zimmermann, W.: VHDL-Entwurf und Synthese einer PLL- Schaltung zur digitalen Lagemessung. MPC Workshop Mannheim, Sommer 1994
- [2] Mentor Graphics: AutoLogic VHDL Synthesis Guide; VHDL Style Guide for AutoLogic II. Handbücher zum Mentor CAE-System, 1993, 1994
- [3] Munz, T.: Schaltungsentwurf und Untersuchung eines digitalen Winkelmeßverfahrens mit VHDL. Diplomarbeit, Fachhochschule für Technik Esslingen, Winter 1995/96
- [4] Löffler, C.: Logiksynthese und Optimierung einer digitalen Schaltung zur Winkelmesung in VHDL. Diplomarbeit, Fachhochschule für Technik Esslingen, Winter 1995/96