

# Prozessorentwicklung im ASIC-Design-Center

**Prof. Dr.-Ing. Dirk Jansen**  
Fakultät Elektrotechnik  
und Informationstechnik (E+I)  
Leiter Institut für Angewandte  
Forschung (IAF)

Badstraße 24, 77652 Offenburg  
Tel. 0781 205-267  
E-Mail: d.jansen@hs-offenburg.de

**1948:** Geboren in Wuppertal  
**1967:** Nach dem Abitur Studium der Elektrotechnik  
an der TH Darmstadt zum Diplom-Ingenieur  
**1972:** Wissenschaftlicher Mitarbeiter von Prof. Ramsayer  
im Institut für Flugnavigation der Universität Stuttgart  
**1978–1986:** Industrietätigkeit beim Bodenseewerk  
Gerätetechnik GmbH  
**Seit 1986:** Professur an der Hochschule Offenburg; Reorganisation  
der Laboratorien Bauteile der Elektrotechnik, Optoelektronik,  
SMD-Technik und Schaltungstechnik, ASIC Design Center 1989  
**Seit 1995:** Leiter des Instituts für Angewandte Forschung  
der Hochschule Offenburg, Mitglied in den Senatsausschüssen EDV  
und Forschung. Sprecher der Multi Project Chip-Gruppe (MPC)  
der Hochschulen Baden-Württembergs, Member IEEE, VDE, europractice



**Forschungsgebiete:** Entwurf integrierter Anwenderschaltungen, Hardware/Software-Codesign, integrierte Prozessorkerne, Hochsprachenentwurf digitaler Schaltungen (VHDL), Logiksynthese, induktive Datenübertragung

## 1.1 Prozessorentwicklung im Asic-Design-Center

Prof. Dr.-Ing. Dirk Jansen  
Sebastian Stickel, M.Eng.  
Benjamin Dusch, M.Eng.  
Manuel Roth, M.Eng.  
Michael Schmidt, M.Eng.

### Abstract

The research group of Prof. Jansen is working since many years on microprocessor architecture design and achieved until now the foundation of the family of SIRIUS – Processor soft cores, now with the family members TINY, JANUS and HULK, standing for 16 bit, 16/32 bit and 32 bit architecture RISC designs. The processors are evaluated on FPGA in various configurations as well in Silicon Chip Design, where high performance was achieved. The family members are compared to commercial cores, using the widely spread coremark benchmark.

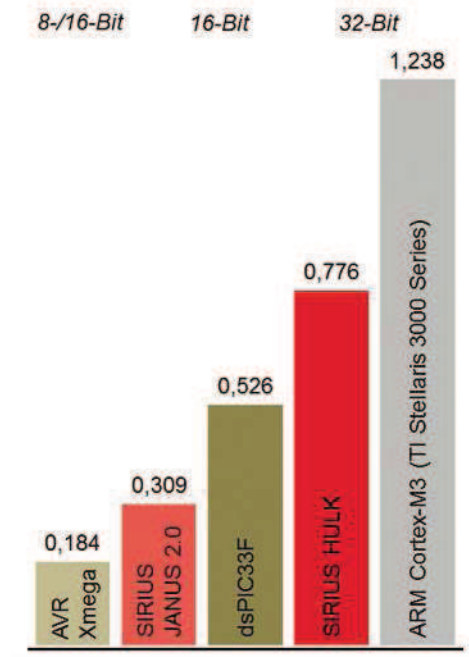
Am Institut für Angewandte Forschung wird seit Jahren eine Mikroprozessorfamilie unter dem Kurznamen SIRIUS entwickelt, die inzwischen in verschiedenen Applikationen eingesetzt wird und in hohem Maß nun auch kommerziell interessant wird. Im Mittelpunkt der Arbeiten des letzten Jahr stand die Ausreifung der Strukturen, wobei zum ersten Mal auf Benchmarks zurückgegriffen werden konnte, die einen direkten Vergleich der Leistungsfähigkeit von Prozessoren ermöglicht. Als Benchmark

**Abb. 1.1-1:** CoreMark-Vergleiche der an der Hochschule Offenburg entwickelte Prozessoren SIRIUS-JANUS und SIRIUS-HULK, alle mit gleichem Benchmarkprogramm getestet

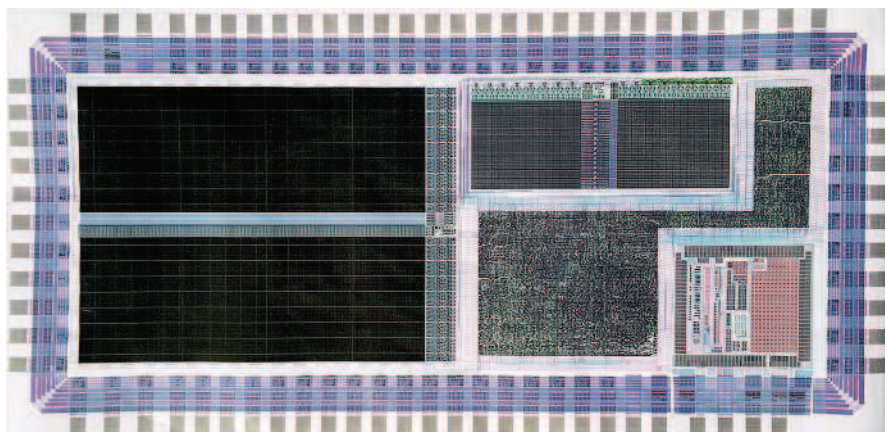
wurde in einer Master-Arbeit von Herrn Roth der Core-Mark Benchmark für unsere SIRIUS-Architektur übersetzt, der einen direkten Vergleich mit sehr leistungsfähigen Boliden wie der ARM-Cortex-Architektur aber auch klassischen kommerziellen Produkten von Renesas wie auch von ATMEL ermöglicht [1].

Für diese drei Prozessoren wurde, insbesondere für die Mischarchitektur SIRIUS-JANUS, einem 16/32-bit-Prozessorkern, ein Core-Mark-Wert von 0,31 ermittelt,

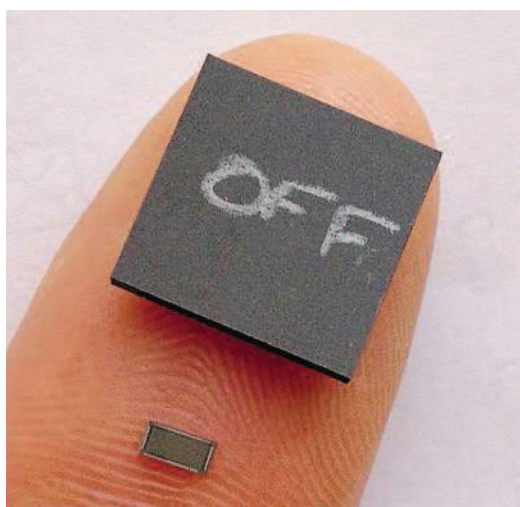
### CoreMark / MHz



der vollständig vergleichbar ist mit aktuellen kommerziellen Prozessoren ähnlicher Architektur. Für den SIRIUS-HULK, einem reinen 32-bit-Prozessor mit Cache und Harvard-Architektur, konnte ein Core-Mark von 0,78 ermittelt werden, was nicht mehr weit von den modernsten auf dem Markt angebotenen Architekturen entfernt ist. Das Säulendiagramm in Abbildung 1.1-1 zeigt einen Vergleich über die Position unserer Prozessoren zu vergleichbaren kommerziellen Typen.



**Abb. 1.1-2:** Plott der Strukturen des ASIC-PDA V2, in einer UMC 0.18  $\mu\text{m}$  CMOS 1P6M-Technologie, Abmessung des Chips 1,52 x 3,16 mm<sup>2</sup>, 241 MIPS, Entwurf Benjamin Dusch u. a.



**Abb. 1.1-3:** PDA V2 ASIC, nackter Chip und im Package. Der Chip enthält Prozessorkern SIRIUS-JANUS, 32 kByte RAM (IP von UMC), 36 kByte ROM (IP von UMC), Displaysteuerung, Steuerung für einen extern anzuschließenden RAM, AHI Audioeinheit, SPI Controller, drei Timer, PLL (IP von UMC) mit Steuerlogik, Boundary Scan Testlogik (JTAG) mit integrierten Scan Chain

Beim Core-Mark-Benchmark wurde zum ersten Mal deutlich, wie stark die Compiler Tool Chain die Leistungsfähigkeit der Prozessoren beeinflusst; d. h. letztlich, wie effizient der Compiler den gegebenen C-Code in ein ausführbares Maschinenprogramm übersetzt. Die meisten kommerziellen Compiler verwenden heute den GNU-GCC C-Compiler, der über zahlreiche Optimierungsmöglichkeiten des Codes verfügt. In Vergleichsläufen haben wir festgestellt, dass diese Optimierungsmechanismen bis zu 50 % Performancesteigerungen in den Benchmarks erlauben.

Für unseren Prozessor steht derzeit nur der selbst strukturierte re-targetable Compiler LCC (Little C-Compiler) zur Verfügung, der über praktisch keine Optimierungsmöglichkeiten verfügt (bisher noch nicht). Deshalb ist der Vergleich zwischen den Benchmarkergebnissen unserer Prozessoren mit kommerziellen Designs immer noch hinkend. Es wird

deshalb Aufgabe der nächsten Zeit sein, auch für unsere Architektur die Optimierungsmöglichkeiten aktueller Compiler zu erschließen.

Wir versprechen uns hiervon eine Steigerung der Performance um bis zu 40 Prozent.

Die Analyse der Benchmarks hatte auch direkte Auswirkungen auf die Auslegung der Instruktionsarchitektur ISA des HULK-Prozessors, wo wir durch Ergänzungen und kleinere Erweiterungen noch erhebliche Performancesteigerungen realisieren konnten. Auch hier ist noch nicht das Ende erreicht. Die weiteren Analysen ermöglichen noch Verbesserungen, wobei hier ein enges Zusammenspiel zwischen Compiler, Assembler und Hardwarearchitektur vorliegt. Durch Abstimmung dieser drei Ebenen ist noch eine weitere Leistungssteigerung erreichbar. Alle diese Tätigkeiten erfordern eine große umfassende Sicht auf die Prozessorentwicklung, wo-

bei hier Hard- und Software miteinander gemeinsam optimiert und weiterentwickelt werden müssen. Dieses Arbeitsgebiet ist unter Hard- und Software-Code-design ein aktuelles Forschungsthema.

Weitere Fortschritte wurden durch das Re-Design eines schon vor einem Jahr entwickelten Mikroprozessorchips für unseren Personal-Digital-Assistent (PDA) erzielt. In diesem Gerät wird der SIRIUS-JANUS mit statischen Speichern eingesetzt, was einen extrem niedrigen Stromverbrauch ermöglicht. Der Prozessorkern ist als ASIC in 0,18- $\mu\text{m}$ -CMOS-Technologie ausgeführt, siehe Abbildung 1.1-2. Durch Ausnutzen dieser Technologie, moderner Syntheseverfahren und zahlreicher Optimierungsschritte konnte die Performance dieses Designs auf etwa 250 MIPS (million instructions per second) gesteigert werden. Der eigentliche Prozessor ist nur ca. 0,25 mm<sup>2</sup> groß. Der größte Teil des Chips wird vom RAM-Speicher und dem zum ersten Mal verwendeten ROM-Speicher eingenommen. Nur der Zwischenraum zwischen den beiden Speichern wird von hoch dicht platzierter digitaler Logik eingenommen, die den eigentlichen Prozessor und die zugehörigen Peripherie-Bausteine enthält. Der Chip wurde inzwischen von UMC gefertigt und wird in der nächsten Generation des PDAs eingesetzt werden, Abbildung 1.1-3. Gegenüber der alten Version ergibt sich eine Vervierfachung der Rechenleistung.

Wir haben inzwischen die Möglichkeit, diesen Chip auch in einer noch kleineren z. B. 90 nm-Technologie oder noch darunter zu fertigen, was die Leistungswerte vor allem bezüglich der Taktfrequenz und Stromaufnahmen noch wesentlich verbessern würde. Allerdings sind die Fertigungskosten wesentlich höher und derzeit im Rahmen eines Studentendesigns nicht tragbar. Dies ist zu berücksichtigen, wenn unsere Designs mit kommerziellen Systemen unmittelbar verglichen werden.

Auch am Prozessorkern SIRIUS-HULK wurde konsequent weitergearbeitet mit dem Ziel einer Ausreifung und Optimierung der Instruktionsarchitektur. So konnte in der Master-Arbeit von Herrn Schmidt der Prozessorkern an einem weitverbreiteten Standardbus angeschlossen werden, so dass die verfügbaren DMA-Controller und sonstigen



Mechanismen problemlos in abstrakter Weise eingesetzt werden konnten [2]. Diese Entwicklungen erfolgten auf FPGAs von Altera, besonders dem CYCLONE IV. Von Sebastian Stickel wurde noch eine MMU (Memory Management Unit) beigefügt, die nun eine segmentierte Speicherverwaltung und ein modernes Exception-Handling ermöglicht. Das System wurde auf FPGA emuliert und ermöglicht mit dem Avalon-Bus nun den Anschluss von RAM-Speichern und Flashbausteinen wie auch kommerzieller IPs, wie sie im ALTERA-Portfolio angeboten werden. Damit hat der SIRIUS-HULK die Möglichkeit, ähnlich wie der von ALTERA angebotene NIOS II, in komplexen FPGA-Designs verwendet zu werden. In der Master-Arbeit wurde auch die Einbindung in die Konfigurationstools von ALTERA umgesetzt, sodass ein einfaches Handling der Kerne nun möglich geworden ist. Bei Bedarf könnte hier auch leicht ein Multicore mit z. B. 4 oder 8 HULK-Kernen generiert und in Funktion gebracht werden. Allerdings wäre noch einige Arbeit notwendig, ein solches High-Performance-System sinnvoll zu programmieren und zu nutzen.

#### Referenzen

- [1] Roth Manuel: Redesign und Optimierung eines 16/32 Bit Mikroprozessorkern „SIRIUS JANUS 2.0“ in formal abstrakter Codierung sowie Verifikation eines Altera Cyclone FPGA, Master-Arbeit an der Hochschule Offenburg, April 2012
- [2] Schmidt Michael: Integration des Altera Avalon Bussystems in einen 32-Bit-Softcore mit Harvard-Architektur und Dual Cache sowie Verifikation in einem Altera FPGA. Master-Arbeit an der Hochschule Offenburg, April 2012
- [3] Dusch Benjamin: Entwicklung eines 16/32-bit-Prozessorkerns für einen PDA mit JTAG-Schnittstelle und Fertigung in einer 0.18 µm-Technologie, Vortrag auf dem 46. MPC-Workshop in Furtwangen, 08.07.2011
- [4] Stickel Sebastian: 32 Bit Softcore Sirius Hulk mit Harvard-Architektur und Double Cache, Vortrag auf dem 45 MPC-Workshop in Albstadt-Sigmaringen, 04.02.2011

## 1.2 Projekte aus dem Bereich der Medizintechnik

Prof. Dr.-Ing. Dirk Jansen  
 Mayukh Bhattacharyya, M.Sc.  
 Corinna Hummel, M.Eng.  
 Dipl.-Ing (FH) Alexander Riske  
 Tobias Volk, M.Eng.  
 Grünwald Waldemar, M.Eng.

#### Abstract

*Design of medical electronics is performed in several projects, concentrating on electronics for medical implants. In the project TeleMed, the control and communication electronics for an infusion pump, which is completely encapsulated in a titan-housing, is under development. The frontend uses a microelectronic ASIC, developed in Offenburg, so the electronic could be made very small and low power. The project µTRANS intends to develop an implant for capturing and telemetry the physiological parameters of small animals, using classical RFID technology. Both projects are on research level, the students are working on their Phd.*

#### Elektronischer Reader für RFID-Tags mit Bluetoothschnittstelle

Das Institut für Angewandte Forschung arbeitet seit Jahren an RFID-Applikationen unter Verwendung des Protokolls nach ISO15693-Standard. Wir entwickeln in dem Zusammenhang sowohl Frontendelektronik als auch Reader, die es ermöglichen, diese Tags auszulesen. Projekte der vergangenen Jahre waren sowohl SEAGsens als auch medizintechnische Anwendungen unterschiedlichster Art.

nische Anwendungen unterschiedlichster Art.

Im Bereich der Reader wurde, um hier auch unabhängig von kommerziellen Systemen zu sein, ein eigenes System aufgebaut, das bisher ausschließlich mit Flachspulen-Antennen arbeitet. Als Alternative wurde in einer Master-Arbeit von M.Eng. Corinna Hummel ein RFID-Reader entwickelt, der akkuversorgt ist und über eine Ferritantenne verfügt, sodass damit ein direktes Zeigen (Pointen) auf den Tag ermöglicht wird. Dies ist vor allem in industriellen Anwendungen von Interesse, da man durch das räumliche Selektieren bestimmte Tags gezielt auslesen möchte. Dabei würde ein Kabel stören, deshalb verfügt der Reader nun über eine Bluetoothschnittstelle, die eine kontaktlose (wireless) Anbindung an beliebige aktuelle EDV-Systeme, die über eine Bluetoothschnittstelle verfügen, ermöglicht.

Der Bluetoothstandard ist ein Übertragungsverfahren im 2,4-GHz-Bereich und ist für lokale point-to-point Verbindungen sehr geeignet. Aufgrund der hohen Übertragungsfrequenz werden nur kleine Hochfrequenzantennen benötigt. Auf dem Markt sind fertige Module erhältlich, die in ein komplexeres Design integriert werden können.

Abbildung 1.2-1 zeigt den geöffneten RFID-Reader mit Antennenelektronik und dem Akkumulator, der einen Betrieb über mindestens 20 Stunden ermöglicht. Am Ende ist noch ein USB-Anschluss vorgesehen, über den das

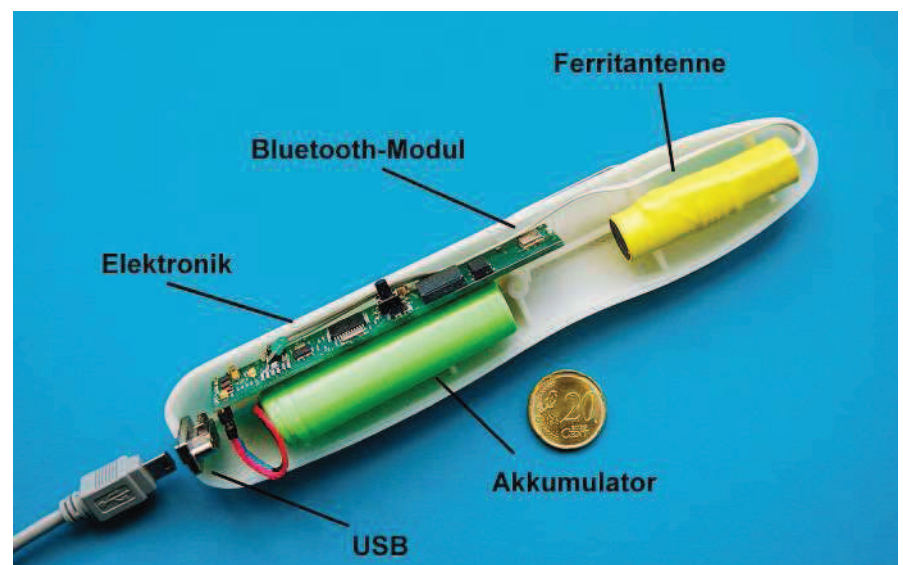


Abb. 1.2-1: RFID-Reader mit Bluetooth und USB-Schnittstelle sowie stabförmiger Ferritantenne